

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ



دانشکده مهندسی برق و رباتیک

رشته الکترونیک، گرایش مدارهای مجتمع

پایان نامه کارشناسی ارشد

طراحی و شبیه سازی یک مبدل افزایشده با بازدهی بالا و قابلیت تشخیص خودکار حالت عملکردی DCM و CCM

نگارنده: فاطمه حاجی اکبری

استاد راهنما

دکتر محمدرضا اشرف

بهمن ۱۴۰۰

تقدیم به

محضر ارزشمند پدر و مادر عزیزم به خاطر همه ی تلاشهای محبت آمیزی که در دوران مختلف زندگی ام انجام داده اند و با مهربانی

چگونه زیستن را به من آموخته اند، به همسر مهربانم که در تمام طول تحصیل همراه و همگام من بوده است و بدین طریق راه را

برایم هموارتر ساخت، همچنین به اساتید فرزانه و فریخته ای که در راه کسب علم و معرفت مرایای نمودند و آنان که در راه

کسب دانش راهنمایم بودند.

شکر و قدردانی

شکرتشایان نثار ایزدمنان که در این راه مشکلات را در نظرم آسان نمود تا بتوانم این پایان نامه را به پایان برسانم.

باتقدیر و شکر فراوان از استاد گرامی و فریخته ام که با پیگیری ها و راهنمایی های ارزشمندشان راه گشای اینجانب در کلیه مراحل پایان نامه بوده است. همچنین از اساتید محترم داورى که قبول زحمت فرمودند و داورى پایان نامه ی این جانب را بر عهده گرفته اند و مراتبات ارزشمندشان مورد لطف قرار دادند کمال شکر را دارم.

با آرزوی موفقیت برای همه ی عزیزان.

اینجانب فاطمه حاجی اکبری دانشجوی دوره کارشناسی ارشد رشته الکترونیک دانشکده مهندسی برق و ریاضیات دانشگاه صنعتی شاهرود نویسنده پایان نامه با عنوان طراحی و شبیه سازی یک مبدل افزایشده با بازدهی بالا و قابلیت تشخیص خودکار حالت عملکردی DCM و CCM تحت راهنمایی جناب آقای دکتر محمدرضا اشرف متعهد می شوم.

- پژوهشات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهش های محققان دیگر به مرجع مورد استفاده استناد شده است.
- مطالب مندرج در پایان نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.
- کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی شاهرود می باشد و مقالات مستخرج با نام « دانشگاه صنعتی شاهرود » و یا « Shahrood University of Technology » به چاپ خواهد رسید .
- حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان نامه تأثیرگذار بوده اند در مقالات مستخرج از پایان نامه رعایت می گردد.
- در کلیه مراحل انجام این پایان نامه، در مواردی که از موجود زنده (یا بافتهای آنها) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.
- در کلیه مراحل انجام این پایان نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری، ضوابط و اصول اخلاق انسانی رعایت شده است.

تاریخ

امضای دانشجو

مالکیت نتایج و حق نشر

کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه های رایانه ای، نرم افزار ها و تجهیزات ساخته شده است) متعلق به دانشگاه صنعتی شاهرود می باشد. این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود. استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نمی باشد.

چکیده

امروزه طراحی یک باتری با عملکرد تقریباً دائمی و مناسب برای مدارهای الکترونیکی بسیار مورد توجه قرار گرفته است تا بتواند نیاز مدارهای پیشرفته‌ی امروزی را بر آورده کند. این امر از طریق برداشت انرژی محیطی و مبدل افزایشده امکان پذیر است که در کاربردهای الکترونیک پوشیدنی انرژی گرمایی بدن یک منبع پایدار و همیشگی است. از آنجا که توان برداشت شده از انرژی گرمایی بدن انسان کم است، چالش اصلی این مبدل‌ها که هدف اصلی این کار نیز است، بهبود حداقل ولتاژ ورودی و بازدهی بیشینه است.

مبدل‌های افزایشدهی مرسوم اغلب به دلیل اتلاف کلیدزنی کم حالت هدایت ناپیوسته از این حالت کاری استفاده می‌کنند. اما با وجود اینکه در ولتاژهای ورودی کم، اتلاف کل حالت هدایت ناپیوسته کمتر است، در ولتاژهای بالاتر، اتلاف هدایتی بر اتلاف کلیدزنی غالب می‌شود و حالت هدایت پیوسته تلفات کمتری خواهد داشت و کارآمدتر خواهد بود. به همین دلیل در این پژوهش برخلاف کارهای مرسوم موجود در زمینه‌ی برداشت انرژی حرارتی، از هر دو حالت هدایت پیوسته و ناپیوسته استفاده شده است تا بتوان به طور هم‌زمان ولتاژ ورودی حداقل و بیشینه بازده در ولتاژهای ورودی بالا را بهبود داد. این کار توسط یک مدار تشخیص حالت کاری دیجیتال کم مصرف صورت می‌گیرد به نحوی که در یک ولتاژ ورودی خاص که به کمک روابط تئوری استخراج شده است، بین این دو حالت کاری تغییر می‌کند. رابطه‌ی ولتاژ مرزی مناسب برای تغییر حالت کاری بر اساس مقادیر عناصر مبدل افزایشده ارائه شده است که اختلاف مقدار بدست آمده از این رابطه (۱۷۰/۴ میلی‌ولت) و نتایج بدست‌آمده از شبیه‌سازی (۱۷۰ میلی‌ولت) کمتر از ۱ میلی‌ولت است. در نهایت مبدل پیشنهادی در یک فرآیند CMOS استاندارد ۰/۱۸ میکرومتر، در نرم‌افزار Cadence Virtuoso پیاده‌سازی شده است. نتایج شبیه‌سازی نشان می‌دهد که بیشینه‌ی بازده مبدل به ترتیب در ولتاژهای مدار باز ۳۰۰، ۲۰ و ۱۵ میلی‌ولت تا ۹۴، ۶۰/۴۴ و ۳۵ درصد است.

کلمات کلیدی: مبدل افزایشده، حالت هدایت پیوسته، حالت هدایت ناپیوسته، توان مصرفی پایین، تغییر حالت کاری، برداشت انرژی حرارتی و ولتاژ مرزی.

فهرست مطالب

ر	فهرست جداول
ز	فهرست اشکال
	فصل ۱ مقدمه
۲	۱-۱ پیش گفتار..... ۲
۳	۲-۱ تنظیم کننده ولتاژ..... ۳
۴	۱-۲-۱ تنظیم کننده خطی..... ۴
۴	۲-۲-۱ تنظیم کننده کلیدزنی..... ۴
۵	۳-۱ مروری بر ادبیات و پیشینه پژوهش..... ۵
۷	۴-۱ اهداف پایان نامه..... ۷
۷	۵-۱ ساختار پایان نامه..... ۷
	فصل ۲ معرفی مبدل کلیدزنی
۱۰	۱-۲ مقدمه..... ۱۰
۱۰	۲-۲ مولد ترموالکتریک..... ۱۰
۱۳	۳-۲ مبدل کلیدزنی DC-DC..... ۱۳
۱۳	۱-۳-۲ مبدل افزایشده..... ۱۳
۱۴	۲-۳-۲-۱ حالت هدایت پیوسته (CCM)..... ۱۴
۱۶	۲-۳-۲-۲ حالت هدایت ناپیوسته (DCM)..... ۱۶
۱۸	۳-۳-۲-۳ حالت هدایت مرزی (BCM)..... ۱۸
۱۹	۲-۳-۲ تلفات مبدل افزایشده..... ۱۹

۲۰	 ۱-۲-۳-۲ اتلاف هدایتی (P_{COND})
۲۰	 ۲-۲-۳-۲ اتلاف کلید زنی (P_{SW})
۲۰	 ۳-۲-۳-۲ اتلاف همزمان سازی
۲۱	 ۴-۲-۳-۲ اتلاف مدار کنترل
۲۱	 ۳-۳-۲ بازده مبدل افزایشده
۲۳	 ۴-۲ نتیجه گیری

فصل ۳ مروری بر ادبیات پیشین

۲۶	 ۱-۳ مقدمه
۲۶	 ۲-۳ مبدل افزایشده در حالت هدایت ناپیوسته
۵۰	 ۳-۳ مبدل افزایشده در حالت هدایت مرزی
۵۱	 ۱-۳-۳ مقایسه‌ی تلفات در حالت‌های کاری مبدل افزایشده

فصل ۴ مدار پیشنهادی

۵۸	 ۱-۴ مقدمه
۵۸	 ۲-۴ ولتاژ مرزی
۶۳	 ۳-۴ طراحی مبدل افزایشده
۶۴	 ۱-۳-۴ طراحی در حالت هدایت پیوسته
۶۵	 ۲-۳-۴ طراحی در حالت هدایت ناپیوسته
۶۶	 ۳-۳-۴ ولتاژ مرزی (V_{bound})
۶۷	 ۴-۴ طراحی مدار کنترل
۶۹	 ۱-۴-۴ اصل کارکرد مدار
۷۰	 ۲-۴-۴ واحد DCM

۷۲	 DCM ۱-۲-۴-۴ کنترل کننده
۸۰	 DCM ۲-۲-۴-۴ تشخیص دهنده‌ی پایان
۸۱	 CCM ۳-۴-۴ واحد
۸۳	 CCM ۱-۳-۴-۴ واحد تولید پالس
۸۷	 ۲-۳-۴-۴ واحد کنترل ورودی
۹۱	 CCM ۳-۳-۴-۴ واحد تغییر حالت
۹۲	 ۴-۳-۴-۴ واحد نمونه‌بردار ورودی
۹۴	 ۵-۴ واحد انتخابگر حالت کاری

فصل ۵ نتایج شبیه‌سازی

۹۸	 ۱-۵ بازده مبدل پیشنهادی
۱۰۰	 ۲-۵ شکل موج‌های خروجی مبدل پیشنهادی
۱۰۳	 ۱-۲-۵ تغییر حالت کاری
۱۰۶	 ۲-۲-۵ اثر تغییر بار بر ولتاژ خروجی

فصل ۶ نتیجه‌گیری و پیشنهادها

۱۱۰	 ۱-۶ نتیجه‌گیری
۱۱۰	 ۲-۶ پیشنهادها

۱۱۲	مراجع
-----	-------

فهرست جداول

- جدول ۱-۱: مقایسه ولتاژ مدار باز، امپدانس منبع و الزامات ردیابی برداشت‌کننده‌های انرژی مختلف. ۳
- جدول ۱-۴: مقادیر L و W ترانزیستورهای به کار رفته در نوسان‌ساز حلقوی DCM. ۷۶
- جدول ۲-۴: زمان روشن‌کردن کلید سمت بالا در حالت هدایت ناپیوسته. ۷۹
- جدول ۳-۴: مقادیر L و W ترانزیستورهای به کار رفته در هسته‌ی اصلی واحد راه‌انداز CCM. ۸۷
- جدول ۴-۴: زمان روشن‌کردن کلید سمت بالا و پایین در حالت هدایت پیوسته. ۹۰
- جدول ۱-۵: مقایسه مبدل افزایشی پیشنهادی با سایر کارهای انجام شده. ۱۰۸

فهرست اشکال

- شکل ۱-۱: انواع تنظیم‌کننده‌های ولتاژ. ۴
- شکل ۱-۲: (الف) اتصال p-n به عنوان زوج ترموالکتریک بر اساس اثر سیبک، (ب) یک مولد ترموالکتریک مرسوم و (ج) مدار معادل الکتریکی آن. ۱۱
- شکل ۲-۲: نمودار ولتاژ-جریان یک مولد ترموالکتریک. ۱۲
- شکل ۳-۲: نمودار نسبت بازده/بازده بهینه به مقاومت بار/مقاومت معادل ترموالکتریک. ۱۲
- شکل ۴-۲: یک مبدل افزایشنده ساده. ۱۳
- شکل ۵-۲: مدار معادل مبدل افزایشنده در حالت هدایت پیوسته. (الف) مرحله‌ی اول، کلید HS خاموش و LS روشن است. (ب) مرحله‌ی دوم، کلید HS روشن و LS خاموش است. ۱۴
- شکل ۶-۲: شکل موج‌های ایده‌آل مبدل افزایشنده در حالت CCM، به ترتیب از بالا جریان سلف، ولتاژ گره‌ی SW و ولتاژ کنترلی گیت کلید سمت بالا (ولتاژ کنترلی گیت کلید سمت پایین نیز مشابه همین ولتاژ است). ۱۵
- شکل ۷-۲: مدار معادل مبدل افزایشنده در حالت DCM. (الف) مرحله‌ی اول، کلید HS خاموش و LS روشن است. (ب) مرحله‌ی دوم، کلید HS روشن و LS خاموش است. (ج) مرحله‌ی سوم، کلید HS و LS خاموش هستند. ۱۷
- شکل ۸-۲: شکل موج‌های ایده‌آل مبدل افزایشنده در حالت DCM، به ترتیب از بالا جریان سلف، ولتاژ گره‌ی SW، ولتاژ کنترلی گیت کلید سمت بالا و ولتاژ کنترلی گیت کلید سمت پایین. ۱۷
- شکل ۹-۲: شکل موج ایده‌آل جریان سلف مبدل افزایشنده در حالت BCM. ۱۹
- شکل ۱-۳: ساختار مبدل افزایشنده‌ی اصلی. ۲۷
- شکل ۲-۳: مبدل اصلی (الف) نقشه مداری مبدل اصلی. (ب) شکل موج حالت گذر مدار ZCS. ۲۸
- شکل ۳-۳: مدار ردیاب نقطه‌ی توان بیشینه. ۲۹
- شکل ۴-۳: مدار کنترل مبدل افزایشنده. (الف) مدار نمونه بردار ولتاژ ورودی در بخش تطبیق امپدانس، (ب) نمای مدار کنترل تطبیق امپدانس و کلیدزنی جریان صفر. ۳۰
- شکل ۵-۳: نمای کلی برداشت‌کننده‌ی حرارتی. ۳۱
- شکل ۶-۳: ساختار نمونه بردار و نگهدار استفاده شده برای منبع ولتاژ حرارتی. ۳۲
- شکل ۷-۳: ساختار کنترل‌کننده MPPT. ۳۳

- شکل ۳-۸: مبدل افزایشدهنده با آشکارساز جریان صفر پیشنهادی..... ۳۴
- شکل ۳-۹: نمای آشکارساز جریان دقیق پیشنهادی..... ۳۴
- شکل ۳-۱۰: ساختار کامل مبدل افزایشدهنده..... ۳۵
- شکل ۳-۱۱: مدار ردیاب و کنترل نقطه بیشینه توان..... ۳۶
- شکل ۳-۱۲: مدار کنترل زمان‌بندی HS با استفاده از نقطه‌ی عبور جریان صفر..... ۳۶
- شکل ۳-۱۳: ساختار چند خروجی مبدل افزایشدهنده DC-DC..... ۳۷
- شکل ۳-۱۴: مدار پیشنهادی تشخیص جریان صفر سلف..... ۳۷
- شکل ۳-۱۵: مبدل افزایشدهنده به همراه مدار کنترل جریان صفر..... ۳۸
- شکل ۳-۱۶: نمای کلی مبدل افزایشدهنده همراه با مدار ردیاب نقطه توان بیشینه..... ۳۹
- شکل ۳-۱۷: مدار کنترل کلیدزنی جریان صفر..... ۴۰
- شکل ۳-۱۸: مدار مبدل افزایشدهنده همراه با مدار کلیدزنی جریان صفر (ناحیه سایه‌دار)..... ۴۱
- شکل ۳-۱۹: جریان سلف، V_{GHS} و V_M در حالت باز شدن زود هنگام و دیر هنگام..... ۴۲
- شکل ۳-۲۰: ساختار مبدل افزایشدهنده و مدار کنترل..... ۴۳
- شکل ۳-۲۱: شبیه‌سازی SPICE سیستم اجرای حالت تأخیرهای درشت و ریز..... ۴۴
- شکل ۳-۲۲: (الف) نمای مبدل ولتاژ به زمان، (ب) شکل موج شارژ و تخلیه C_{VCT} ۴۵
- شکل ۳-۲۳: (الف) مدار مقایسه‌کننده حوزه زمان. (ب) نمودار زمان‌بندی با ورودی‌های مختلف VTC و مقایسه..... ۴۵
- شکل ۳-۲۴: زنجیره تأخیر کنترل شده ثبات انتقال‌دهنده‌ی دو سویه..... ۴۶
- شکل ۳-۲۵: پیاده‌سازی کلیدزنی جریان صفر با استفاده از سنجش دیجیتالی..... ۴۷
- شکل ۳-۲۶: معماری مبدل شامل مبدل افزایشدهنده‌ی اصلی، راه‌انداز سرد و واحد کلیدزنی جریان صفر..... ۴۹
- شکل ۳-۲۷: مدار کنترل کلیدزنی جریان صفر..... ۴۹
- شکل ۳-۲۸: مدار کلیدزنی جریان صفر..... ۵۰
- شکل ۳-۲۹: بازده مبدل افزایشدهنده در مقابل تغییر ولتاژ ورودی با مقاومت-روشن متفاوت..... ۵۱
- شکل ۳-۳۰: (الف) تغییر اتلاف هدایتی در برابر تغییر جریان بیشینه‌ی سلف، (ب) تغییر فرکانس کلیدزنی در برابر تغییر جریان بیشینه‌ی سلف..... ۵۴
- شکل ۳-۳۱: (الف) اتلاف کلیدزنی، (ب) اتلاف هدایتی و (ج) بازده مبدل افزایشدهنده در حالت‌های کاری مختلف مبدل افزایشدهنده..... ۵۵

- شکل ۴-۱: نمای کلی مبدل افزایشدهی پیشنهادی. ۶۸
- شکل ۴-۲: نمای کلی واحد DCM. ۷۱
- شکل ۴-۳: نمای کلی واحد کنترل کننده DCM. ۷۲
- شکل ۴-۴: مدار داخلی مقایسه‌گر استفاده شده برای تنظیم ولتاژ خروجی. ۷۳
- شکل ۴-۵: روند تولید پالس کنترلی گیت کلید HS_{DCM} ۷۳
- شکل ۴-۶: نمای کلی واحد تولید qn_{DCM} ۷۴
- شکل ۴-۷: شکل موج پالس‌های موجود در واحد تولید qn_{DCM} ۷۵
- شکل ۴-۸: نوسان ساز حلقوی DCM. ۷۵
- شکل ۴-۹: (الف) وارون ساز و (ب) تأخیر استفاده شده در نوسان ساز حلقوی DCM. ۷۶
- شکل ۴-۱۰: تغییر دهنده‌ی سطح ولتاژ. ۷۷
- شکل ۴-۱۱: واحد تولید qp_{DCM} ۷۸
- شکل ۴-۱۲: مدار تشخیص دهنده‌ی پایان حالت DCM. ۸۰
- شکل ۴-۱۳: نمای کلی واحد CCM. ۸۱
- شکل ۴-۱۴: نمای کلی واحد تولید عرض پالس CCM. ۸۳
- شکل ۴-۱۵: مدار داخلی مولد پالس CCM. ۸۴
- شکل ۴-۱۶: خروجی نوسان ساز حلقوی، خروجی فلیپ فلاپ D، تغییر دهنده‌ی سطح ولتاژ، خروجی تنظیم عرض پالس و پالس کنترلی کلید سمت بالا و پایین در حالت کاری هدایت پیوسته. ۸۵
- شکل ۴-۱۷: واحد راه انداز CCM. ۸۶
- شکل ۴-۱۸: مبدل آنالوگ به دیجیتال ۴ بیتی. ۸۸
- شکل ۴-۱۹: واحد تنظیم عرض پالس CCM. ۹۱
- شکل ۴-۲۰: واحد تغییر حالت CCM، شامل دو بخش آغازگر حالت کاری و تشخیص اتمام حالت کاری. ۹۲
- شکل ۴-۲۱: واحد نمونه بردار ورودی. ۹۳
- شکل ۴-۲۲: پالس‌های کنترلی موجود در واحد نمونه بردار ورودی و ولتاژ نمونه‌گیری شده در آن. ۹۴
- شکل ۴-۲۳: واحد تغییر حالت کاری مبدل افزایشدهی. ۹۴
- شکل ۴-۲۴: وضعیت پالس‌های موجود در واحد تغییر حالت کاری مبدل افزایشدهی در لحظه‌ی تغییر از حالت هدایت ناپیوسته به پیوسته و برعکس. ۹۵

- شکل ۵-۱: بازده کل حاصل از شبیه‌سازی مبدل افزایشده در حالت پیشنهادی، حالت هدایت پیوسته و حالت هدایت ناپیوسته. ۹۸
- شکل ۵-۲: شکل موج ولتاژ خروجی، ولتاژ ورودی و جریان سلف در ولتاژ ورودی (الف) ۱۷۰ و (ب) ۳۰۰ میلی‌ولت. ۱۰۱
- شکل ۵-۳: شکل موج ولتاژ خروجی، ولتاژ ورودی و جریان سلف در ولتاژ ورودی (الف) ۲۰ و (ب) ۱۶۰ میلی‌ولت. ۱۰۲
- شکل ۵-۴: ولتاژ خروجی، پالس تشخیص دهنده‌ی اتمام حالت هدایت پیوسته و ناپیوسته در هنگام تغییر حالت کاری از هدایت ناپیوسته به پیوسته. ۱۰۳
- شکل ۵-۵: پالس کنترلی گیت کلید سمت بالا (qpccm) و (qnccm) پایین حالت هدایت پیوسته در لحظه‌ی تغییر حالت کاری از هدایت ناپیوسته به پیوسته. ۱۰۴
- شکل ۵-۶: ولتاژ خروجی، پالس تشخیص دهنده‌ی اتمام حالت هدایت پیوسته و ناپیوسته در هنگام تغییر حالت کاری از هدایت پیوسته به ناپیوسته. ۱۰۵
- شکل ۵-۷: خروجی مدار به ازای یک ولتاژ متغیر (به ترتیب ۱۷۰، ۱۵۰، ۱۸۰، ۱۶۰ و ۳۰۰ میلی‌ولت). ۱۰۶
- شکل ۵-۸: وضعیت ولتاژ خروجی و پالس کنترلی کلید سمت بالا با تغییر مقاومت خروجی مبدل افزایشده‌ی پیشنهادی (الف) از حالت بی‌باری به بار کامل و (ب) از حالت بار کامل به بی‌باری. ۱۰۶
- شکل ۶-۱: مبدل افزایشده‌ی دو خروجی ۱۱۱

فصل ۱ مقدمه

۱-۱ پیش‌گفتار

با توجه به توسعه سریع فن‌آوری اطلاعات الکترونیکی و فرآیند نیمه‌هادی‌ها، امروزه دستگاه‌های پوشیدنی با عملکردهای متعدد در درمان پزشکی، ورزش‌های رقابتی، پژوهش‌های علمی و زندگی روزمره مردم نقش بسزایی دارند. با این حال بیشتر این دستگاه‌ها توسط باتری‌هایی با طول عمر محدود تغذیه می‌شوند که شارژ مجدد یا تعویض مکرر آن‌ها برای بسیاری از کاربردها، دشوار و غیر عملی است. از این رو منبع تغذیه به یکی از بزرگترین چالش دستگاه‌های الکترونیکی مدرن تبدیل شده است [۱].

برداشت انرژی^۱ یک روش مناسب برای افزایش طول عمر باتری و حتی عملکرد تقریباً دائمی آن است. دستگاه‌های برداشت انرژی مختلفی از جمله سلول‌های فتوولتائیک^۲، مولد ترموالکتریک^۳، مولد پیزوالکتریک^۴ و فرکانس رادیویی^۵ وجود دارد که به ترتیب انرژی خورشیدی، حرارتی، لرزشی و الکترومغناطیسی را به انرژی الکتریکی تبدیل می‌کنند. در این میان مولد ترموالکتریک به دلیل وجود همیشگی اختلاف دمایی بین بدن انسان و محیط‌های خارجی، یکی از بالقوه‌ترین گزینه‌ها برای کاربردهای پوشیدنی است [۲].

همان‌طور که در جدول ۱-۱ آمده است، به عنوان مثال یک برداشت‌کننده حرارتی مبتنی بر سیستم‌های بیسموت تلورید^۶ به ازای اختلاف دمایی ۲ تا ۵ درجه تنها ۲۰ تا ۱۵۰ میلی‌ولت خروجی خواهد داشت که این مقدار نمی‌تواند ولتاژ مورد نیاز تغذیه‌ی بیشتر مدارهای مجتمع امروزی (حدود ۱ ولت) را تأمین کند. پس به دو دلیل اصلی برداشت‌کننده‌های انرژی نمی‌توانند مستقیماً برای تغذیه‌ی

^۱ Energy Harvesting (EH)

^۲ Photovoltaics (PV)

^۳ Thermoelectric Generators (TEG)

^۴ Piezoelectric Technology (PZT)

^۵ Radio Frequency (RF)

^۶ Bismuth Telluride (Bi_۲Te_۳)

مدارهای الکترونیکی استفاده شوند.

الف) ولتاژ خروجی بسیار کم آن‌ها (چندده تا چندصد میلی‌ولت) که برای تغذیه بیشتر مدارهای الکترونیکی کم و نامناسب است.

ب) تغییر پیوسته‌ی شرایط محیطی (مانند دما و نور محیط) که موجب تغییر و عدم ثبات ولتاژ خروجی برداشت‌کننده می‌شود.

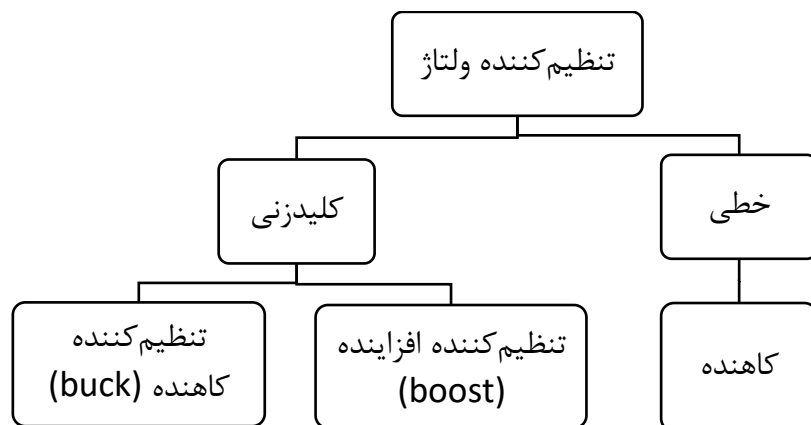
از این رو مداری نیاز است که علاوه بر افزایش ولتاژ برداشت‌شده از محیط بتواند آن را در مقداری ثابت و مناسب برای تغذیه مدارهای الکترونیکی تنظیم کند.

جدول ۱-۱: مقایسه ولتاژ مدار باز، امپدانس منبع و الزامات ردیابی برداشت‌کننده‌های انرژی مختلف [۳].

نوع برداشت‌کننده	لرزشی	خورشیدی	حرارتی
مواد، اندازه، شرایط	زیرکونات تیتانات سرب، ۱-۲ موازی	سیلیسیم، ۱-۲ سری ۲۰۰-۵۰۰	Lux بیس‌موت تلورید، 50 cm^2 $\Delta T \approx 2-5\text{ K}$
ولتاژ مدار باز	۱/۵ تا ۵ ولت	۱۵۰ تا ۸۰۰ میلی‌ولت	۲۰ تا ۱۵۰ میلی‌ولت
امپدانس منبع	۱۰ تا ۱۰۰ کیلو اهم	۰/۰۵ تا ۲ کیلو اهم	۵ تا ۱۰ اهم

۲-۱ تنظیم‌کننده ولتاژ

از آنجا که تغییر بیش از حد ولتاژ تغذیه می‌تواند به راحتی به یک مدار آسیب برساند یا عملکرد آن را مختل کند از یک تنظیم‌کننده‌ی ولتاژ برای تثبیت ولتاژ تغذیه در برابر تغییرهای احتمالی نظیر تغییر بار و ... در یک محدوده مشخص و قابل تحمل برای هر مدار مشخص استفاده می‌شود. همان‌طور که در شکل ۱-۱ نشان داده شده است یک تنظیم‌کننده ولتاژ به دو نوع کلی تنظیم‌کننده‌های خطی و کلیدزنی تقسیم می‌شود.



شکل ۱-۱: انواع تنظیم کننده های ولتاژ.

۱-۲-۱ تنظیم کننده خطی

ولتاژ خروجی تنظیم کننده های خطی (سری و موازی) از طریق اتلاف توان اضافی به شکل حرارت در مقاومت های موجود در مدار آن تنظیم می شود. به همین دلیل در این نوع تنظیم کننده ی ولتاژ علاوه بر محدود بودن بازده سامانه، همواره ولتاژ تنظیم شده (خروجی) از ولتاژ ورودی کمتر خواهد بود.

۲-۲-۱ تنظیم کننده کلیدزنی

در مقابل در تنظیم کننده های کلیدزنی، ولتاژ یا جریان از طریق کلیدزنی یک عنصر ذخیره کننده انرژی مثل سلف یا خازن تنظیم می شود. عناصر کلیدزنی ایده آل مانند ترانزیستوری که خارج از ناحیه فعال کار می کند در حالت وصل مقاومت اندکی داشته و در حالت قطع هم جریانی را از خود عبور نمی دهند. بنابراین این دسته از تنظیم کننده ها در حالت ایده آل می توانند تمام توان ورودی را به بار منتقل کنند و بازده صد درصدی داشته باشند. اما در عمل به دلیل وجود اتلاف کلیدزنی در ترانزیستورها، مقاومت حالت روشن ترانزیستورها، مقاومت معادل سری در سلف ها و خازن ها، تلفات هسته در سلف ها و ... بازده این نوع تنظیم کننده ها نیز تا حدی محدود می شود. با این حال با یک طراحی مناسب مثل استفاده از مقادیر بهینه برای فرکانس کلیدزنی، اندازه سلف و ابعاد کلیدها می توان به بازده بالایی دست یافت. ولتاژ خروجی در این نوع تنظیم کننده ها می تواند از ولتاژ ورودی بیشتر باشد و به همین جهت

برای کاربرد مورد نظر در این پروژه مناسب خواهد بود. این تنظیم‌کننده‌ها نیز با توجه به نسبت ولتاژ خروجی به ورودی، به دو دسته‌ی اصلی تنظیم‌کننده افزایشنده (مبدل افزایشنده^۱) و کاهشنده (مبدل کاهشنده^۲) تقسیم می‌شوند.

۳-۱ مروری بر ادبیات و پیشینه پژوهش

به‌تازگی پژوهش‌های زیادی روی مبدل‌های افزایشنده‌ی برداشت انرژی حرارتی صورت گرفته است که بیشتر بر سه جنبه‌ی کاهش ولتاژ ورودی، بهبود بازده بیشینه و بهبود مدار خود راه‌انداز تمرکز می‌کنند [۴]. برای کاهش ولتاژ ورودی اغلب مبدل‌های افزایشنده موجود برداشت انرژی حرارتی به دلیل فرکانس کاری و اتلاف کلیدزنی پایین‌تر، در حالت هدایت ناپیوسته طراحی می‌شوند [۲]، [۳]، [۵-۱۷]. با این حال در توان ورودی زیاد به دلیل زیاد بودن جریان بیشینه‌ی سلف و اتلاف هدایتی در کلیدها، حالت هدایت ناپیوسته باعث کاهش بازده بیشینه می‌شود. از این رو دستیابی هم‌زمان به ولتاژ ورودی پایین و بازده بیشینه‌ی زیاد (افزایش دامنه‌ی ولتاژ ورودی) در حالت هدایت ناپیوسته دشوار است.

برای دستیابی به یک دامنه‌ی ورودی گسترده و بازده تبدیل زیاد در [۵-۳۶]، چندین ساختار کنترلی جدید برای مبدل افزایشنده‌ی برداشت انرژی حرارتی مانند روش کارآمد کلیدزنی جریان صفر در [۵-۱۷]، روش ردیابی نقطه توان بیشینه در [۱۲] و [۱۶-۲۷] و انتخاب حالت هدایت مرزی به جای حالت هدایت ناپیوسته برای مبدل افزایشنده در [۴] و [۱۸-۱۹] پیشنهاد شده است.

در [۵-۱۲] برای دستیابی به کلیدزنی جریان صفر از یک مقایسه‌گر برای تشخیص افت ولتاژ روی کلید سمت بالا استفاده شده است که به دلیل کوچک بودن مقاومت کلید سمت بالا دقت بالایی ارائه نخواهد داد.

^۱ Boost converter

^۲ Buck converter

در روشی دیگر که به تازگی بسیار مورد توجه قرار گرفته است [۱۳-۱۷]، کلیدزنی جریان صفر از طریق یک مدار کاملاً دیجیتال صورت می‌گیرد به نحوی که توسط یک فلیپ‌فلاپ D، وضعیت ولتاژ گرهی بین سلف و کلید سمت بالا بررسی می‌شود و با توجه به آن عرض پالس کنترلی مبدل افزایشده تنظیم می‌گردد. این روش علاوه بر کاهش توان مصرفی نسبت به استفاده از مقایسه‌گر، دقت بالایی را هم ارائه می‌دهد.

در بیشتر کارهای ارائه شده در زمینه ردیابی نقطه توان بیشینه برای مولد ترموالکتریک، به دلیل بالا بودن اختلاف دما، ولتاژ مدار باز مولد ترموالکتریک در حدود چندصد میلی‌ولت تا چندین ولت است و دیگر توان مصرفی مدار ردیاب در آن‌ها چالش برانگیز نیست [۱۲] و [۲۲-۲۷]. همچنین با توجه به [۱۶-۱۷] می‌توان فهمید که در کاربردهای پزشکی در دماهای کمابیش پایین که نسبت تبدیل ولتاژ زیاد است مقاومت معادل مولد ترموالکتریک تقریباً ثابت خواهد بود.

در [۱۹] و [۴] به منظور کاهش اتلاف کلیدزنی و در نتیجه دستیابی به بازده بیشینه‌ی بالاتر، حالت هدایت مرزی به جای حالت هدایت ناپیوسته انتخاب شده است. اما از آنجا که این حالت کاری به آشکارساز دقیق جریان سلف نیاز دارد [۶]، توان اضافی زیادی مصرف می‌کند و در ولتاژهای ورودی پایین بازده را کاهش خواهد داد.

در [۴] نیز مقایسه‌ای بین توان مصرفی و بازده مبدل افزایشده در حالت هدایت پیوسته، ناپیوسته و مرزی صورت گرفته است و در نهایت حالت هدایت مرزی برگزیده شده است که نسبت به حالت هدایت ناپیوسته بیشینه بازده در توان ورودی کم را کاهش می‌دهد.

در [۲۹-۳۵] مبدل افزایشده در هر دو حالت هدایت پیوسته و ناپیوسته کار می‌کند. در این کارها ولتاژ ورودی بسیار بالا است (چندده تا چندصد ولت) پس نسبت به مدارهای ولتاژ پایین چالش‌های متفاوتی (مانند تغییرات جریان بار و ...) خواهند داشت و توان مصرفی مدار کنترل در آن‌ها اهمیت چندانی ندارد. از این رو به بررسی بیشتر این کارها نمی‌پردازیم.

به‌تازگی در [۳۶] مبدل افزایش‌دهنده در هر سه حالت هدایت پیوسته، مرزی و ناپیوسته ارائه شده است تا بازده مبدل را در دامنه‌ی گسترده‌ای از ولتاژ ورودی افزایش دهد. در این کار برای تغییر حالت کاری از دو مقایسه‌گر استفاده شده است. اما از آنجا که انتخاب سه حالت کاری تنها پیچیدگی و توان مصرفی مدار کنترل را زیاد می‌کند و اثر چندانی در افزایش بازده ندارد برای مبدل پیشنهادی تنها دو حالت کاری پیوسته و ناپیوسته انتخاب شده‌است. همچنین برای تشخیص و تغییر حالت کاری یک مدار کاملاً دیجیتال طراحی شده‌است که توان مصرفی بسیار کمتری نسبت به استفاده از دو مقایسه‌گر خواهد داشت. به علاوه مقدار ولتاژ مرزی (ولتاژ بهینه‌ی تغییر حالت کاری) به عنوان تابعی از پارامترهای مدار ارائه شده‌است.

۱-۴ اهداف پایان نامه

در این پژوهش هدف یافتن ولتاژ مرزی مناسب برای تغییر حالت کاری مدار از حالت هدایت پیوسته به ناپیوسته و برعکس خواهد بود. در ادامه یک مدار کنترل کم مصرف برای پیاده‌سازی تغییر حالت کاری طراحی و پیاده‌سازی شده‌است تا بتواند بسته به مقدار ولتاژ ورودی حالت کاری بهینه را برگزیند و موجب افزایش بازده بیشینه و بهبود ولتاژ ورودی کمینه گردد.

۱-۵ ساختار پایان نامه

در فصل بعد مولد ترموالکتریک و مبدل افزایش‌دهنده معرفی شده و روابط پایه‌ی آن بررسی می‌شود. در فصل سوم مروری بر کارهای انجام شده در زمینه‌ی برداشت انرژی حرارتی و مبدل‌های افزایش‌دهنده مناسب برای آن صورت گرفته و در فصل چهارم روش تحقیق، شرح داده شده و طراحی مدار پیشنهادی برای افزایش بازده ارائه شده است. در نهایت در فصل پنجم نتایج شبیه‌سازی مبدل پیشنهادی مورد بررسی قرار خواهد گرفت و در فصل آخر نیز این نتایج جمع‌بندی شده و پیشنهادها برای کارهای آینده در زمینه‌ی مبدل افزایش‌دهنده ارائه خواهد شد.

فصل ۲ معرفی مبدل کلیدزنی

۲-۱ مقدمه

حال که لزوم برداشت انرژی و استفاده از مبدل افزایشده مشخص شد، بهتر است قبل از طراحی با تمام بخش‌های استفاده شده در یک برداشت‌کننده‌ی انرژی حرارتی آشنا شده تا روند طراحی بهتر درک شود. از این رو در این فصل مولد ترموالکتریک، مبدل کلیدزنی و نوع افزایشده‌ی آن معرفی شده و نحوه‌ی عملکرد آن مورد بررسی دقیق قرار می‌گیرد. در نهایت مبدل افزایشده برای هر دو حالت هدایت پیوسته و ناپیوسته تجزیه و تحلیل می‌شود و شکل موج جریان، ولتاژ و توان مصرفی آن را بررسی خواهد شد.

۲-۲ مولد ترموالکتریک

مولد ترموالکتریک انرژی حرارتی را به انرژی الکتریکی و برعکس تبدیل می‌کند. مطابق شکل ۲-۱ (الف)، یک مولد ترموالکتریک حداقل از اتصال سری یک نیمه‌هادی نوع n با یک نیمه‌هادی نوع p تشکیل می‌شود. هنگامی که اختلاف دما روی این ماده اعمال می‌شود انرژی حاصل از گرمای اعمال شده به الکترون‌ها و حفره‌های آزاد اجازه می‌دهد تا حرکت کرده و پتانسیل الکتریکی ایجاد کنند و در صورت بسته شدن مدار، جریان ایجاد شود. به این فرایند فیزیکی تولید جریان بر اثر اعمال اختلاف دما، اثر سبیک^۱ می‌گویند [۳۷]. برای افزایش ولتاژ خروجی توسط برداشت‌کننده حرارتی، یک دستگاه ترموالکتریک معمولی شامل چندین پایه ترموالکتریک نوع n و p است که بین دو بستر رسانای حرارتی قرار گرفته‌اند (شکل ۲-۱ (ب)).

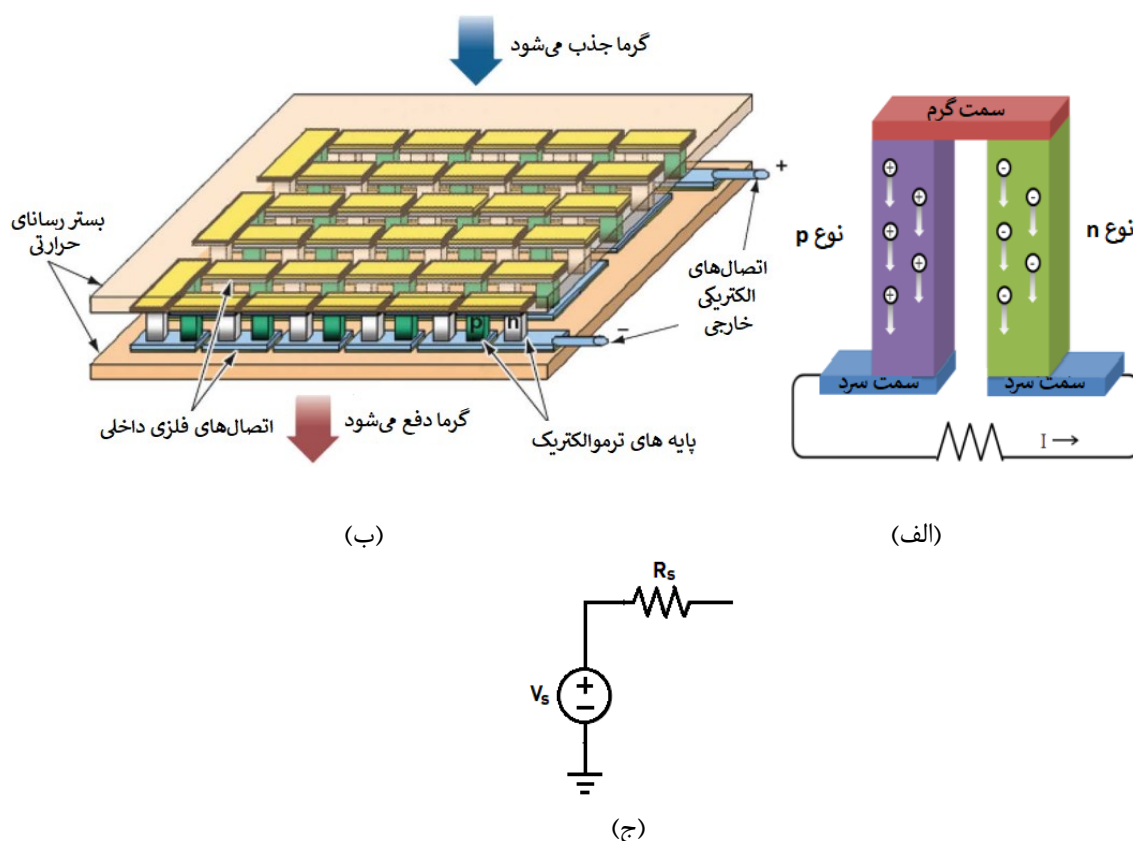
از نظر الکتریکی، یک دستگاه مولد ترموالکتریک را می‌توان به صورت یک منبع ولتاژ ایده‌آل همراه با یک مقاومت الکتریکی داخلی سری مدل سازی کرد (شکل ۲-۱ (ج)). همچنین لازم به ذکر است که ولتاژ بدست آمده در خروجی مولد ترموالکتریک (V_s) متناسب با اختلاف دمای اعمال شده بر آن (ΔT)

^۱ Seebeck effect

خواهد بود [۳۷].

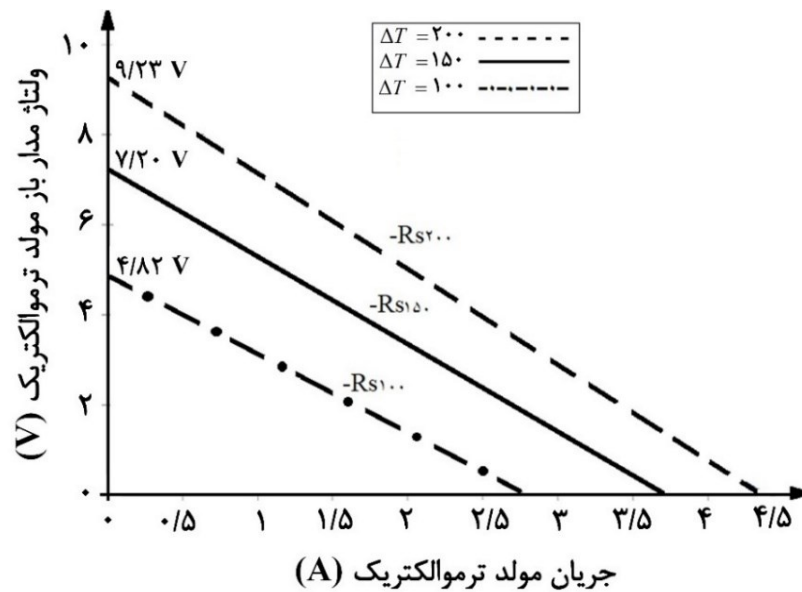
$$V_s = S \times \Delta T \quad (۱-۲)$$

در اینجا S ضریب سبیک مولد ترموالکتریک است.



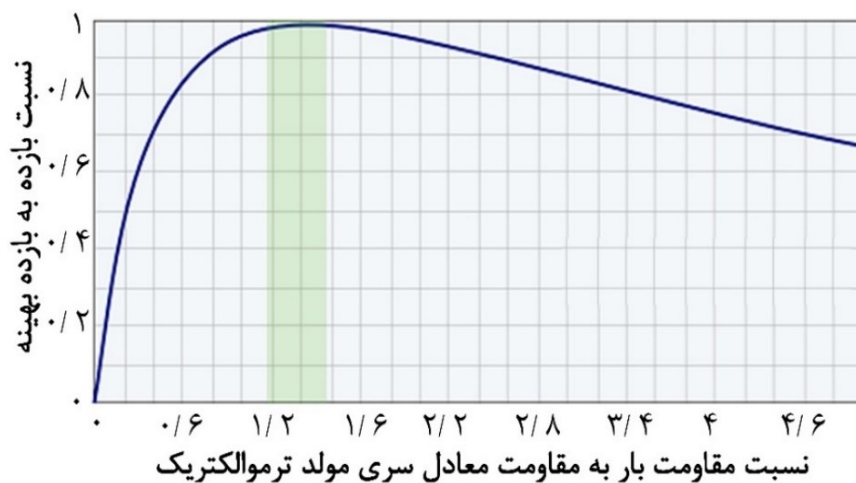
شکل ۱-۲: (الف) اتصال p-n به عنوان زوج ترموالکتریک بر اساس اثر سبیک [۳۸]، (ب) یک مولد ترموالکتریک مرسوم و (ج) مدار معادل الکتریکی آن [۳۷].

در یک مولد ترموالکتریک، ولتاژ (V_s) و مقاومت سری (R_s) معادل آن با توجه به ویژگی‌های مولد ترموالکتریک و شرایط محیطی، متفاوت خواهد بود. همان‌طور که در شکل ۲-۲ مشهود است شیب نمودار ولتاژ-جریان مولد ترموالکتریک، خطی و مقدار آن برابر مقاومت سری معادل آن است و مشخص است که با افزایش اختلاف دما از ۱۰۰ تا ۲۰۰ درجه سانتی‌گراد، ولتاژ مدار باز مولد ترموالکتریک افزایش می‌یابد و شیب نمودار نیز مقدار کمی تغییر خواهد کرد.



شکل ۲-۲: نمودار ولتاژ-جریان یک مولد ترموالکتریک [۳۹].

همچنین می‌توان دریافت به طور میانگین در برابر یک درجه سانتی‌گراد تغییر دما، مقاومت معادل مولد ترموالکتریک تنها ۲/۹۸ میلی‌اهم (معادل ۰/۱۵ درصد) تغییر می‌کند.



شکل ۲-۳: نمودار نسبت بازده/بازده بهینه به مقاومت بار/مقاومت معادل ترموالکتریک [۲۸].

پس اگر مقاومت منبع در دمای ۲۷ درجه سانتی‌گراد برای مثال ۵ اهم باشد، به ترتیب در دمای صفر و ۸۰ درجه سانتی‌گراد مقاومت منبع برابر ۴/۸ و ۵/۴۰ اهم خواهد بود. از طرفی دیگر بهترین بازده مولد ترموالکتریک در مقاومت باری (R_{Load}) نزدیک به مقاومت مولد ترموالکتریک R_S حاصل می‌شود.

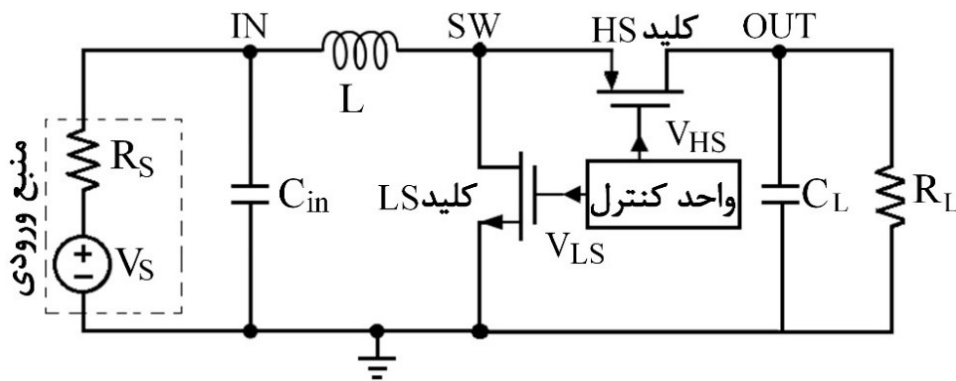
اما از آنجا که در بیشتر موارد بهترین بازده در نسبت R_{Load}/R_S در حدود $1/2$ تا $1/4$ به دست می‌آید (شکل ۲-۳)، این مقدار تغییر در مقاومت چندان اهمیتی ندارد.

۳-۲ مبدل کلیدزنی DC-DC

به طور کلی یک مبدل کلید زنی DC-DC مبتنی بر سلف در ساده‌ترین حالت شامل یک سلف، یک خازن صافی در خروجی و همچنین دو کلید ترانزیستوری است که انتقال انرژی از ورودی به خروجی را کنترل می‌کنند. این نوع مبدل، خود بسته به نحوه‌ی اتصال عناصر ذکر شده به دو نوع اصلی کاهنده و افزایشنده تقسیم می‌شود که در اینجا نوع افزایشنده‌ی آن متناسب با نیاز طراحی انتخاب شده است.

۱-۳-۲ مبدل افزایشنده

مدار مبدل افزایشنده در شکل ۲-۴ نشان داده شده است. در این نوع مبدل در حالت عملکرد پایدار، ولتاژ خروجی (V_{OUT}) همیشه بیشتر از ولتاژ ورودی (V_{IN}) است.



شکل ۲-۴: یک مبدل افزایشنده ساده.

کلیدهای ترانزیستوری HS و LS با فرکانس کلیدزنی f_s (دوره‌ی تناوب T) خاموش و روشن می‌شوند.

$$T = \frac{1}{f_s} \quad (2-2)$$

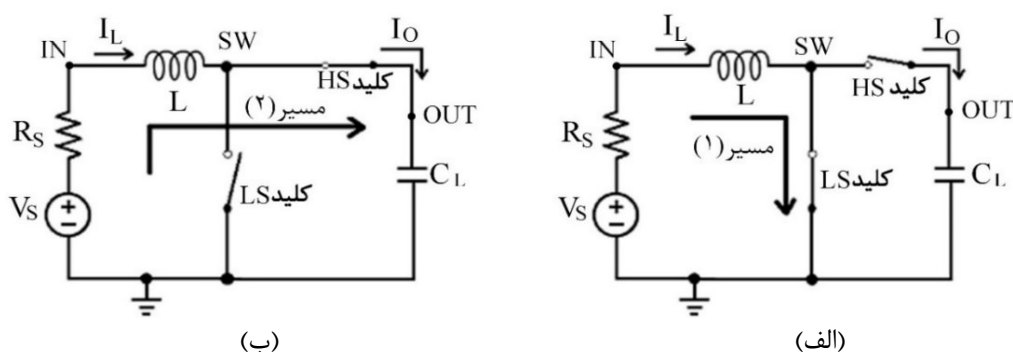
$$D = \frac{t_{on}}{T} \quad (3-2)$$

در اینجا t_{on} مدت زمان روشن بودن کلید LS و D چرخه کار آن است.

یک مبدل افزایشده بسته به شکل موج جریان سلف می‌تواند در یکی از سه حالت هدایت پیوسته، ناپیوسته و مرزی کار کند. در ادامه این حالت‌های کاری و تفاوت آن‌ها به‌طور دقیق بررسی خواهد شد.

۲-۳-۱-۱ حالت هدایت پیوسته (CCM)

در شکل ۵-۲ مدار معادل مبدل افزایشده در دو مرحله برای حالت هدایت پیوسته نشان داده شده است. به طور کلی روند کار این مبدل به این صورت است که در مرحله‌ی اول (شکل ۵-۲ الف)) جریان منبع ورودی (I_S) از طریق مسیر (۱) در سلف ذخیره می‌شود. و در مرحله‌ی دوم (شکل ۵-۲ ب)) انرژی ذخیره شده در سلف از طریق مسیر (۲) در خازن خروجی (C_L) تخلیه می‌شود و آن را شارژ می‌کند.



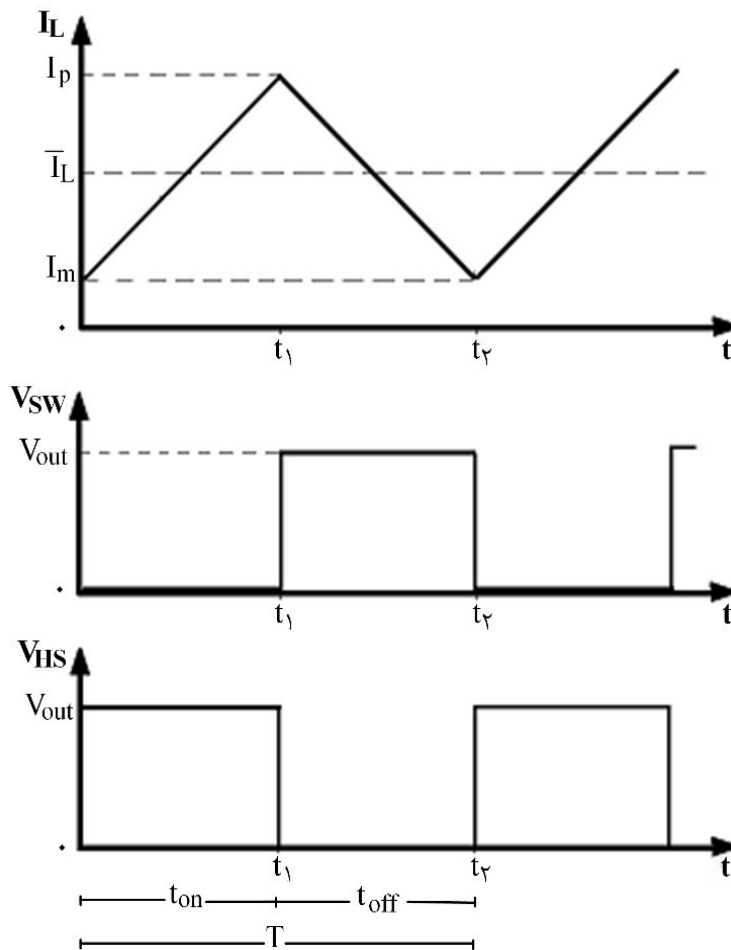
شکل ۵-۲: مدار معادل مبدل افزایشده در حالت هدایت پیوسته. (الف) مرحله‌ی اول، کلید HS خاموش و LS روشن است. (ب) مرحله‌ی دوم، کلید HS روشن و LS خاموش است.

در شکل ۶-۲، شکل موج ایده‌آل جریان و ولتاژهای مبدل افزایشده در این حالت کاری نشان داده شده است. در فاصله زمانی $0 \leq t \leq t_1$ کلید LS روشن و کلید HS خاموش است، انرژی منبع از طریق مسیر (۱) در سلف ذخیره می‌شود و جریان سلف (I_L) از یک مقدار کمینه (I_M) تا یک مقدار بیشینه (I_P) افزایش می‌یابد (شکل ۶-۲ الف)). در این زمان $V_{SW} = 0$ و ولتاژ دو سر سلف (V_L) برابر ولتاژ ورودی است (شکل ۶-۲ ب)).

$$V_{IN} = V_L = L \frac{\Delta I_L}{\Delta t} \quad (۴-۲)$$

پس شیب جریان سلف در این بازه $\frac{V_{IN}}{L}$ است.

$$I_L = I_M + \frac{V_{IN}}{L} t \quad (۵-۲)$$



شکل ۲-۶: شکل موج های ایده آل مبدل افزایشنده در حالت CCM، به ترتیب از بالا جریان سلف، ولتاژ گرهی SW و ولتاژ کنترلی گیت کلید سمت بالا (ولتاژ کنترلی گیت کلید سمت پایین نیز مشابه همین ولتاژ است).

بیشینه‌ی جریان سلف نیز در لحظه‌ی t_1 اتفاق می‌افتد.

$$\Delta t = t_1 - 0 = t_{on} \quad (۶-۲)$$

$$I_p = I_M + \frac{V_{IN}}{L} t_{on} \quad (۷-۲)$$

در لحظه‌ی $t=t_1$ کلید HS روشن و کلید LS خاموش می‌شود، ولتاژ گره SW به خروجی می‌رسد (V_{SW}) و انرژی ذخیره‌شده در سلف از طریق مسیر (۲) به خازن خروجی (C_L) منتقل می‌شود. ولتاژ دو سر سلف نیز منفی و به صورت زیر خواهد بود.

$$V_L = V_{IN} - V_{OUT} = L \frac{\Delta I_S}{\Delta t} \quad (۸-۲)$$

در نتیجه جریان سلف با شیب $\frac{V_{IN} - V_{OUT}}{L}$ کاهش می‌یابد.

$$I_L = \frac{V_{IN} - V_{OUT}}{L} t \quad (۹-۲)$$

و در لحظه‌ی t_2 به مقدار I_M می‌رسد.

$$\Delta t = t_2 - t_1 = t_{off} \quad (۱۰-۲)$$

$$I_M = I_P - \frac{V_{IN} - V_{OUT}}{L} t_{off} \quad (۱۱-۲)$$

در اینجا t_{off} مدت زمان روشن بودن کلید HS است. در نهایت در همین لحظه چرخه کار خاتمه می‌یابد و پس از آن دوباره کلید LS روشن و کلید HS خاموش می‌شود تا این چرخه تکرار گردد.

چرخه‌ی کار مدار (D) نیز طبق روابط (۷-۲) و (۱۱-۲) برحسب ولتاژ ورودی و خروجی به صورت

$$D = \frac{1}{1 + \frac{t_{off}}{t_{on}}} = \frac{1}{1 + \frac{L(I_P - I_M)}{V_{OUT} - V_{IN}} \frac{V_{IN}}{L(I_P - I_M)}} = \frac{V_{OUT} - V_{IN}}{V_{OUT}} \quad (۱۲-۲)$$

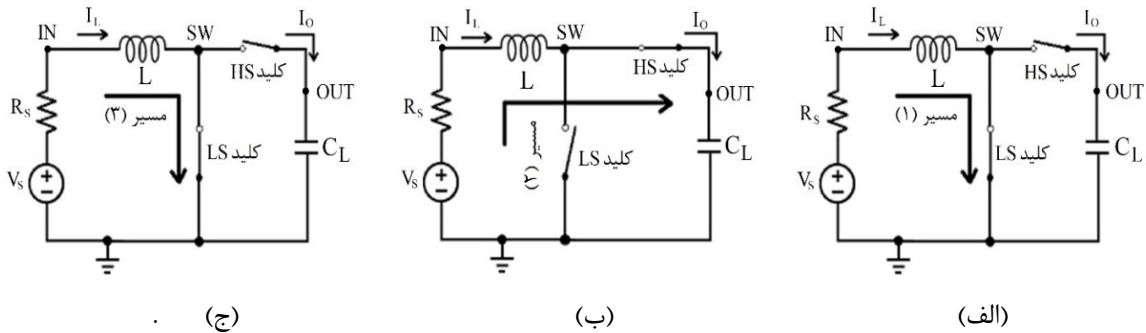
بدست می‌آید.

۲-۱-۳-۲ حالت هدایت ناپیوسته (DCM)

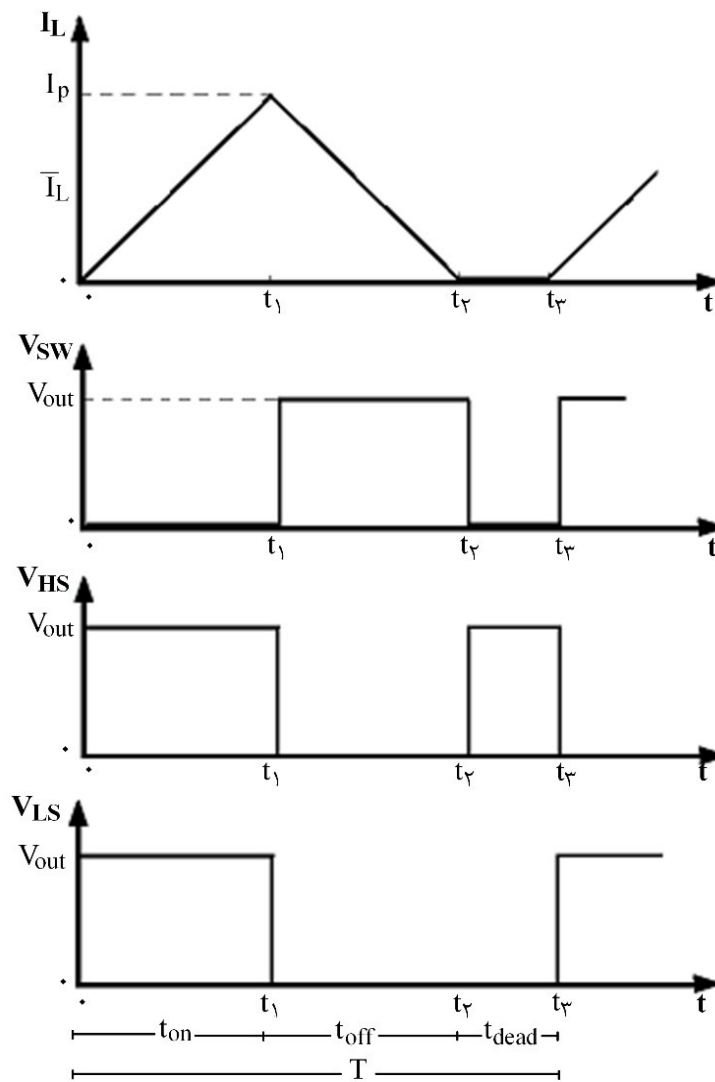
در این حالت برخلاف حالت هدایت پیوسته علاوه بر اینکه جریان سلف به صفر می‌رسد، برای مدتی

نیز در صفر باقی می‌ماند. در شکل ۷-۲ و ۸-۲ به ترتیب مدار معادل مبدل افزایشده و شکل موج‌های

ایده‌آل جریان و ولتاژهای حالت هدایت پیوسته نشان داده شده است.



شکل ۷-۲: مدار معادل مبدل افزایشنده در حالت DCM. (الف) مرحله‌ی اول، کلید HS خاموش و LS روشن است. (ب) مرحله‌ی دوم، کلید HS روشن و LS خاموش است. (ج) مرحله‌ی سوم، کلید HS و LS خاموش هستند.



شکل ۲-۸: شکل موج‌های ایده‌آل مبدل افزایشنده در حالت DCM، به ترتیب از بالا جریان سلف، ولتاژ گرهی SW، ولتاژ کنترلی گیت کلید سمت بالا (V_{HS}) و ولتاژ کنترلی گیت کلید سمت پایین (V_{LS}).

در مرحله‌ی اول ($0 < t < t_1$)، مشابه حالت هدایت پیوسته کلید HS خاموش و LS روشن است و جریان سلف از حداقل مقدار (I_M) صفر تا یک مقدار بیشینه (I_P) افزایش می‌یابد.

سپس در مرحله‌ی دوم ($t_1 < t < t_2$) کلید HS روشن و LS خاموش می‌شود و جریان سلف از I_P به صفر می‌رسد. و در نهایت در دوره‌ی سوم ($t_2 < t < t_r$) که آن را زمان مرده (t_{dead}) می‌نامند، کلید HS نیز خاموش می‌شود. جریان سلف در طول این مدت برابر صفر باقی می‌ماند و بعد از آن این چرخه تکرار می‌شود.

در این حالت کاری به دلیل صفر شدن جریان سلف، امکان منفی شدن آن نیز وجود دارد که در این صورت باعث تخلیه‌ی خازن خروجی شده و بازدهی مبدل را به شدت کاهش خواهد داد. پس باید برای جلوگیری از این اتفاق از یک مدار کلیدزنی جریان صفر بهره گرفته می‌شود. همچنین لازم به ذکر است که در این حالت جریان سلف همواره بزرگتر از صفر است.

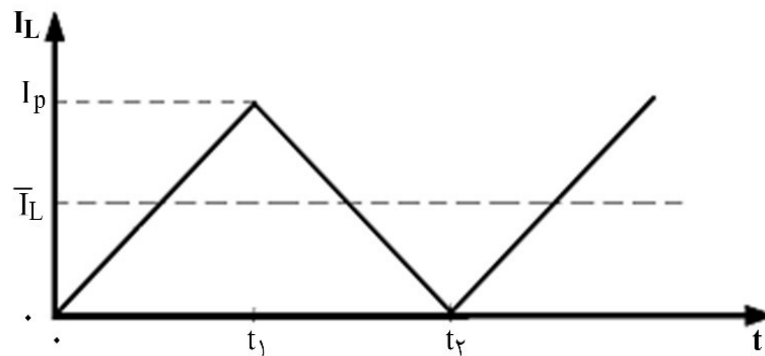
۲-۳-۱-۲-۱ کلیدزنی جریان صفر

این واحد در حالت ایده‌آل، درست زمانی که جریان سلف به صفر می‌رسد کلید سمت بالا را خاموش می‌کند تا از جریان منفی سلف و در نتیجه کاهش بازده مبدل جلوگیری شود. برای دستیابی به این هدف طرح‌های گوناگونی موجود است که در فصل بعد بررسی و تحلیل خواهد شد.

۲-۳-۱-۳-۲ حالت هدایت مرزی (BCM)

این حالت در واقع مرز میان حالت هدایت پیوسته و ناپیوسته است به نحوی که جریان سلف آن دقیقاً تا مقدار صفر کاهش می‌یابد، تنها در یک لحظه صفر است و پس از آن دوباره افزایش می‌یابد. مدار معادل و نمودارهای جریان سلف و ولتاژ آن مشابه حالت هدایت پیوسته است (شکل ۲-۵ و شکل ۲-۶) فقط با این تفاوت که در اینجا I_M برابر صفر است (شکل ۲-۹).

در این حالت کاری نیز به مدار کلیدزنی جریان صفر نیاز است. اما از آنجا که در این حالت باید جریان سلف تنها و دقیقاً در یک نقطه برابر صفر باشد، مدار کلیدزنی جریان صفر آن باید بسیار دقیق‌تر از حالت هدایت ناپیوسته باشد. در نتیجه توان مصرفی بالایی نیز خواهد داشت.



شکل ۲-۹: شکل موج ایده آل جریان سلف مبدل افزایشنده در حالت BCM.

۲-۳-۲ تلفات مبدل افزایشنده

همان‌طور که در فصل قبل بیان شد هدف کارهای اخیر انجام شده در زمینه‌ی مبدل افزایشنده، افزایش بازده آن است. در اینجا نیز از آنجا که مبدل افزایشنده برای برداشت انرژی حرارتی بدن طراحی می‌شود و توان برداشت شده از آن بسیار کم است، بالا بودن بازده مبدل بسیار اهمیت دارد. بنابراین کاهش اتلاف توان اصلی‌ترین چالش طراحی خواهد بود. به همین منظور تلفات موجود در این مدار چه در حالت هدایت پیوسته و چه در حالت هدایت ناپیوسته به‌طور دقیق بررسی خواهد شد تا بتوان به بهترین نحو، آن‌ها را کمینه کرد.

اتلاف توان در مبدل‌های افزایشنده به چهار دسته‌ی کلی اتلاف کلیدزنی، اتلاف هدایتی، اتلاف همزمان‌سازی و اتلاف مدار کنترل تقسیم می‌شود که بازده مبدل را کاهش می‌دهند [۴]. در ادامه به بررسی روابط و دلیل وجود هر کدام از این تلفات پرداخته خواهد شد.

۲-۳-۲-۱ اتلاف هدایتی (P_{COND})

این اتلاف به دلیل عبور جریان متوسط DC سلف ($\bar{I}_L$) از مقاومت روشن کلید سمت پایین (NMOS) و سمت بالا (PMOS) (به ترتیب R_N و R_P)، مقاومت سری سلف (R_L) و مقاومت سری پارازیتی کل (R_{par})، شامل تمام مقاومت‌های پارازیتی مانند مقاومت مسیرهای PCB، سیم‌ها و... است که به صورت زیر بیان می‌شود [۴۰].

$$P_{COND} = \frac{I_P^2}{3} t_{on} f_S (R_N + \frac{V_{IN}}{V_{OUT}} R_P + R_L + R_{par}) = \frac{I_P^2}{3} t_{on} f_S R_{LOSS} \quad (۱۳-۲)$$

۲-۳-۲-۲ اتلاف کلید زنی (P_{SW})

اتلاف کلید زنی به دلیل وجود خازن گیت کلیدهای NMOS، PMOS و خازن پارازیتی گره SW است که به صورت زیر بیان می‌گردد [۴۰].

$$P_{SW} = f_S (\lambda_N C_N + \lambda_P C_P + \frac{1}{2} C_{SW}) \times V_{OUT}^2 = f_S C_{LOSS} V_{OUT}^2 \quad (۱۴-۲)$$

C_P و C_N به ترتیب خازن گیت کلیدهای NMOS و PMOS و λ_P و λ_N نیز به ترتیب ضریب راهاندازی گیت‌های^۱ NMOS و PMOS هستند. مدار راهانداز معمولاً از چندین مرحله بافر تشکیل شده است، بنابراین علاوه بر نیروی مورد نیاز برای شارژ و تخلیه خازن گیت، نیروی اضافی نیز در آن مصرف می‌شود. به همین دلیل، هر دو ضریب λ_P و λ_N همواره بزرگتر از یک هستند.

۲-۳-۲-۳ اتلاف همزمان‌سازی

این اتلاف به دلیل وجود خطاهای کوچک زمان‌بندی در لحظه روشن و خاموش شدن کلید PMOS است. در حالت اول این کلید یا کمی قبل از زمان دقیق خاموش می‌شود که باعث عبور جریان سلف از دیود بدنه خود می‌گردد و موجب مصرف توان اضافی می‌شود یا کمی بعد از زمان دقیق خاموش می‌شود

^۱ Gate driver

که باعث عبور جریان منفی از سلف می‌شود و خازن خروجی را تخلیه می‌کند که در این صورت توان اضافی بیشتری مصرف می‌کند [۴۰]. برای کاهش این توان باید زمان گذر روشن به خاموش این کلید را کاهش داد [۴۱]، بنابراین به یک بافر بزرگتر نیاز است تا کلیدهای سمت بالا و پایین (HS و LS) را راه‌اندازی کند. ولی باید دقت شود بافر بزرگتر باعث ایجاد مصرف توان بیشتری می‌شود و ممکن است نتیجه عکس بدهد. بنابراین در هنگام طراحی باید به مصالحه بین زمان گذر و توانایی راه‌اندازی بافر دقت شود. در حالت دوم زمان روشن شدن کلید PMOS دقیق نیست و کمی زوتر یا دیرتر از زمان ایده‌آل اتفاق می‌افتد که این خطا را نیز می‌توان توسط تنظیم زمان مرده کاهش داد و از آن چشم‌پوشی کرد [۴۰].

۲-۳-۲-۴ اتلاف مدار کنترل

در حالت معمول جریان بار مبدل افزایشده بسیار بزرگتر از جریان مدارهای کنترل است به همین دلیل می‌توان از این اتلاف نسبت به اتلاف هدایتی و کلیدزنی چشم‌پوشی کرد. اما هنگامی که جریان بار مبدل افزایشده بسیار کم است این اتلاف نیز مهم می‌شود و بخش بزرگی از تلفات را به خود اختصاص می‌دهد. بنابراین باید هنگام طراحی مدار کنترل تا حد امکان به توان مصرفی آن نیز دقت شود. این اتلاف به صورت

$$P_{SW} = f_s C_{c,eff} V_{DD}^2 \quad (۲-۱۵)$$

بیان می‌شود که در آن $C_{c,eff}$ ، V_{DD} و f_s به ترتیب خازن مؤثر کل مدار کنترل، ولتاژ تغذیه و فرکانس کاری مدار کنترل هستند [۴۰].

۲-۳-۳ بازده مبدل افزایشنده

طبق رابطه‌ی (۱۶-۲) می‌توان بیشینه توان خروجی ($P_{OUT-MAX}$) را توسط ولتاژ (V_{OUT}) و حداقل بار خروجی (R_{L-min}) و یا بیشینه توان ورودی قابل برداشت (P_{IN-MAX}) و توان مصرفی کل مدار (P_{LOSS}) بدست آورد.

$$P_{OUT-MAX} = \frac{V^2}{R_{L-min}} = P_{IN-MAX} - P_{LOSS} \quad (۱۶-۲)$$

سپس طبق رابطه‌ی ۱۷-۲، بیشینه بازده مدار (η_{MAX}) بدست خواهد آمد.

$$\eta_{MAX} = 1 - \left(\frac{P_{LOSS}}{P_{IN-MAX}} \right) = \left(\frac{P_{OUT-MAX}}{P_{IN-MAX}} \right) \quad (۱۷-۲)$$

از آنجا که در مبدل افزایشنده دو اتلاف کلیدزنی و هدایتی نسبت به سایر تلفات غالب هستند [۴]، می‌توان اتلاف کل را به صورت زیر تقریب زد.

$$P_{LOSS} \simeq P_{COND} + P_{SW} \quad (۱۸-۲)$$

حال از آنجا که هدف، دستیابی به بیشترین مقدار بازدهی بیشینه است، علاوه بر حداقل سازی توان مصرفی لازم است بیشینه توان ورودی قابل دسترس نیز از منبع استخراج شود. از این رو باید تطبیق امپدانس برقرار شود. یعنی مقاومت سری منبع (R_S) با مقاومت ورودی مبدل (R_{IN}) برابر باشد.

$$R_{IN} = R_S \quad (۱۹-۲)$$

پس برای ولتاژ ورودی خواهیم داشت :

$$V_{IN} = \frac{1}{2} V_S \quad (۲۰-۲)$$

که با توجه به این رابطه و رابطه‌ی (۷-۲) می‌توان ولتاژ منبع را بر اساس مقادیر مبدل افزایشنده به صورت زیر بیان کرد.

$$V_S = \frac{2L(I_P - I_M)}{t_{ON}} \quad (21-2)$$

حال در گام اول محاسبه‌ی بازده، از آنجا که توان ورودی مبدل افزایشنده (P_{IN}) به صورت زیر بیان می‌شود:

$$P_{IN} = \frac{V_{IN}^2}{R_{IN}} \quad (22-2)$$

بیشینه مقدار آن برابر خواهد بود با [۴]:

$$P_{IN-MAX} = \frac{V_S^2}{4R_S} = \frac{1}{2} L f_S (I_P^2 - I_M^2) \quad (23-2)$$

همچنین لازم به ذکر است که در اینجا می‌توان با جای‌گذاری رابطه‌ی (۲۱-۲) در رابطه‌ی (۲۳-۲)،

مقاومت ورودی مبدل افزایشنده بر اساس مقادیر عناصر مبدل را بدست آورد.

$$R_{IN} \approx \frac{2L(I_P - I_M)}{t_{on}^2 f_S (I_P + I_M)} \quad (24-2)$$

و از آنجا که I_M در حالت هدایت ناپیوسته صفر است در این حالت کاری مقاومت ورودی مبدل افزایشنده

طبق رابطه‌ی (۲۵-۲) بیان خواهد شد.

$$R_{IN} \approx \frac{2L}{t_{on}^2 f_S} \quad (25-2)$$

۴-۲ نتیجه‌گیری

در این فصل علاوه بر معرفی حالت‌های کاری مختلف یک مبدل افزایشنده برای برداشت انرژی حرارتی، روابط کلی تلفات موجود در آن بیان گردید و در نهایت بازده این مبدل بر اساس این تلفات بیان شد تا بتوان در فصل‌های بعد درک بهتری از روند طراحی این مبدل پیدا کرد. همچنین مقاومت ورودی مبدل افزایشنده بر اساس مقادیر عناصر مبدل بدست آمد تا در هنگام طراحی بتوان مقادیر سلف، فرکانس و یا ... را به نحوی بدست آورد که تطبیق امپدانس در آن برقرار باشد.

فصل ۳ مروری بر ادبیات پیشین

۳-۱ مقدمه

حال که با مبدل افزایشده و نحوه‌ی عملکرد آن آشنا شدیم به بررسی بیشتر کارهای انجام شده در این زمینه می‌پردازیم. در حالت کلی برای طراحی یک مبدل افزایشده، بعد از تعیین حالت کاری متناسب با ولتاژ ورودی، باید بخش‌های مورد نیاز آن حالت کاری طراحی شود. برای حالت هدایت ناپیوسته و مرزی همان‌طور که قبلاً هم ذکر شد به یک مدار کلیدزنی جریان صفر نیاز است. همچنین برای دستیابی به بیشینه توان قابل برداشت در ورودی، باید تطبیق امپدانس برقرار باشد. پس در صورت نیاز با توجه به شرایط منبع ورودی، می‌توان از مدار ردیاب نقطه‌ی بیشینه توان استفاده کرد. برای حالت هدایت پیوسته دیگر نیازی به مدار ردیاب جریان صفر نیست اما اهمیت وجود مدار ردیاب نقطه‌ی بیشینه توان بسیار افزایش می‌یابد. اما از آنجا که هیچ کدام از مبدل‌های افزایشده‌ی ولتاژ پایین مرسوم از حالت هدایت پیوسته استفاده نکرده‌اند، مدار کنترلی کم توانی که بتوان برای طراحی حالت هدایت پیوسته از آن بهره گرفت در دسترس نیست. از این رو در این فصل تنها به بررسی مدارهای کنترلی حالت هدایت ناپیوسته و مرزی می‌پردازیم.

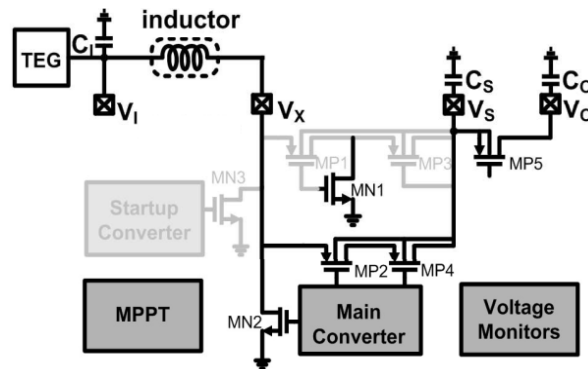
حال در ادامه علت انتخاب هر حالت کاری و نوع مدار کنترل ارائه شده در کارهای گذشته را بررسی می‌شود و براساس آن بهترین‌ها را برای طراحی انتخاب می‌گردد.

۳-۲ مبدل افزایشده در حالت هدایت ناپیوسته

در [۵] یک مبدل افزایشده‌ی بدون باتری برای برداشت انرژی حرارتی ارائه شده است. در این کار به دلیل کم بودن توان ورودی، مدار در حالت هدایت ناپیوسته طراحی شده است. این مبدل افزایشده با استفاده از تکنیک‌های کلیدزنی جریان صفر و ردیابی نقطه توان بیشینه، به بیشینه بازدهی ۶۰ درصد دست می‌یابد و بیشینه توان ۴۰۰ میکرووات را فراهم می‌کند.

در شکل ۳-۱ نمای کلی مبدل افزایشده در مرحله‌ی پس از راه اندازی نشان داده شده است. در این

حالت به ترتیب کلید سمت پایین (MN_2) و کلید سمت بالا (MP_4) وظیفه‌ی ذخیره انرژی در سلف و انتقال آن به خروجی را بر عهده خواهند داشت.



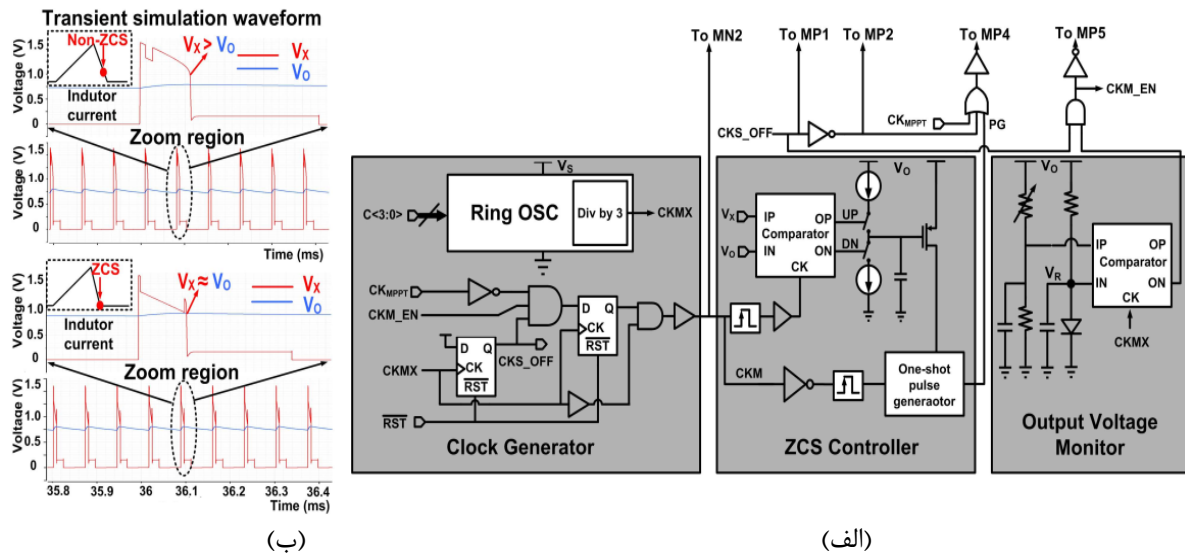
شکل ۳-۱: ساختار مبدل افزاینده‌ی اصلی [۵].

شکل ۳-۲ (الف) که نمای کلی مدار کنترل مبدل اصلی را نشان می‌دهد، شامل یک مولد پالس ساعت، یک کنترل‌کننده‌ی کلیدزنی جریان صفر و یک نظارت‌گر ولتاژ خروجی است. برای اطمینان از برقراری کلیدزنی جریان صفر و به بیشینه رساندن بازده تبدیل، کلید سمت بالا به صورت پویا در یک حلقه بازخورد، مطابق با زمان ثابت کلید سمت پایین تنظیم می‌شود، و در لحظه‌ی عبور جریان سلف از صفر خاموش می‌شود.

در ابتدای کار مدت زمان روشن بودن کلید سمت بالا (t_p) تقریباً روی صفر تنظیم می‌شود. سپس در لحظه‌ی روشن شدن این کلید، V_x (مطابق با گره‌ی SW در مدار شکل (۲-۴)) با ولتاژ خروجی (V_o) مقایسه می‌شود. اگر $V_o < V_x$ باشد که نشان دهنده‌ی خاموش شدن پیش از موعد کلید سمت بالا است، خروجی مقایسه‌گر موجود در کنترل‌گر کلیدزنی جریان صفر یک سیگنال با سطح منطقی یک تولید می‌کند و توسط تغییر جریان تغذیه مولد تک پالس، t_p را افزایش می‌دهد. و اگر $V_o > V_x$ باشد که به معنی خاموش شدن پس از موعد است، t_p کاهش می‌یابد.

در شکل ۳-۲ (ب) نیز شکل‌موج‌های شبیه‌سازی‌شده‌ی این کنترل‌کننده به ترتیب از بالا به پایین وضعیت خاموش شدن زودهنگام و خاموش شدن در زمان تقریباً درست ($V_x \approx V_o$) کلید سمت بالا را نشان می‌دهد.

از آنجایی که شرط $V_X \approx V_O$ از طریق یک حلقه‌ی بازخورد به دست می‌آید، کلیدزنی جریان صفر دارای پایداری ذاتی در محدوده‌ی دمایی وسیع است.

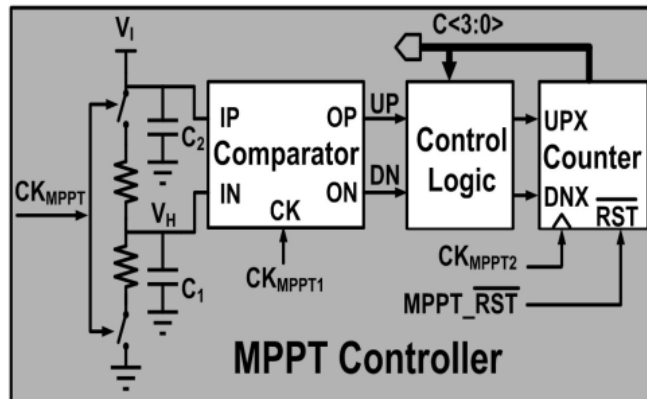


شکل ۳-۲: مبدل اصلی (الف) نقشه مداری مبدل اصلی. (ب) شکل موج حالت گذر کنترل کننده ZCS [۵].

در این کار برای تنظیم ولتاژ خروجی در محدوده ۱ تا ۱/۶ ولت، در نظارت گر ولتاژ خروجی، از ولتاژ خروجی توسط یک تقسیم مقاومتی که با یک مقاومت متغیر قابل تغییر نیز است نمونه گرفته شده است و سپس توسط یک مقایسه گر با قطع مبدل اصلی در زمان رسیدن این ولتاژ به ولتاژ مرجع (V_R)، خروجی مدار تنظیم می‌شود.

همچنین برای خنثی کردن اثر شرایط محیطی در تغییر مقاومت معادل منبع TEG و به دنبال آن، بهبود شرایط تطبیق امپدانس از یک مدار ردیاب نقطه‌ی توان بیشینه در یک حلقه بازخورد استفاده شده است. مطابق رابطه‌ی (۲-۲۳) از آنجایی که مقدار سلف و عرض پالس کلید سمت پایین در این کار ثابت است، مقاومت ورودی مبدل افزاینده را می‌توان با تغییر فرکانس کلیدزنی مبدل (f_s) کنترل کرد. بنابراین با کنترل تطبیقی f_s در یک حلقه بازخورد، مقاومت ورودی مبدل به صورت پویا تنظیم می‌شود. به این ترتیب، حتی اگر مقاومت معادل منبع در محدوده دمایی گسترده تغییر کند، حلقه همچنان می‌تواند تطبیق امپدانس را تضمین کند.

شکل ۳-۳ مدار ردیاب نقطه‌ی توان بیشینه‌ی پیشنهادی در [۵] را نشان می‌دهد. هدف اصلی تثبیت مقدار متوسط ولتاژ ورودی مبدل (V_I) در نیمی از ولتاژ منبع ورودی (V_T) با کنترل f_s است. این کار در سه مرحله‌ی متوالی صورت می‌گیرد.

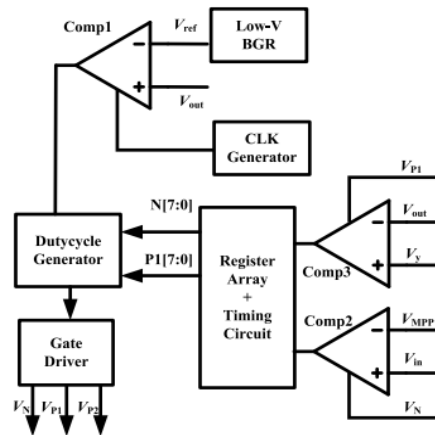


شکل ۳-۳: مدار ردیاب نقطه‌ی توان بیشینه [۵].

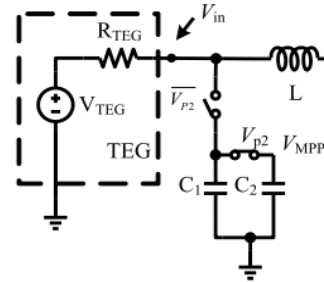
در مرحله اول که نمونه برداری نام دارد، کلید سمت بالا و پایین در مبدل اصلی خاموش می‌شوند و بار را از منبع جدا می‌کنند. نیمی از ولتاژ مدار باز منبع (V_H) در C_1 ذخیره و نمونه برداری می‌شود. در مرحله مقایسه، بار مجدداً وصل می‌شود و مقایسه‌گر مقدار متوسط ولتاژ ورودی V_I را با V_H مقایسه می‌کند. در مرحله سوم که شمارش نام دارد، شمارنده بالا شمار-پایین شمار با توجه به خروجی مقایسه‌گر، یک واحد به سمت بالا یا پایین می‌شمارد. سپس به کمک خروجی شمارنده، f_s برای دستیابی به یک تطبیق امپدانس دقیق‌تر تنظیم می‌شود.

در [۶] یک مبدل افزایشنده برای برداشت انرژی حرارتی با بیشینه بازدهی ۸۳/۹ درصد ارائه شده است. در این کار به منظور تضمین پایین بودن اتلاف کلیدزنی حالت هدایت ناپیوسته انتخاب شده است. همچنین برای افزایش بیشتر بازده مبدل، یک طرح ردیابی نقطه توان بیشینه‌ی ساده که به طور خاص برای منابع انرژی حرارتی با مقاومت داخلی ثابت طراحی شده نیز پیشنهاد شده است. در این طرح برخلاف بیشتر مدارهای ردیاب نقطه‌ی توان بیشینه‌ی موجود که از یک مقایسه‌گر استاتیک و حداقل سه خازن برای مقایسه ولتاژ ورودی و ولتاژ مدار باز منبع استفاده می‌کنند، تنها یک مقایسه‌گر پویا

اتخاذ شده است که فقط برای مدت زمان کوتاهی که کلید سمت پایین خاموش است کار می‌کند و به همین جهت باعث کاهش توان مصرفی و افزایش بازده می‌شود. علاوه بر این، از آنجا که مقایسه در زمان خاموش بودن کلید سمت پایین انجام می‌شود تنها به دو خازن و دو کلید نیاز است.



(ب)



(الف)

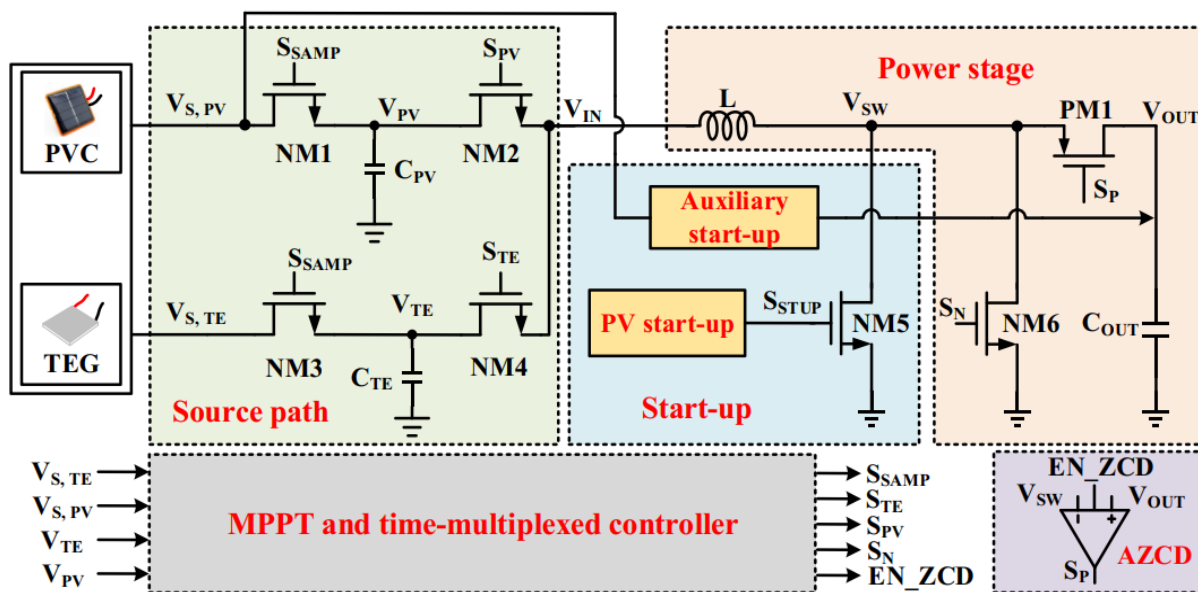
شکل ۳-۴: مدار کنترل مبدل افزایشنده. (الف) مدار نمونه بردار ولتاژ ورودی در بخش تطبیق امپدانس، (ب) نمای مدار کنترل تطبیق امپدانس و کلیدزنی جریان صفر [۶].

نحوه‌ی عملکرد این مدار ردیاب به این صورت است که ولتاژ منبع در لحظه‌ی خاموش بودن هردو کلید سمت بالا و پایین توسط مدار نمونه بردار در C_1 ذخیره می‌شود و سپس با اتصال C_1 و ولتاژ V_{MPP} که برابر نصف مقدار V_{TEG} است، بدست می‌آید. حال این ولتاژ توسط مقایسه‌گر $Comp_2$ که در لحظه‌ی خاموش شدن کلید سمت پایین فعال شده است، با ولتاژ ورودی مقایسه می‌گردد. نتیجه‌ی این مقایسه به مدار کنترل فرستاده می‌شود و توسط یک آرایه‌ی ثبات ۸ بیتی، مدت زمان روشن ماندن کلید سمت پایین در دوره‌ی کلاک بعدی تغییر می‌کند. بعد از ۸ چرخه‌ی مقایسه، این تنظیم عرض پالس خاتمه می‌یابد. بنابراین برای دستیابی به یک دقت مناسب، محدوده‌ی تنظیم عرض پالس باید بعد از شبیه‌سازی با دقت تنظیم شود.

برای دست یابی به کلیدزنی جریان صفر نیز در لحظه‌ی خاموش شدن کلید سمت بالا، $Comp_3$ فعال می‌شود، V_Y و V_{OUT} را مقایسه می‌کند تا یکی از دو وضعیت خاموش شدن زود هنگام یا دیر هنگام کلید سمت بالا تشخیص داده شود. سپس با توجه به خروجی این مقایسه‌گر مدت زمان روشن بودن

این کلید تنظیم می‌شود. در این بخش نیز از یک آرایه‌ی ثابت ۸ بیتی برای پالس کنترلی کلید سمت بالا استفاده شده است. به همین جهت این روش در مقایسه با روش‌های مرسوم که از آشکارساز جریان استفاده می‌کنند بسیار ساده‌تر و کارآمدتر است. برای تنظیم خروجی نیز به‌طور مستقیم از مقایسه ولتاژ خروجی و یک ولتاژ مرجع استفاده شده است.

در [۷] نیز یک مبدل افزایشنده دو ورودی برای مولد ترموالکتریک و فتوولتائیک ارائه شده است. همان‌طور که در شکل ۳-۵ می‌بینید این مبدل دارای دو ورودی است که بسته به شرایط محیط بر اساس توان ورودی هر کدام از این برداشت‌کننده‌ها، یکی به عنوان ورودی انتخاب شده و توسط دو کلید $NM4$ و $NM3$ به مبدل متصل می‌شوند.

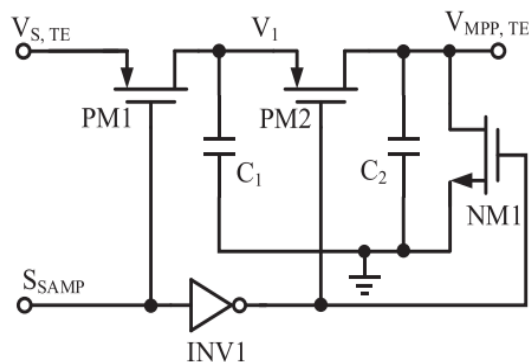


شکل ۳-۵: نمای کلی برداشت‌کننده‌ی حرارتی [۷].

در نهایت با توجه به نتایج ارائه شده، بیشینه بازده مبدل در ولتاژ ورودی حرارتی در محدوده ۰/۱ تا ۰/۴ ولت به ۸۵/۷ درصد می‌رسد. از آنجا که هدف، طراحی یک مبدل برای برداشت انرژی حرارتی است، تنها بخش‌های مربوط به ورودی حرارتی بررسی خواهد شد.

در این کار برای افزایش بازده مبدل، یک آشکارساز جریان صفر دقیق پیشنهاد شده است که می‌تواند از تشخیص زودهنگام یا دیرهنگام نقطه‌ی جریان صفر در حالت هدایت ناپیوسته جلوگیری کند. این آشکارساز در شکل ۳-۵ با نام AZCD نشان داده شده است. اصل کارکرد این مدار ردیاب جریان صفر مانند کارهای قبل است، اما از آنجا که آفست موجود در مقایسه‌گر استفاده شده برای مقایسه‌ی ولتاژ گره‌ی SW با ولتاژ خروجی (V_{OUT}) می‌تواند باعث تشخیص زودهنگام یا دیر هنگام عبور جریان صفر شود، منجر به تلفات اضافی توان می‌گردد. از این رو در این کار برای حل این مشکل و افزایش بازده، یک مقایسه‌گر جدید و دقیق برای آشکارسازی جریان صفر طراحی و پیشنهاد شده است که ولتاژ کنترلی کلید سمت بالا (PM_1) ولتاژ S_P را کنترل می‌کند.

برای ردیابی نقطه‌ی توان بیشینه نیز هر ۱۰۰ میلی‌ثانیه یک بار منابع ولتاژ توسط یک کلید مجزا (S_{SAMP}) از ورودی مبدل جدا می‌شوند، مدار نمونه‌بردار به منبع متصل می‌شود و مقدار ولتاژ منبع در خازن C_1 ذخیره می‌گردد (شکل ۳-۶). در همین زمان خازن C_2 تخلیه شده و در مرحله‌ی بعد با اتصال این دو خازن به یکدیگر، نصف مقدار ولتاژ منبع بدست می‌آید.

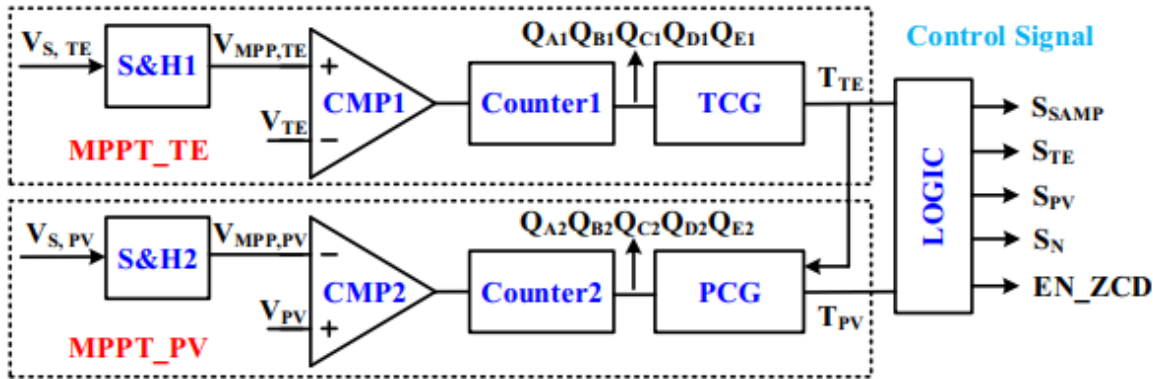


شکل ۳-۶: ساختار نمونه بردار و نگهدار استفاده شده برای منبع ولتاژ حرارتی ($S\&H_1$) [۷].

سپس توسط یک مقایسه‌گر (شکل ۳-۷)، برقراری تطبیق امپدانس بررسی می‌شود و بسته به خروجی آن به کمک یک شمارنده‌ی ۵ بیتی بالا شمار-پایین شمار و یک مدار مولد زمان هدایت ترموالکتریک (TCG)، با ثابت نگه داشتن زمان روشن کلید سمت پایین (NM_6) و تغییر زمان بیکاری

(T_{IDLE}) مدت زمانی که هر دو کلید سمت بالا و پایین خاموش هستند، دوره تناوب پالس کنترلی

ورودی حرارتی (T_{TE}) تنظیم می‌شود.

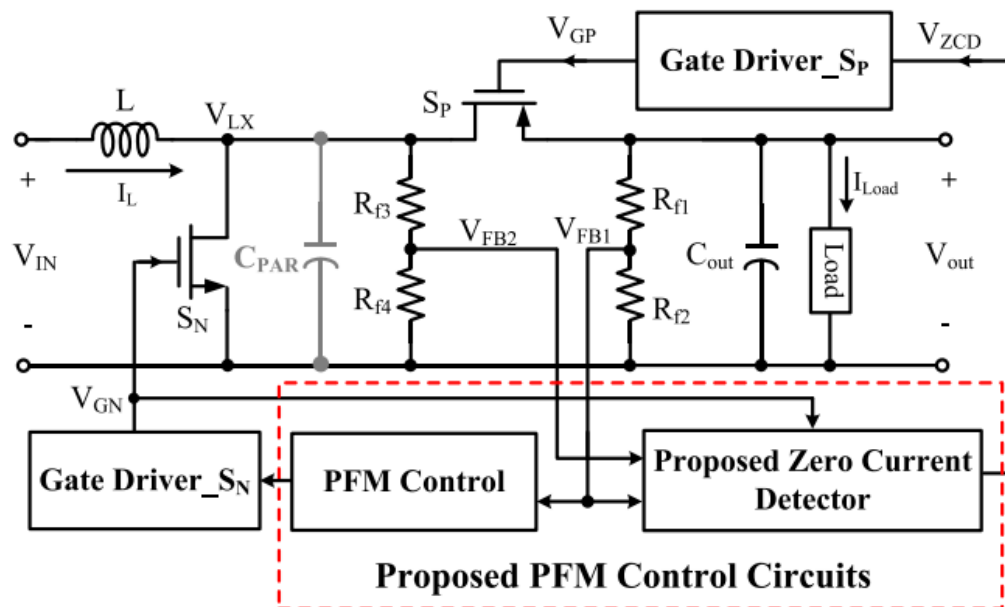


شکل ۳-۷: ساختار کنترل کننده MPPT [۷].

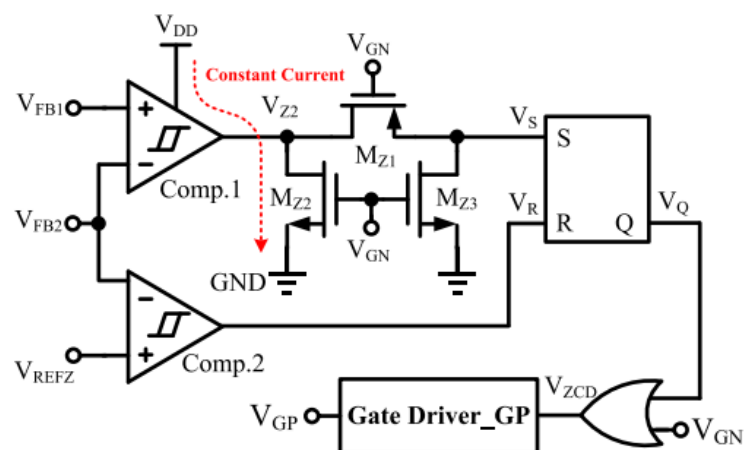
در [۸] یک مبدل افزایشنده با مدولاسیون فرکانس پالس و یک آشکارساز جریان صفر دقیق برای بهبود بازده توان مبدل افزایشنده ارائه شده است. این آشکارساز می‌تواند از تشخیص زودهنگام یا دیر هنگام خاموش شدن کلید سمت بالا جلوگیری کند و عملکرد پایدار را در حالت هدایت ناپیوسته تضمین کند. نمای کلی این مبدل افزایشنده در شکل ۳-۸ نشان داده شده است. نتایج تجربی در این کار نشان می‌دهد که بیشینه بازده ۸۸/۳۹ درصد در جریان بار ۵۰ میلی‌آمپر به دست می‌آید. همچنین در جریان بار ۱ میلی‌آمپر بازده توان مبدل افزایشنده با آشکارساز پیشنهادی، ۲۸/۲۹ درصد بیشتر از طراحی با آشکارساز موجود در کارهای گذشته است.

در این کار نیز برای کلیدزنی جریان صفر از افت ولتاژ روی کلید سمت بالا استفاده شده است. اما بر خلاف کارهای قبل از مقایسه‌ی ولتاژ تقسیم‌شده‌ی خروجی (V_{FB1}) و V_{FB2} استفاده شده است. سپس همان‌طور که در شکل ۳-۹ مشخص است، به کمک یک لچ SR با توجه به وضعیت مقایسه‌گر هیستریزس پیشنهادی (comp1)، پالس کنترلی کلید سمت بالا (V_{GP}) را کنترل می‌کند و در صورت بیشتر بودن ولتاژ خروجی از ولتاژ گره‌ی LX، کلید سمت بالا را خاموش می‌کند. مقایسه‌گر comp2 نیز برای تشخیص زمان روشن بودن کلید سمت بالا که در آن V_{LX} در سطح منطقی بالا قرار دارد استفاده

می‌شود تا نتیجه بررسی افت ولتاژ روی کلید سمت بالا در زمان درست به خروجی این مدار کنترل برود.



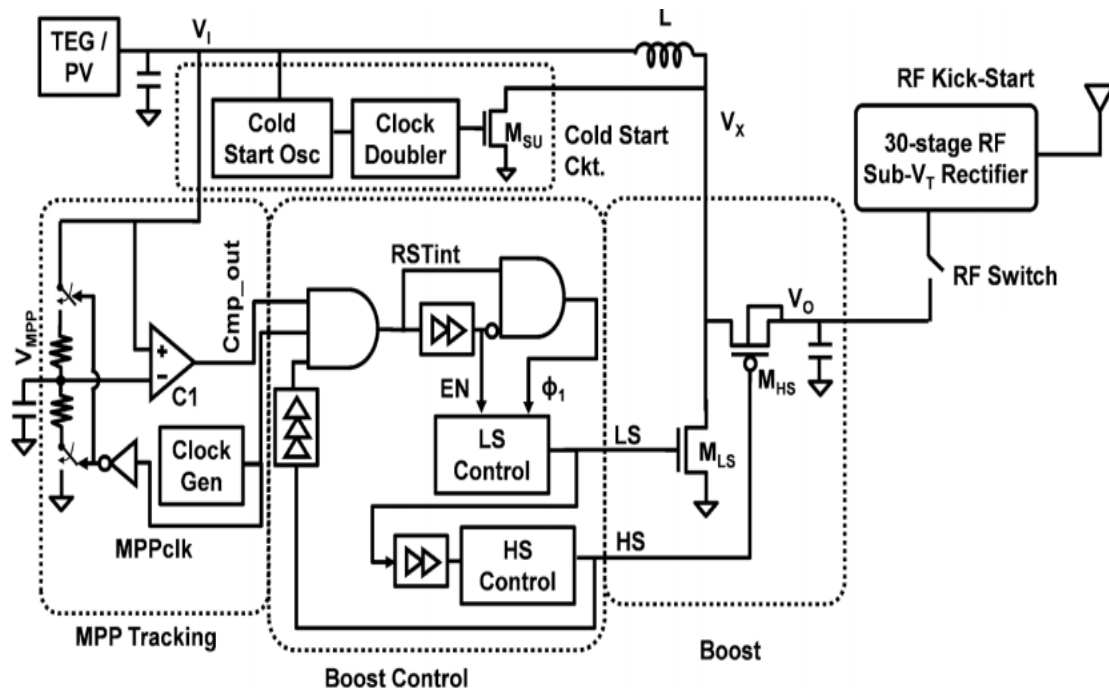
شکل ۳-۸: مبدل افزایشنده با آشکارساز جریان صفر پیشنهادی [۸].



شکل ۳-۹: نمای آشکارساز جریان دقیق پیشنهادی [۸].

در [۹] یک مبدل افزایشنده برای برداشت انرژی ترموالکتریک با حداقل ولتاژ منبع ۱۰ میلی‌ولت ارائه شده است که به حسگرهای پوشیدنی بدن اجازه می‌دهد تا با اختلاف دمایی‌های کم نیز به کار خود ادامه دهند. این مقاله از طرح کنترل جریان سلف بیشینه برای حفظ بازده بالا در طیف وسیعی از

ولتاژهای ورودی (V_I) و خروجی استفاده می‌کند. بازده بدست‌آمده به ترتیب از ۵۳ درصد تا بیشینه بازدهی ۸۳ درصد در ولتاژ ورودی ۲۰ و ۳۰۰ میلی‌ولت متغیر است. ساختار کامل این برداشت کننده در شکل ۳-۱۰ نشان داده شده است.

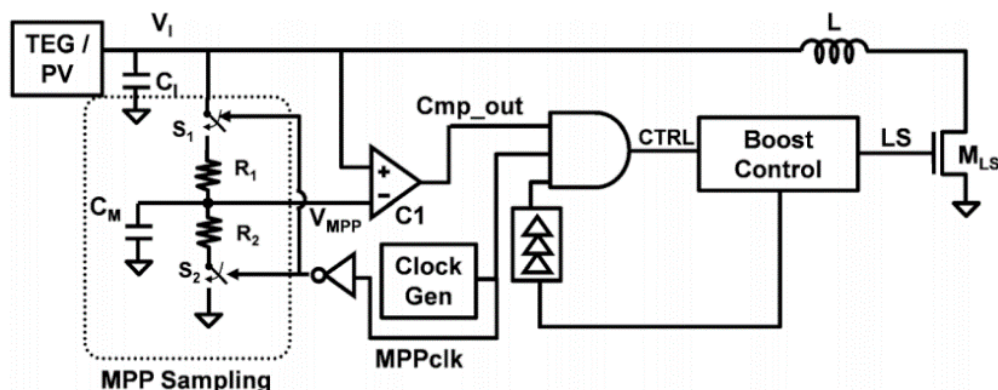


شکل ۳-۱۰: ساختار کامل مبدل افزایشنده [۹].

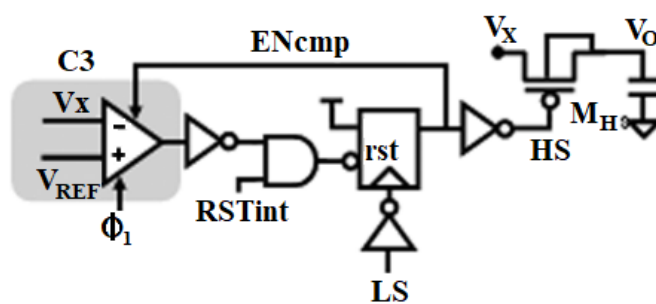
در اینجا همان‌طور که شکل ۳-۱۱ نیز مشخص است، دستیابی به نقطه توان بیشینه از طریق کنترل کلید سمت پایین صورت گرفته است. همچنین با توجه به شکل ۳-۱۱، برای نمونه برداری ولتاژ منبع از یک تقسیم مقاومتی (R_I و R_T) استفاده شده است که نسبت به استفاده از تقسیم ولتاژ خازنی پیچیدگی کمتری خواهد داشت اما اتلاف توان را افزایش می‌دهد.

در این مقاله نیز مانند [۵-۸] برای کلیدزنی در جریان صفر از مقایسه‌ی ولتاژ V_O با V_X یا به عبارتی دیگر از افت ولتاژ روی کلید سمت بالا (M_{HS}) و کنترل عرض پالس آن استفاده شده است (شکل ۳-۱۲). همچنین برای افزایش دقت این مدار، یک مقایسه‌گر پویای بهبود یافته طراحی شده است که در مقابل این افزایش دقت و سرعت، بازده مدار را به ترتیب در ولتاژ ورودی ۲۰ تا ۳۰۰ میلی‌ولت، ۰/۴ تا

درصد کاهش می‌دهد.

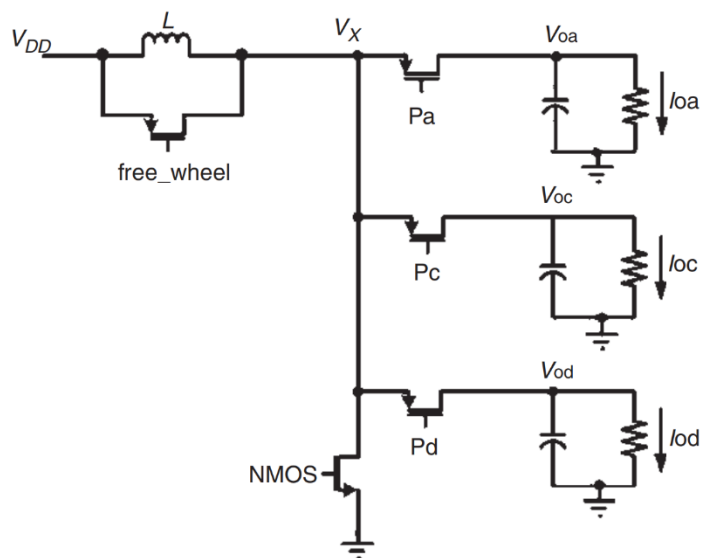


شکل ۳-۱۱: مدار ردیاب و کنترل نقطه بیشینه توان [۹].

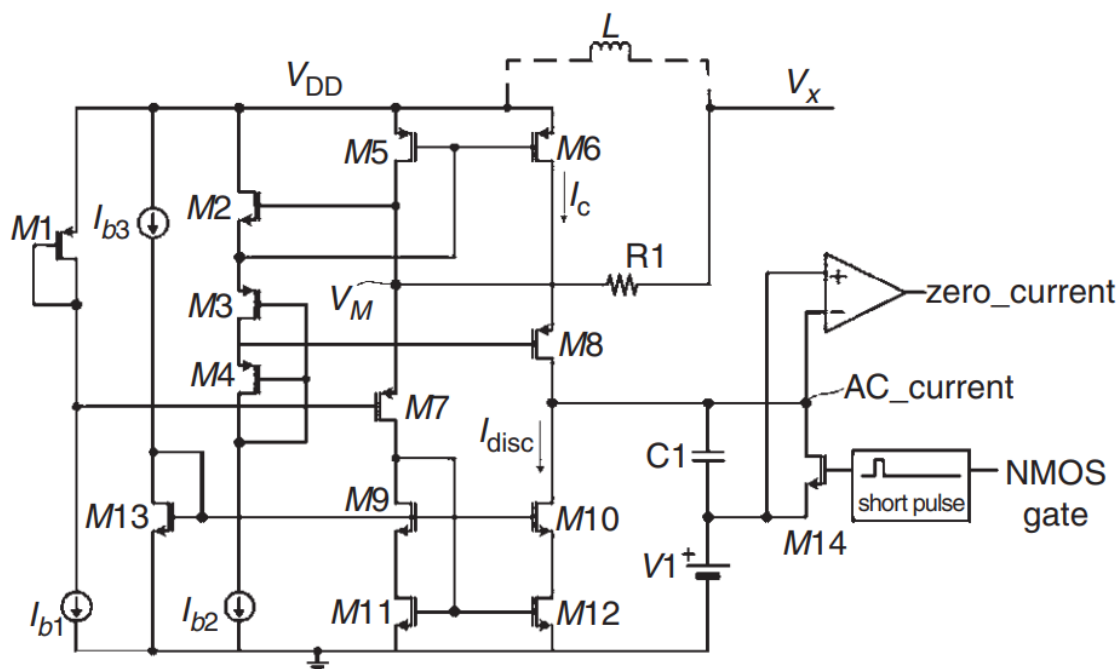


شکل ۳-۱۲: مدار کنترل زمان بندی HS با استفاده از نقطه‌ای عبور جریان صفر [۹].

مشخص است که هر قدر ولتاژ خروجی مبدل بیشتر باشد، دقت تشخیص افت ولتاژ روی کلید سمت بالا کاهش خواهد یافت. از طرفی دیگر اگر مشابه شکل ۳-۱۳ تعداد خروجی مبدل و به دنبال آن کلیدهای سمت بالای مورد نیاز، بیشتر از یکی باشد، مدار تشخیص دهنده‌ی افت ولتاژ کلیدهای سمت بالا پیچیده‌تر و دارای مساحت بیشتری خواهد شد [۱۰]. از این رو برای رفع پیچیدگی و عدم نیاز به سنجش افت ولتاژ کلیدهای سمت بالا در [۱۰] یک مدار جدید یکپارچه‌ی تشخیص جریان سلف صفر، مناسب برای مبدل‌های DC-DC افزایشده ارائه شده است که می‌تواند با ایجاد شکل‌موجی مشابه با جریان سلف اصلی، صفر شدن جریان سلف را به طور دقیق تشخیص دهد. این مدار تشخیص جریان صفر که در شکل ۳-۱۴ نشان داده شده است توسط دو آینه جریان ($M_5 - M_6$ و $M_{11} - M_{12}$) که به طور متناوب فعال هستند، یک جریان افزایش یافته (*AC-current*) مشابه جریان سلف تولید می‌کند و به کمک مقایسه‌گر به راحتی صفر شدن آن را تشخیص می‌دهد.



شکل ۳-۱۳: ساختار چند خروجی مبدل افزایشده DC-DC [۱۰].



شکل ۳-۱۴: مدار پیشنهادی تشخیص جریان صفر سلف [۱۰].

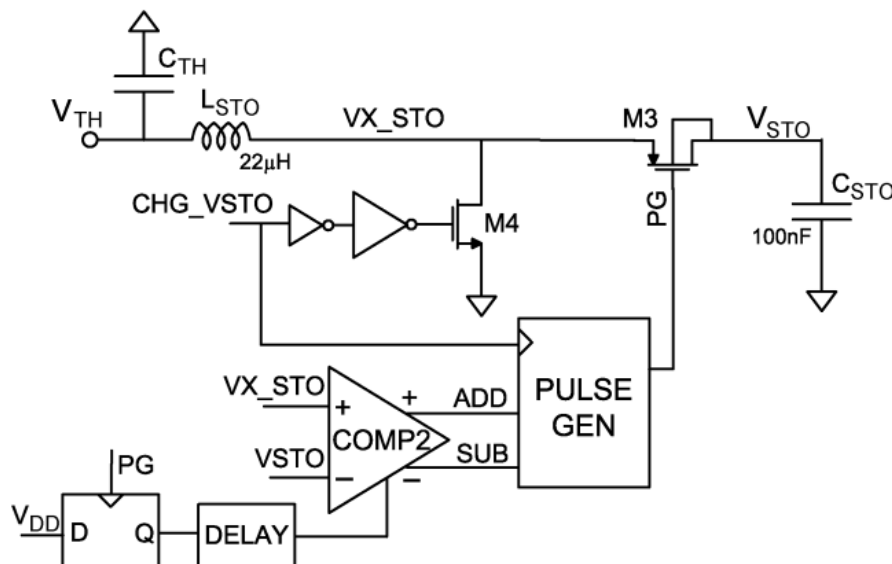
در [۱۱] یک مبدل افزایشده برای برداشت انرژی حرارتی بدن انسان با حداقل ولتاژ ورودی ۲۵ میلی‌ولت و خروجی تنظیم شده در ۱/۸ ولت ارائه شده است. برای دستیابی به استخراج بیشینه توان از روش یک بار تنظیم در هنگام طراحی استفاده شده است (شکل ۳-۱۵). از آنجا که در این کار زمان

روشن بودن کلید سمت پایین نصف دوره تناوب در نظر گرفته شده است، طبق رابطه‌ی (۲-۲۵) با تنظیم فرکانس در یک مقدار ثابت می‌توان به استخراج بیشینه توان دست یافت.

$$f_s = \frac{R_s}{8L} \quad (۱-۳)$$

نسبت زمان روشن کلید سمت بالا (τ_P) و پایین (τ_N) به صورت رابطه‌ی (۲-۳) بیان می‌شود. هر دو ولتاژ V_{TH} (ولتاژ منبع) و V_{STO} (ولتاژ خروجی) در این رابطه متغیر هستند (خروجی نیز دارای مقداری نوسان است)، پس برای دستیابی به کلیدزنی جریان صفر از یک روش کنترلی حلقه بسته استفاده شده است.

$$\frac{\tau_P}{\tau_N} = \frac{V_{TH}}{V_{STO} - V_{TH}} \quad (۲-۳)$$

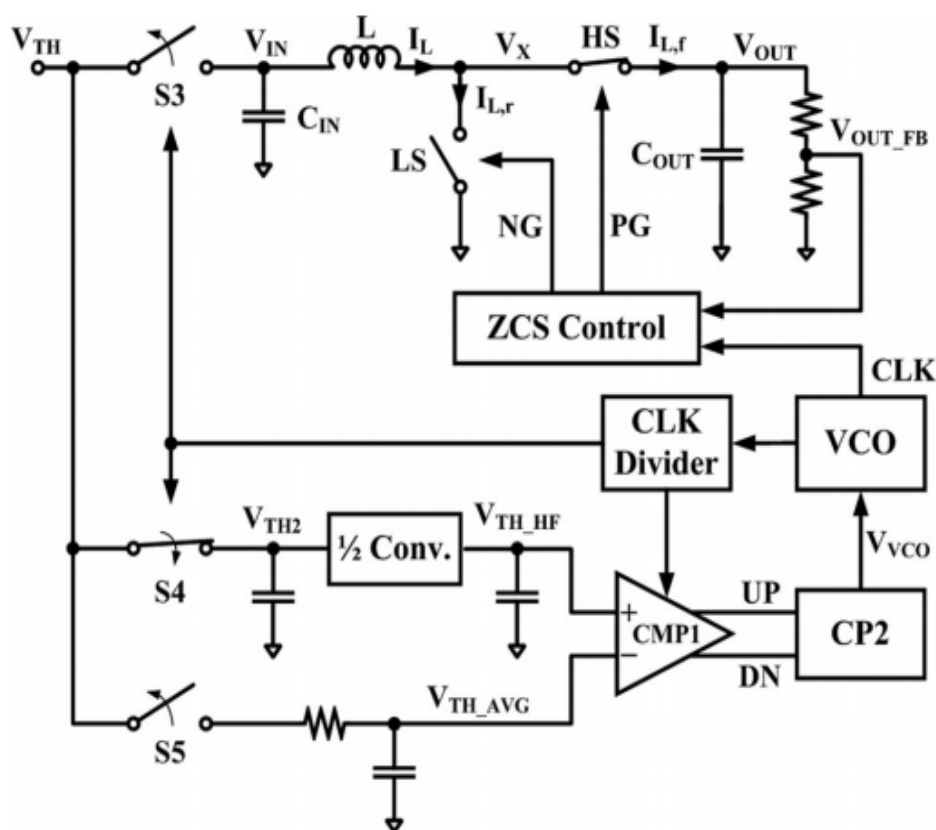


شکل ۳-۱۵: مبدل افزایشنده به همراه مدار کنترل جریان صفر [۱۱].

زمان روشن کلید سمت پایین نیز توسط بخش تطبیق امپدانس در یک مقدار ثابت تنظیم شده است. پس برای دستیابی به کلیدزنی جریان صفر طبق رابطه‌ی (۲-۳) باید از کنترل زمان روشن کلید سمت بالا بهره گرفت. در اینجا نیز مانند کارهای قبل از مقایسه V_{X-STO} با V_{STO} پس از خاموش شدن کلید سمت بالا استفاده می‌شود و عرض پالس τ_P متناسب با آن تغییر می‌کند.

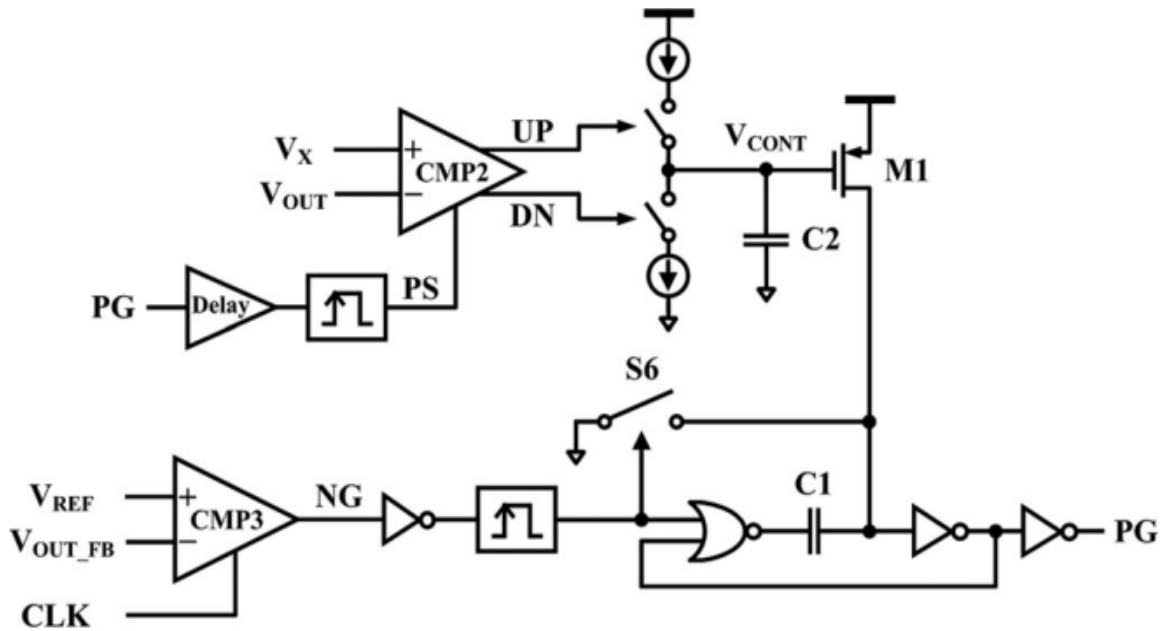
در مقاله‌ای دیگر [۱۲] یک مبدل افزایشنده همراه با روش ردیابی نقطه بیشینه توان برای کاربردهای برداشت انرژی حرارتی ارائه شده است. این روش تحمل تغییر شرایط محیطی مختلف را با تنظیم

برای دستیابی به ردیابی نقطه توان بیشینه، همان‌طور که در شکل ۳-۱۶ مشخص است، مانند قبل با جدا کردن مبدل افزایشنده از منبع مقدار نصف ولتاژ منبع محاسبه می‌شود و پس از اتصال مجدد مبدل افزایشنده این ولتاژ را با مقدار متوسط ولتاژ ورودی که به منظور حذف نوسان این ولتاژ و افزایش دقت مقایسه آن توسط یک مقاومت و خازن بدست آمده است، مقایسه می‌کند و سپس بسته به شرایط این دو ولتاژ نسبت به هم، فرکانس کاری افزایش یا کاهش می‌یابد.



برای تنظیم ولتاژ خروجی، با توجه به شکل ۳-۱۷، هنگامی که مقایسه گر CMP۳ احساس کند V_{OUT-FB} کمتر از یک حد مشخص (V_{REF}) است، سلف شروع به شارژ شدن می‌کند و به این ترتیب

خروجی مدار همواره از یک مقدار مشخص بیشتر است.

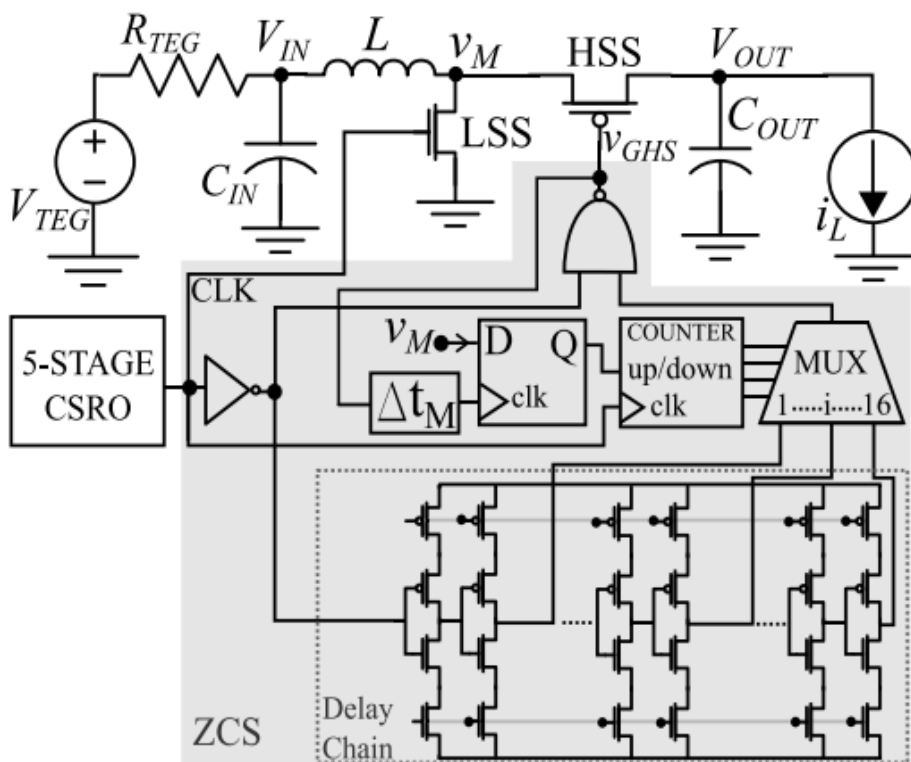


شکل ۳-۱۷: مدار کنترل کلیدزنی جریان صفر [۱۲].

برای دستیابی به کلیدزنی در جریان صفر نیز از مقایسه ولتاژ خروجی و V_X توسط یک مقایسه‌گر (CMP۲) استفاده شده است. با این حال روش متفاوتی برای کنترل کلید سمت بالا (HS) ارائه شده است. در اینجا بسته به وضعیت خروجی مقایسه‌گر، ولتاژ گیت یک منبع جریان (M۱) تغییر می‌کند و به این ترتیب عرض پالس کنترلی کلید سمت بالا تنظیم می‌شود.

در [۱۳] یک طرح کلیدزنی جریان صفر کارآمد برای مبدل‌های افزایشده با ولتاژ بسیار پایین پیشنهاد شده است. در حالی که کمترین بازده مبدل در ولتاژ ورودی ۷/۳ میلی‌ولت برابر ۷۶ درصد است، برای ولتاژهای بالاتر از ۴۰ میلی‌ولت، بازده بین ۸۲ تا ۸۵ درصد خواهد بود.

این طرح کلیدزنی جریان صفر جدید که یک مدار کاملاً دیجیتال است، برای تشخیص غیرمستقیم عبور جریان صفر در مبدل‌های افزایشده با ولتاژهای ورودی بسیار پایین پیشنهاد شده است. با اینکه در اینجا نیز برای تشخیص جریان صفر از ولتاژ گرهی V_M استفاده می‌شود اما با یک ایده‌ی جالب، نیاز وجود مقایسه‌گر را از بین می‌برد.



شکل ۳-۱۸: مدار مبدل افزایشنده همراه با مدار کلیدزنی جریان صفر (ناحیه سایه‌دار) [۱۳].

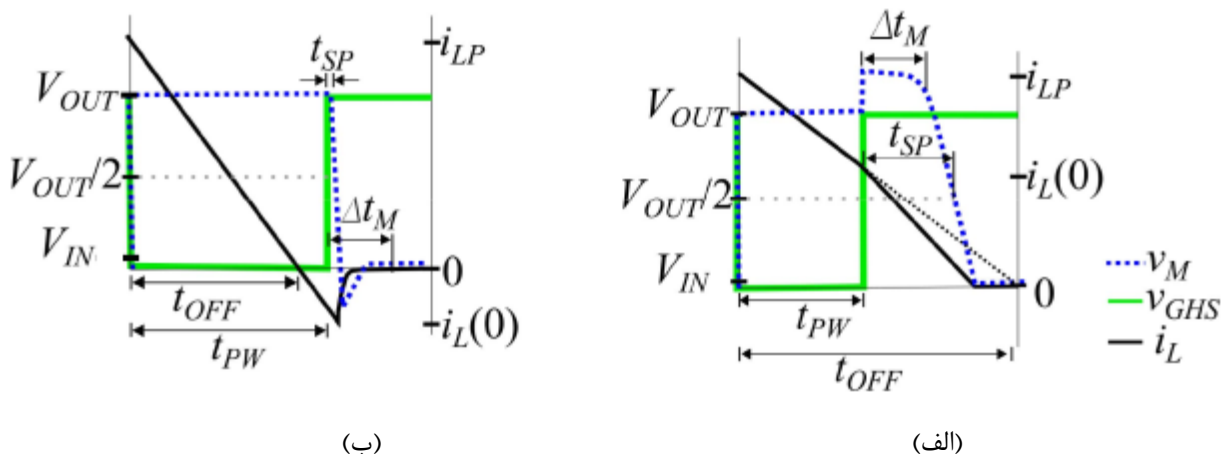
این مبدل افزایشنده به همراه مدار کلیدزنی دیجیتال آن در شکل ۳-۱۸ نشان داده شده است. همان‌طور که در شکل نیز مشخص است، لحظه‌ای (Δt_M) پس از خاموش شدن کلید سمت بالا (HSS)، وضعیت ولتاژ V_M بررسی می‌شود. اگر کلید سمت بالا قبل از صفر شدن جریان سلف خاموش شده باشد، همان‌طور که در شکل ۳-۱۹ (الف) مشخص است، یک بالازدگی در V_M رخ می‌دهد. اما اگر این کلید پس از صفر شدن جریان سلف خاموش شده باشد دیگر بالازدگی رخ نخواهد داد و در لحظه‌ی بررسی وضعیت V_M ، سطح منطقی آن صفر خواهد بود (شکل ۳-۱۹ (ب)).

واضح است که مقدار Δt_M تأثیر مستقیمی بر دقت این مدار کلیدزنی جریان صفر و به دنبال آن بازده مبدل افزایشنده خواهد داشت و باید به نحوی انتخاب شود که از t_{SP} (مدت زمانی که پس از خاموش شدن کلید سمت بالا طول می‌کشد تا ولتاژ V_M به سطح منطقی صفر برود) در هنگام وجود بالازدگی کوچک‌تر و از همین زمان در عدم وجود بالازدگی بزرگ‌تر باشد. از این رو مقدار دقیق این تأخیر بر اساس

مقادیر عناصر مبدل افزایشده، بیان شده است.

$$t_M = 1.05\sqrt{L \times C_{SW}} \quad (3-3)$$

که در اینجا C_{SW} خازن پارازیتی گرهی SW است.

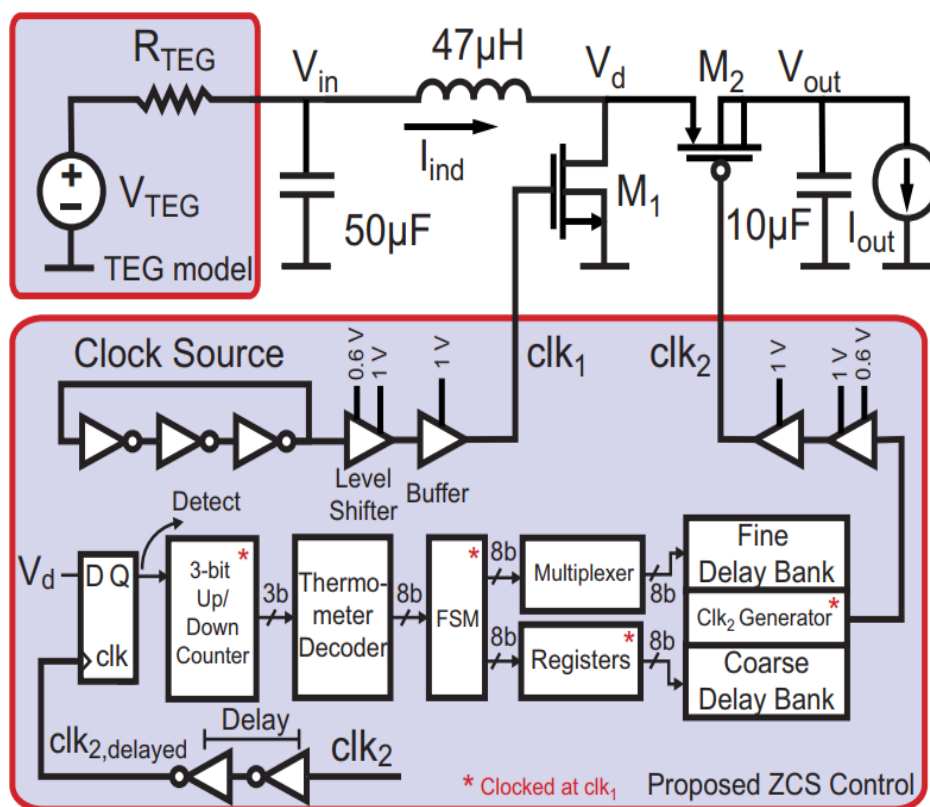


شکل ۳-۱۹: جریان سلف، V_M و V_{GHS} در حالت باز شدن زود هنگام و دیر هنگام [۱۳].

پس از مشخص شدن t_M به راحتی می‌توان توسط یک فلیپ فلاپ D سطح منطقی گرهی V_M را مشخص کرد و توسط یک شمارنده‌ی بالا شمار-پایین شمار چهار بیتی، شانزده تأخیر متوالی، یک مالتی پلکسر و یک گیت NAND، عرض پالس کنترلی کلید سمت بالا (V_{GHS}) را برای دست یابی به کلیدزنی جریان صفر تنظیم کرد.

لازم به ذکر است که در این مدار زمان روشن کلید سمت بالا، ابتدا در کمترین حالت خود قرار می‌گیرد. پس به قطع در اولین تشخیص وضعیت V_M ، بالازدگی وجود خواهد داشت. سپس با افزایش زمان روشن این کلید شمارنده تا جایی به شمارش به سمت بالا ادامه خواهد داد که دیگر بالازدگی رخ ندهد و وضعیت منطقی صفر تشخیص داده شود. در این حالت شمارنده یک واحد به سمت پایین می‌شمارد. حال مجدد یک بالازدگی رخ می‌دهد و شمارنده بار دیگر بالا شمار خواهد بود. سپس در صورت عدم تغییر در ولتاژ ورودی پس از مدتی V_M بین یک بالازدگی و یک پایین‌زدگی نوسان خواهد کرد.

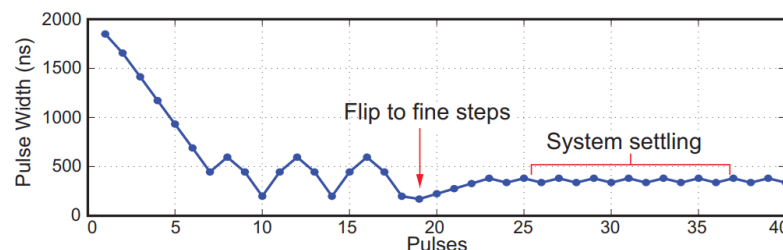
در [۱۴] یک مبدل افزایشنده DC-DC مبتنی بر سلف با بازدهی بالا ارائه شده است که مولد ترموالکتریک را برای وسایل الکترونیکی پوشیدنی هدف قرار می‌دهد. مدار کلیدزنی جریان صفر ارائه شده که سبب افزایش بازده شده است از روش مدار دیجیتال، مشابه [۱۳] بهره گرفته است، با این تفاوت که از یک ماشین حالت متناهی^۱ ساده و یک شمارنده سه بیتی برای تعیین نقطه جریان صفر استفاده می‌کند. مدار کنترل در این کار تنها با استفاده از سه بیت کنترل به ۵۶ مرحله تأخیر دست می‌یابد به همین جهت دقت کلیدزنی جریان صفر و بازده مبدل را افزایش خواهد داد. نتایج اندازه‌گیری مبدل بیشینه بازده ۸۱ درصد را در توان خروجی ۵۵ میکرووات و ولتاژ ورودی ۵۰ میلی‌ولت تایید می‌کند.



شکل ۳-۲۰: ساختار مبدل افزایشنده و مدار کنترل [۱۴].

^۱ finite state machine (FSM)

در ابتدا ماشین حالت متناهی موجود در شکل ۳-۲۰ در حالت تأخیر درشت^۱ قرار دارد، در این حالت، لحظه‌ای پس از خاموش شدن کلید سمت بالا (M_2)، وضعیت ولتاژ V_d بررسی می‌شود و مطابق آنچه که در [۱۳] ذکر شد خروجی شمارنده‌ی سه بیتی بروز خواهد شد و تا وقتی که یک جریان صفر تشخیص داده نشود در حالت تأخیر درشت می‌ماند و پس از آن مقدار تأخیر درشت در یک ثبات ذخیره می‌شود و ماشین حالت متناهی حالت خود را به تأخیر ریز^۲ تغییر خواهد داد. سپس از همین شمارنده برای بهبود تشخیص نقطه‌ی جریان صفر استفاده می‌شود و مقدار خروجی آن بر اساس محل جدید این نقطه به روز می‌شود.



شکل ۳-۲۱: شبیه‌سازی SPICE سیستم اجرای حالت تأخیرهای درشت و ریز [۱۴].

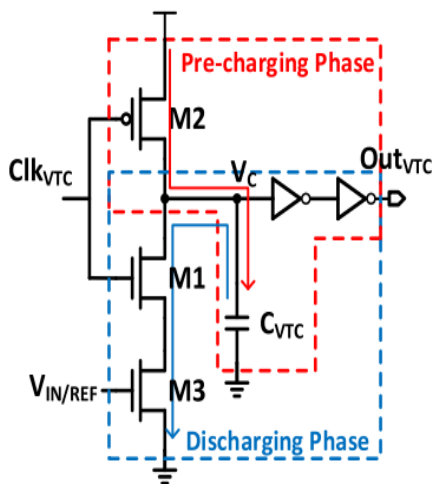
به این ترتیب همان‌طور که در شکل ۳-۲۱ مشخص است، با استفاده از این تأخیرهای ریز و درشت به راحتی می‌توان دقت تغییر عرض پالس کنترلی کلید سمت بالا بین دو نقطه‌ی پایین‌زدگی و بالا‌زدگی را افزایش داد.

در مقاله‌ی [۱۵] یک مبدل افزایشنده با ولتاژ بسیار پایین در حالت هدایت ناپیوسته برای مولد ترموالکتریک پیشنهاد شده است. یک مدار کنترل با ولتاژ تغذیه زیرآستانه ($0/3$ ولت) موجب شده است تا حداقل ولتاژ مدار بازی که می‌تواند عملکرد درست مدار را حفظ کند به 80 میلی‌ولت برسد. مصرف توان مدار کنترل در این کار تنها 840 نانوات بدست آمده است. بیشینه بازده نیز در ولتاژ مدار باز 170 میلی‌ولت، $72/1$ درصد است.

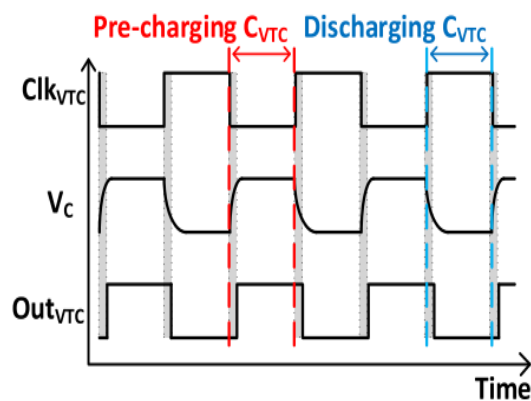
^۲ Coarse Delay

^۱ Fine Delay

در این کار برای دستیابی به نقطه توان بیشینه از تنظیم فرکانس کلیدزنی با یک روش متفاوت استفاده شده است. برای نمونه برداری ولتاژ منبع از یک تقسیم ولتاژ خازنی استفاده می‌شود. پس از نمونه‌برداری توسط دو مبدل ولتاژ به زمان^۱ مشابه، که در شکل ۳-۲۲ (ب) نشان داده شده است، ولتاژ V_{REF} و V_{IN} (نصف مقدار ولتاژ منبع نمونه‌برداری شده) به حوزه‌ی زمان منتقل می‌شوند.

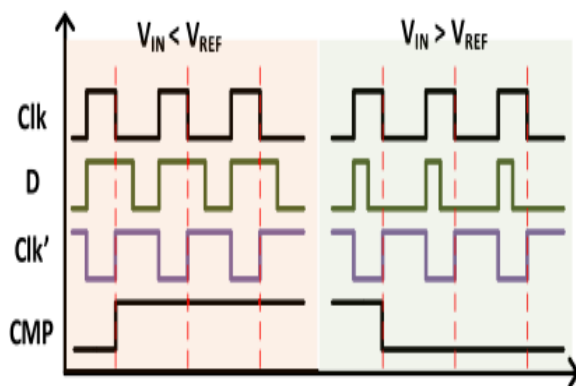


(ب)

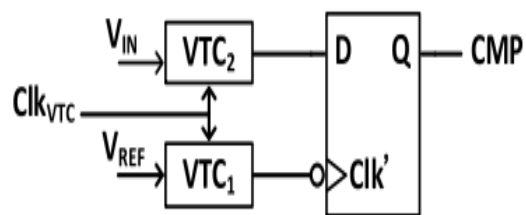


(الف)

شکل ۳-۲۲: (الف) نمای مبدل ولتاژ به زمان، (ب) شکل موج شارژ و تخلیه C_{VTC} [۱۵].



(ب)



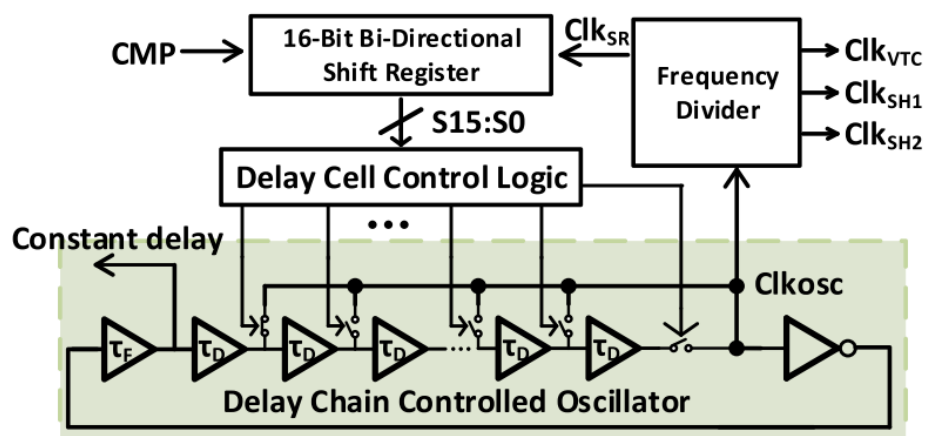
(الف)

شکل ۳-۲۳: (الف) مدار مقایسه کننده حوزه زمان. (ب) نمودار زمان‌بندی با ورودی‌های مختلف VTC و نتیجه مقایسه [۱۵].

^۱ Voltage-to-time converter (VTC)

در این مدار در هر چرخه ابتدا C_{VCT} تا $0/3$ ولت شارژ می‌شود. سپس متناسب با مقدار ولتاژ V_{IN} یا V_{REF} با سرعت مشخصی شروع به تخلیه می‌کند. به این ترتیب زمان شارژ این خازن همیشه ثابت خواهد بود اما زمان تخلیه‌ی آن متناسب با دو ولتاژ ذکر شده تغییر خواهد کرد (شکل ۳-۲۲ الف). سپس می‌توان از تفاوت لبه‌ی پایین رونده‌ی این دو ولتاژ برای مقایسه‌ی آن‌ها با یکدیگر در حوزه‌ی زمان بهره برد.

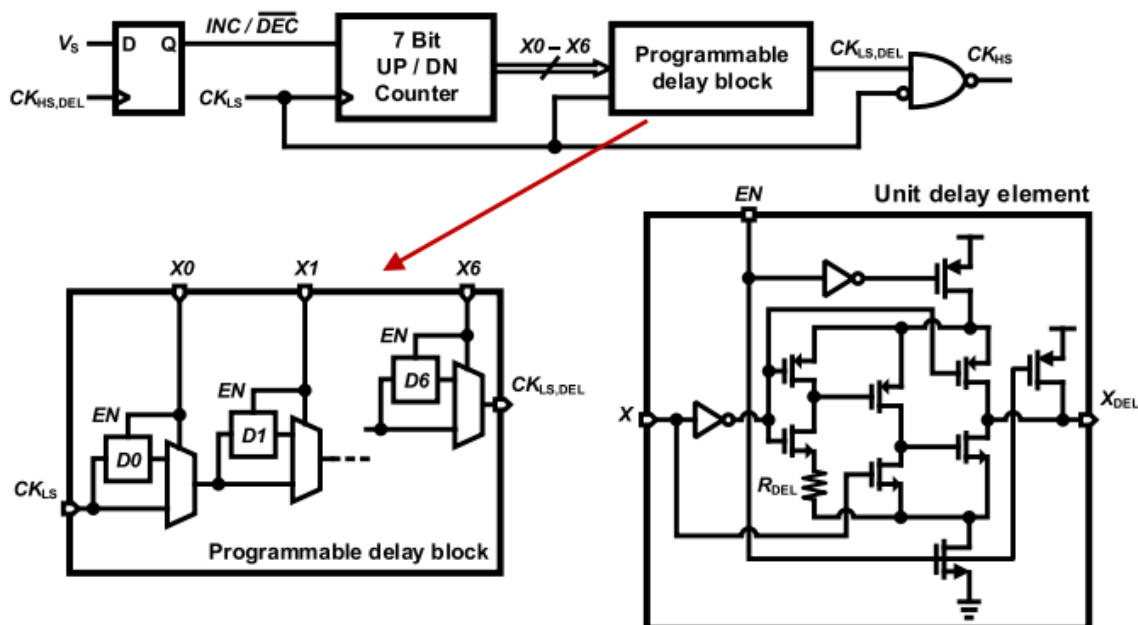
همانطور که در شکل ۳-۲۳ الف) مشخص است، تبدیل یافته‌ی ولتاژ V_{IN} و V_{REF} به ترتیب به پایه‌ی D و Clk' یک فلیپ فلاپ D متصل می‌شوند. در لبه‌ی بالا رونده‌ی Clk' مقدار D به خروجی فلیپ فلاپ می‌رود. زمانی که $V_{REF} < V_{IN}$ است عرض پالس Clk' بیشتر خواهد بود. بنابراین Q به مقدار صفر خواهد رفت. اما زمانی که $V_{IN} < V_{REF}$ است، عرض پالس Clk' کمتر خواهد بود و بنابر این در این حالت Q به سطح منطقی یک خواهد رفت. سپس خروجی این مدار به یک مدار دیجیتال شامل یک ثبات انتقال‌دهنده‌ی دو سویه^۱، آرایه‌ای از تأخیرها و تقسیم فرکانسی (شکل ۳-۲۴) خواهد رفت و به این ترتیب فرکانس مدار بسته به شرایط ولتاژ ورودی برای دستیابی به تطبیق امپدانس دقیق تغییر خواهد کرد.



شکل ۳-۲۴: زنجیره تأخیر کنترل شده ثبات انتقال‌دهنده‌ی دو سویه [۱۵].

^۱ bidirectional shift register (BDSR)

در مقاله‌ی [۱۶] یک مبدل افزایشنده در حالت هدایت ناپیوسته برای برداشت انرژی ترموالکتریک از گرمای بدن انسان ارائه شده است. به منظور استخراج بیشینه انرژی از یک مولد ترموالکتریک در اختلاف دمایی‌های کوچک، یک طرح ردیابی نقطه توان بیشینه به کار گرفته شده است که باعث افزایش بازده در ولتاژهای ورودی پایین می‌شود. بازده مبدل برای محدوده ولتاژ ورودی ۱۵ تا ۱۰۰ میلی‌ولت، با بیشینه مقدار ۸۲ درصد، بیش از ۷۵ درصد خواهد بود. استخراج توان پیشرفته ارائه شده در این کار، مبدل را قادر می‌سازد تا عملکرد خود را در ولتاژ ورودی $\frac{3}{5}$ میلی‌ولت حفظ کند.



شکل ۳-۲۵: پیاده سازی کلیدزنی جریان صفر با استفاده از سنجش دیجیتال [۱۶].

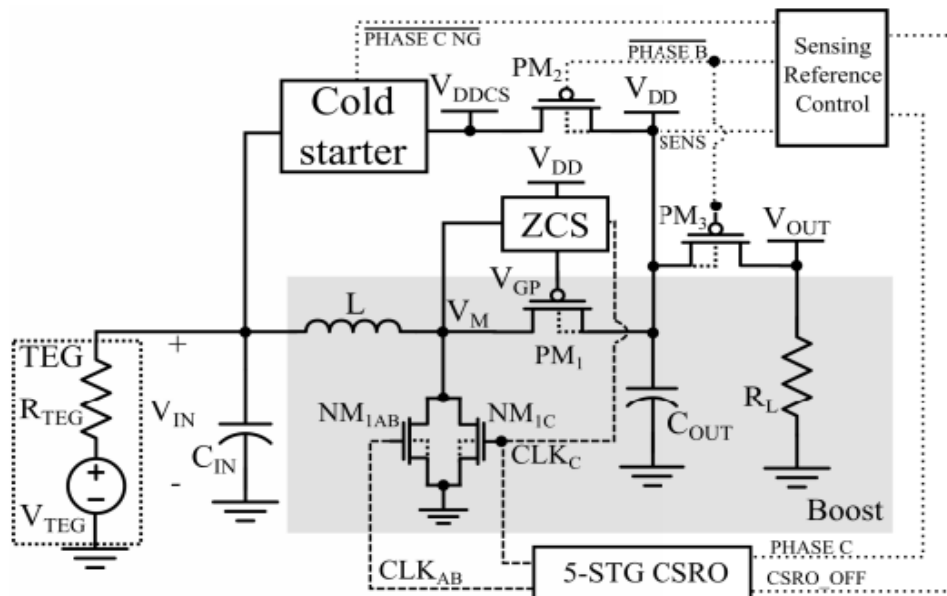
در این کار نیز همانطور که در شکل ۳-۲۵ نیز مشخص است، برای دستیابی به کلیدزنی جریان صفر توسط تنظیم عرض پالس کنترلی کلید سمت بالا (P_1)، به جای استفاده از مقایسه‌گر از مانند [۱۳]، روش سنجش مبتنی بر فلیپ فلاپ استفاده شده است با این تفاوت که شمارنده‌ی به کار رفته در این کار دارای ۷ بیت خروجی است که به معنی افزایش تأخیرهای مورد نیاز است همچنین برای جلوگیری از افزایش توان مصرفی به دلیل افزایش بیت کنترلی، هر کدام از تأخیرهای موجود در واحد تأخیر برنامه‌پذیر فقط در صورت نیاز فعال می‌شوند.

برای استخراج بیشینه توان از کنترل همزمان فرکانس کاری و زمان روشن کلید سمت پایین (N_1) استفاده شده است. از آنجا که بسته به میزان ولتاژ ورودی یکی از دو اتلاف کلیدزنی یا هدایتی بر دیگری غالب است، برای یک مقدار سلف، مقاومت معادل منبع، مقاومت سری سلف، و یک چرخه کار خاص، ولتاژی بدست می‌آید که قبل از آن اتلاف کلیدزنی و پس از آن اتلاف هدایتی غالب خواهد بود (در اینجا ولتاژ منبع ۴۰ میلی‌ولت به عنوان مقدار آستانه انتخاب شده است). بر این اساس یک چرخه کاری با چرخه کار و فرکانس کاری پایین‌تر ($f_s = 8/33 \text{ KHz}$, $D = 0/55$) برای کاهش اتلاف کلیدزنی در ولتاژ ورودی زیر آستانه انتخاب می‌شود به نحوی که تطبیق امپدانس با حداقل تلفات ممکن برقرار باشد و به همین ترتیب برای ولتاژهای بیشتر از آستانه، یک فرکانس و چرخه کاری بزرگتر ($f_s = 25 \text{ KHz}$, $D = 0/91$) به منظور کاهش اتلاف هدایتی انتخاب می‌شود. اگرچه مقدار مقاومت ورودی طراحی شده در ولتاژهای بالاتر با مقاومت معادل منبع کاملاً منطبق نیست، اثر این عدم تطابق بر توان خروجی برداشت‌کننده برای محدوده ولتاژ ورودی بالا ناچیز است.

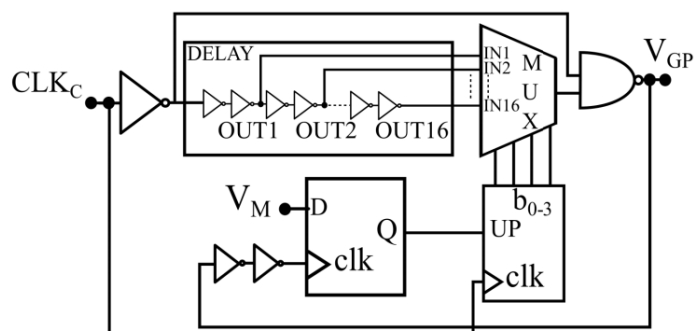
از آنجا که بررسی مستقیم و پیوسته V_{IN} سبب اتلاف انرژی اضافی می‌شود، تا زمانی که V_{OUT} و t_{LS} ثابت هستند، به عنوان یک جایگزین می‌توان از خروجی شمارنده‌ی موجود در مدار کلیدزنی جریان صفر برای دستیابی به ردیابی جامع V_{IN} استفاده کرد و به این ترتیب نیاز به مدار اضافی را حذف کرد (هر خروجی خاص از شمارنده بیانگر یک ولتاژ خاص در ورودی است).

در [۱۷] یک مبدل افزایشنده DC-DC برای برداشت انرژی حرارتی با ولتاژ فوق العاده پایین ارائه شده است. تمرکز این کار ارائه راه‌اندازی خودکار و بازده تبدیل بالا در ولتاژهای ورودی بسیار پایین است. معماری مبدل افزایشنده از دو کلید سمت پایین استفاده می‌کند تا به طور مستقل راه اندازی ولتاژ پایین و بازده تبدیل حالت پایدار را بهینه کند (شکل ۳-۲۶). مدار کلیدزنی جریان صفر با تشخیص دقیق ولتاژهای ورودی پایین، طراحی و اجرا شده است. کمترین مقدار ولتاژ ورودی ۷/۳ میلی‌ولت بوده و در ولتاژ ۱۰/۵ میلی‌ولت بازده به ۵۰ درصد خواهد رسید. بیشینه بازده نیز در ولتاژ ۱۴۰ میلی‌ولت برابر ۸۵

درصد خواهد بود.



شکل ۳-۲۶: معماری مبدل شامل مبدل افزایشدهی اصلی، راهانداز سرد و واحد کلیدزنی جریان صفر [۱۷].



شکل ۳-۲۷: مدار کنترل کلیدزنی جریان صفر [۱۷].

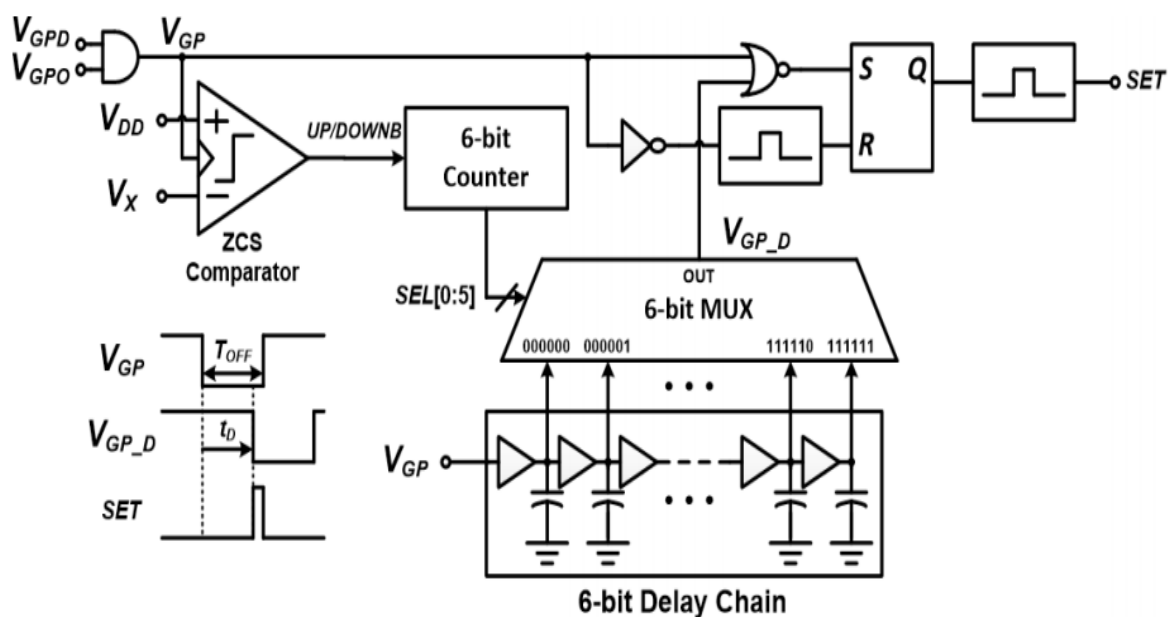
در این مقاله با تنظیم تطبیق امپدانس در هنگام طراحی، طبق رابطه‌ی زیر به استخراج توان بیشینه تا ۹۵ درصد مقدار ممکن دست یافته است.

$$Lf_{SW} = \frac{D^2 R_{TEG}}{2} \quad (۳-۴)$$

همان‌طور که از شکل ۳-۲۷ مشخص است در اینجا نیز از روش کلیدزنی جریان صفر ارائه شده در [۱۳] استفاده شده است.

۳-۳ مبدل افزایشده در حالت هدایت مرزی

در مقاله [۱۸] یک مبدل افزایشده برای مولد ترموالکتریک با مقاومت داخلی ۲/۲ اهم، در بازه‌ی ورودی ۴۰ تا ۲۰۰ میلی‌ولت با ولتاژ خروجی ثابت ۱/۱ ولت و بیشینه بازده ۷۵ درصد ارائه شده است. در این کار برخلاف کارهای قبل ([۱۷-۵]) به منظور دستیابی به بازده بیشینه بالا در طیف گسترده‌ای از توان‌های ورودی، حالت هدایت مرزی برای مبدل افزایشده اتخاذ شده است.



شکل ۳-۲۸: مدار کلیدزنی جریان صفر [۱۸].

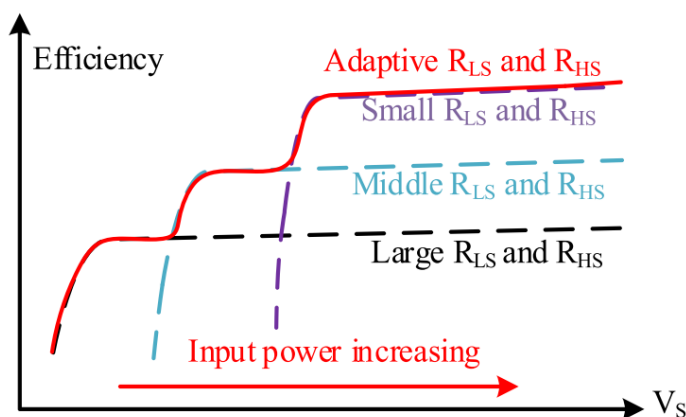
مطابق شکل ۳-۲۸، مانند [۱۷-۵] برای دست‌یابی به کلیدزنی جریان صفر از بررسی افت ولتاژ روی کلید سمت بالا توسط یک مقایسه‌گر بهره‌برده است. سپس توسط یک شمارنده، آرایه‌ای از تأخیرهای متوالی و یک مالتی‌پلکسر، عرض پالس کلید سمت بالای مدار را تنظیم می‌کند.

از آنجا که در اینجا مدار در حالت هدایت مرزی است و جریان متوسط سلف در این حالت برابر نیمی از جریان بیشینه‌ی آن است، برای ردیابی نقطه توان بیشینه نیز از جریان متوسط سلف استفاده شده است و این دلیل که در سایر حالت‌های کاری، جریان متوسط سلف متفاوت است، این مدار برای آن‌ها قابل استفاده نخواهد بود. همچنین برای تنظیم ولتاژ خروجی در ۱/۱ ولت نیز از مقایسه نصف ولتاژ خروجی با یک ولتاژ مرجع استفاده شده است.

در [۱۹] یک مبدل افزایش‌دهنده برای مولد ترموالکتریک ارائه شده است که می‌تواند در ولتاژ مدار باز ۸۰ میلی‌ولت و مقاومت داخلی منبع ۵ اهم، به بیشینه توان خروجی ۲۲۹ میکرووات و بازده ۷۱/۵ درصد دست پیدا کند. همچنین برای جلوگیری از نشت غیر ضروری جریان از خازن خروجی به گرهی L_{IN} موجود در حالت هدایت ناپیوسته در مدتی که جریان سلف در صفر باقی می‌ماند، مانند [۱۸] از حالت هدایت مرزی استفاده شده است تا بازده مبدل را بهبود بخشد.

۳-۳-۱ مقایسه‌ی تلفات در حالت‌های کاری مبدل افزایش‌دهنده

مقاله [۴] یک مبدل افزایش‌دهنده با بازده بالا برای برداشت انرژی حرارتی پیشنهاد داده است. این مبدل نیز مانند [۱۸ و ۱۹] حالت هدایت مرزی (بحرانی) را به جای حالت ناپیوسته برای کاهش اتلاف هدایتی و افزایش بازدهی بیشینه در ولتاژهای بالا اتخاذ کرده است. برای بیشینه کردن توان خروجی نیز یک مدار ردیابی نقطه‌ی بیشینه توان طراحی شده است تا مقاومت داخلی منبع را ردیابی کند. نتایج اندازه‌گیری شده نشان می‌دهد که بیشینه بازده مبدل می‌تواند به ترتیب در ولتاژ مدار باز ۱۸۰ و ۲۰ میلی‌ولت به ۹۰/۸ و ۶۰ درصد برسد. حداقل ولتاژ مدار باز قابل قبول نیز ۱۲ میلی‌ولت خواهد بود. برای کاهش حداقل ولتاژ ورودی از کنترل مقاومت روشن کلید سمت بالا و پایین استفاده شده است که بسته به مقدار ولتاژ ورودی به صورت خودکار مقاومت روشن کلید سمت بالا و پایین را تغییر می‌دهد.



شکل ۳-۲۹: بازده مبدل افزایش‌دهنده در مقابل تغییر ولتاژ ورودی با مقاومت-روشن متفاوت.

همان‌طور که در شکل ۳-۲۹ مشاهده می‌کنید، در ولتاژهای ورودی پایین هرچه مقاومت روشن کلیدهای HS و LS بیشتر باشد بازده مدار بیشتر خواهد بود و با افزایش ولتاژ ورودی مقدار کمتر این مقاومت کارآمدتر خواهد بود.

همچنین در این کار برای انتخاب بهترین حالت عملکردی مبدل افزایشده، مقایسه‌ای بین هر سه حالت هدایت پیوسته، ناپیوسته و مرزی انجام شده است. از آنجا که در حالت هدایت پیوسته همواره جریان بیشینه‌ی سلف بین $0.5I_{PEAK0}$ و I_{PEAK0} قرار دارد، در حالت هدایت ناپیوسته این جریان بزرگتر از I_{PEAK0} است و در حالت هدایت مرزی دقیقاً برابر I_{PEAK0} خواهد بود [۴]، اتلاف هدایتی نیز در هر حالت کاری متفاوت خواهد بود. در رابطه‌ی (۳-۵) و (۳-۶) به ترتیب اتلاف هدایتی برحسب بیشینه جریان سلف در حالت هدایت پیوسته ($P_{CON-CCM}$) و ناپیوسته ($P_{CON-DCM}$) بیان شده است [۴].

$$P_{COND-CCM} = \frac{R_{LOSS}}{3} (I_{P-CCM}^2 - I_{P-CCM} \times I_{PEAK0} + I_{PEAK0}^2) \quad (۳-۵)$$

$$P_{COND-DCM} = \frac{R_{LOSS}}{3} (I_{P-DCM} \times I_{PEAK0}) \quad (۳-۶)$$

که در اینجا I_{P-CCM} و I_{P-DCM} به ترتیب حداکثر جریان سلف در حالت هدایت پیوسته و ناپیوسته هستند و I_{PEAK0} نیز طبق رابطه‌ی (۳-۷) نسبت ولتاژ منبع به مقاومت سری معادل آن را بیان می‌کند.

$$I_{PEAK0} = \frac{V_S}{R_S} \quad (۳-۷)$$

حال با استفاده از رابطه‌ی (۳-۵) و (۳-۶) فرض می‌شود:

$$P_{COND-CCM} \leq P_{COND-DCM} \rightarrow \frac{R_{LOSS}}{3} (I_{P-CCM}^2 - I_{P-CCM} \times I_{P0} + I_{P0}^2) \leq \frac{R_{LOSS}}{3} (I_{P-DCM} \times I_{P0}) \quad (۳-۸)$$

سپس با جای‌گذاری حداقل مقدار I_{P-DCM} (I_{PEAK0}) و حداکثر مقدار I_{P-CCM} (I_{PEAK0}) در (۳-۸)، پس از

ساده‌سازی

$$(I_{P0}) \leq (I_{P0}) \quad (۳-۹)$$

خواهد بود و به این ترتیب درستی رابطه‌ی (۳-۸) اثبات می‌شود. پس همواره اتلاف هدایتی حالت هدایت پیوسته از ناپیوسته کمتر خواهد بود.

همچنین فرکانس کاری نیز به ترتیب در حالت کاری هدایت پیوسته (f_C) و ناپیوسته (f_D) بر حسب بیشینه جریان سلف بیان شده است [۴].

$$f_C \approx \frac{V_S}{2L(2I_{P-CCM} - \frac{V_S}{R_S})} \quad (۳-۱۰)$$

$$f_D \approx \frac{V_S^2}{2LR_S I_{P-DCM}^2} \quad (۳-۱۱)$$

بر اساس این روابط می‌توان ثابت کرد در یک ولتاژ ورودی یکسان، $f_D \leq f_C$ است.

$$f_C \geq f_D \rightarrow \frac{V_S}{2L(2I_{P-CCM} - \frac{V_S}{R_S})} \geq \frac{V_S^2}{2LR_S I_{P-DCM}^2} \quad (۳-۱۲)$$

از آنجا که حداقل مقدار I_{P-DCM} و حداکثر مقدار I_{P-CCM} برابر I_{PEAK0} است با جای‌گذاری این مقدار در رابطه‌ی (۱۲-۳) می‌توان نوشت:

$$\frac{V_S}{2L(2I_{PEAK0} - \frac{V_S}{R_S})} \geq \frac{V_S^2}{2LR_S I_{PEAK0}^2} \quad (۳-۱۳)$$

و در نهایت با جای‌گذاری رابطه‌ی (۳-۷) و ساده‌سازی رابطه‌ی (۳-۱۳)،

$$\frac{1}{I_{PEAK0}} \geq \frac{1}{I_{PEAK0}} \quad (۳-۱۴)$$

بدست خواهد آمد و درستی رابطه‌ی (۳-۱۲) تصدیق شده و مشخص می‌شود که همواره فرکانس کاری حالت هدایت پیوسته از حالت هدایت ناپیوسته بیشتر است.

حال طبق رابطه‌ی (۳-۱۵) و (۳-۱۶) مشخص است که اتلاف کلیدزنی در هر دو حالت کاری هدایت پیوسته (P_{SW-CCM}) و ناپیوسته (P_{SW-DCM})، با فرکانس کاری رابطه‌ی مستقیم دارد [۴].

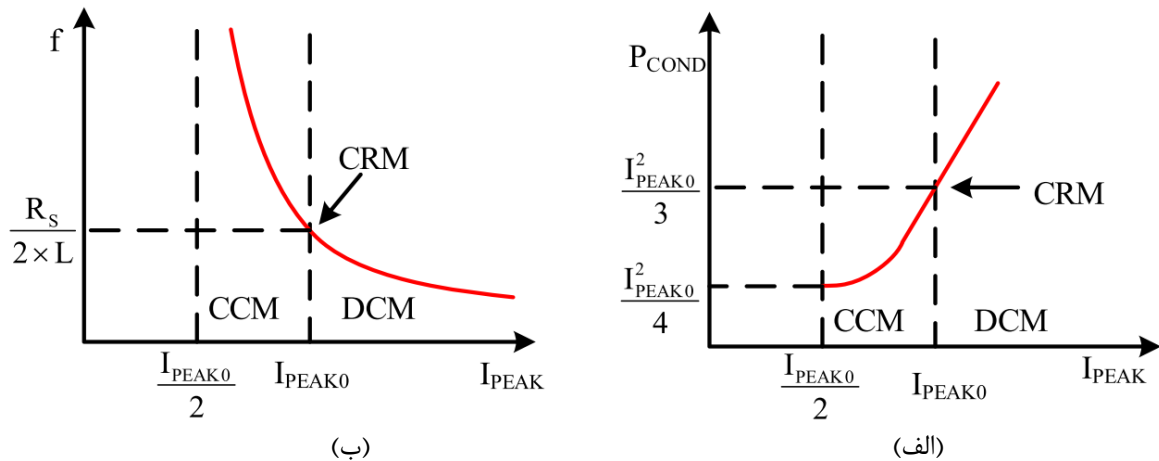
$$P_{SW-CCM} = f_C C_{LOSS} V_{OUT}^2 \quad (۱۵-۳)$$

$$P_{SW-DCM} = f_D C_{LOSS} V_{OUT}^2 \quad (۱۶-۳)$$

پس طبق این روابط و رابطه‌ی (۱۲-۳) در مبدل افزایشده با ولتاژ خروجی تنظیم شده، همواره اتلاف کلیدزنی حالت هدایت پیوسته از ناپیوسته بیشتر خواهد بود.

$$P_{SW-CCM} \geq P_{SW-DCM} \quad (۱۷-۳)$$

نتایج بدست آمده از مقایسه‌ی فرکانس کاری و تلفات، به خوبی در شکل ۳-۳۰ نیز نشان داده شده است.



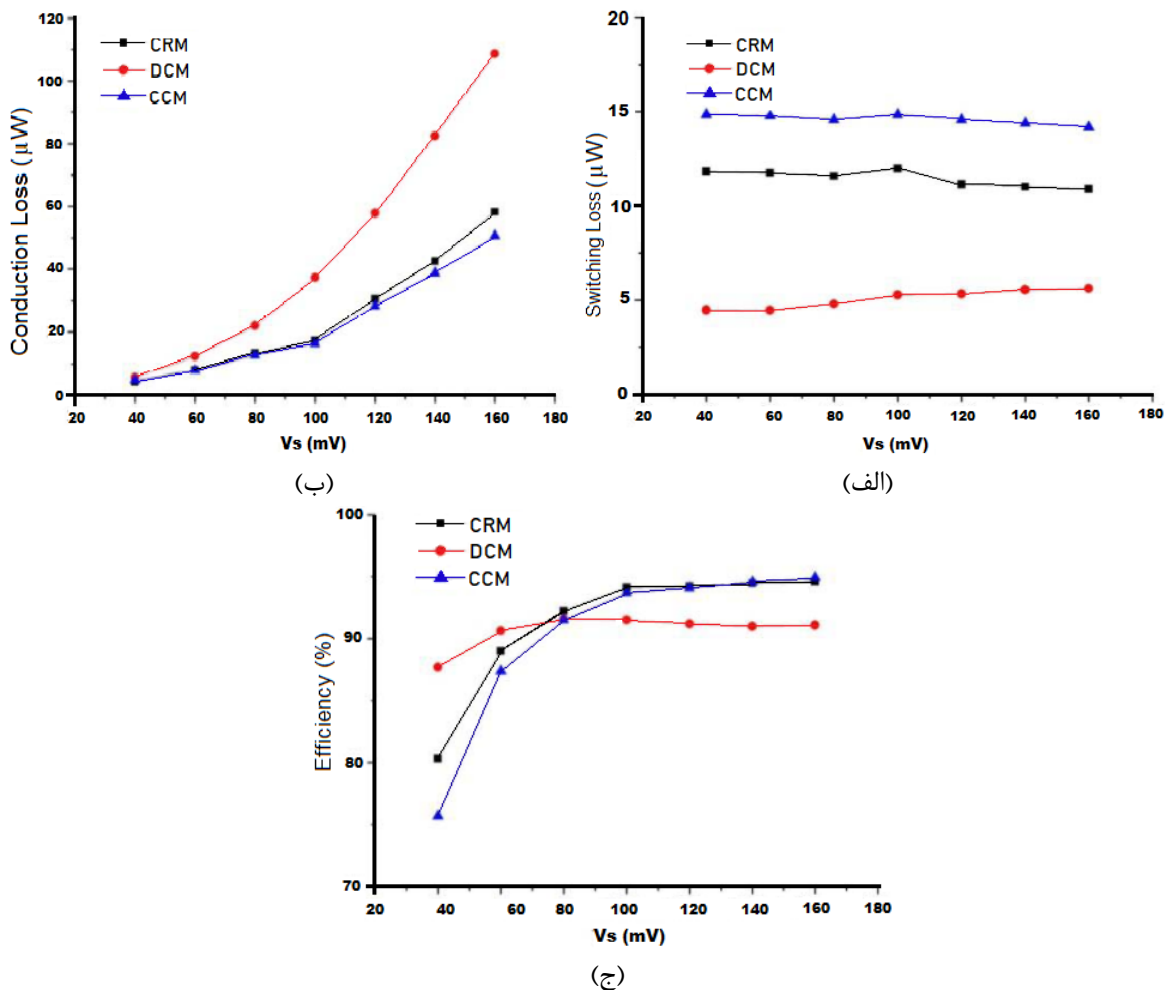
شکل ۳-۳۰: (الف) تغییر اتلاف هدایتی در برابر تغییر جریان بیشینه‌ی سلف، (ب) تغییر فرکانس کلیدزنی در برابر تغییر جریان بیشینه‌ی سلف [۴].

همان‌طور که در شکل ۳-۳۰(الف) مشخص است، اتلاف هدایتی در حالت هدایت ناپیوسته کمترین مقدار

و در حالت هدایت پیوسته بیشترین مقدار را دارا است. حالت هدایت مرزی نیز از نظر اتلاف هدایتی بین این دو حالت قرار دارد. در مقابل با توجه به شکل ۳-۳۰(ب)، فرکانس کاری حالت هدایت پیوسته بیشتر از حالت هدایت مرزی و ناپیوسته است.

در شکل ۳-۳۱ نیز اتلاف کلیدزنی، هدایتی و بازده مبدل افزایشده با مقاومت روشن کلید سمت پایین ۰/۱۸ اهم، مقاومت روشن کلید سمت بالای ۱/۲ اهم، بیشینه جریان $2I_{PEAK0}$ در حالت هدایت

پیوسته، $0.9 I_{PEAK0}$ در حالت هدایت ناپیوسته و I_{PEAK0} در حالت هدایت مرزی بر حسب ولتاژ ورودی نشان داده شده است.



شکل ۳-۳۱: (الف) اتلاف کلیدزنی، (ب) اتلاف هدایتی و (ج) بازده مبدل افزایشده در حالت‌های کاری مختلف مبدل افزایشده بر حسب ولتاژ ورودی. ($R_{HS} = 1/20 \Omega$, $R_{LS} = 0.18 \Omega$). DCM در $I_{PEAK} = 2 \times I_{PEAK0}$ ، $0.9 I_{PEAK0}$ در $I_{PEAK} = 0.9 \times I_{PEAK0}$ ، CCM در $I_{PEAK} = I_{PEAK0}$ [۴].

بنابر آنچه که بیان شد، همان‌طور که در شکل ۳-۳۱ (الف) نیز مشخص است، اتلاف کلیدزنی در حالت هدایت پیوسته بیشتر از دو حالت کاری دیگر است و در تمام این حالت‌ها نسبت به تغییر ولتاژ ورودی تقریباً ثابت خواهد بود. همچنین مطابق شکل ۳-۳۱ (ب)، مشخص است که اتلاف هدایتی با افزایش ولتاژ ورودی افزایش خواهد یافت و مقدار آن در حالت هدایت پیوسته همواره از دو حالت هدایت

مرزی و ناپیوسته کمتر است. همچنین مشخص است که اختلاف اتلاف هدایتی هر دو حالت کاری مختلف نسبت به یکدیگر با افزایش ولتاژ ورودی زیادتر خواهد شد. در نهایت همان طور که در شکل ۳-۳۱ (ج) واضح است، به ترتیب در ولتاژهای ورودی پایین، متوسط و بالا حالت هدایت ناپیوسته، مرزی و پیوسته بازده بیشتری خواهند داشت. در این کار برای افزایش بازدهی بیشینه و محدوده ولتاژ ورودی، حالت هدایت مرزی برگزیده شده است.

اما نکته‌ی دیگری که در این شکل نهفته است این است که در صورت تغییر حالت کاری مدار در ولتاژهای ورودی متفاوت امکان افزایش هرچه بیشتر بازده وجود خواهد داشت. پس این ایده شکل می‌گیرد که برای افزایش بازده، می‌توان حالت کاری مبدل افزایشنده را با توجه به مقدار ولتاژ ورودی بین سه حالت کاری مختلف تغییر داد. با این حال با دقت بیشتر در شکل ۳-۳۱ (ج) می‌توان متوجه شد، در ولتاژهای نزدیک ۸۰ تا ۱۲۰ میلی‌ولت که حالت هدایت مرزی بازده بالاتری دارد، اختلاف بازده آن با بازده حالت هدایت پیوسته چندان زیاد نیست و تغییر حالت کاری از حالت هدایت مرزی به حالت هدایت پیوسته با توجه به وجود توان مصرفی برای تغییر حالت چندان کارآمد نخواهد بود. پس برای مبدل پیشنهادی دو حالت کاری هدایت پیوسته و ناپیوسته برگزیده می‌شود و با محاسبه‌ی مقدار تئوری ولتاژ بهینه‌ای که در آن بازده حالت هدایت پیوسته از ناپیوسته پیشی می‌گیرد، یک مدار کنترل تغییر حالت به مبدل‌های افزایشنده مرسوم افزوده می‌شود.

با توجه به بررسی کارهای انجام شده در حالت هدایت ناپیوسته و این نکته که در این حالت اهمیت افزایش توان در ولتاژهای ورودی پایین مهم تر از افزایش بیشینه ولتاژ است، برای مدار کلیدزنی جریان صفر مبدل پیشنهادی در این کار از طرح ارائه شده در [۱۳] استفاده خواهد شد.

برای استخراج بیشینه توان نیز همان طور که در فصل قبل در قسمت مولد ترموالکتریک بیان شد، مانند [۱۷] با یک بار تنظیم مقاومت ورودی مبدل برای دستیابی به تطبیق امپدانس، یک بازده مطلوب بدست خواهد آمد.

فصل ۴ مدارپیشهادی

۴-۱ مقدمه

در فصل قبل مدارهای کنترلی موجود برای مبدل افزایشدهی برداشت انرژی حرارتی بررسی شد و بهترین‌ها برای استفاده در مدار پیشنهادی انتخاب شد. همچنین تلفات کلیدزنی و هدایتی حالت‌های کاری مختلف بررسی گشت و بر اساس آن مقایسه‌ای بین بازده مبدل افزایشدهی در حالت‌های کاری مختلف صورت گرفت و مشخص شد که می‌توان با تغییر حالت کاری مدار بین حالت هدایت پیوسته و ناپیوسته در یک ولتاژ مناسب، بازده مبدل را افزایش داد.

در این فصل پس از اثبات رابطه‌ی ولتاژ مرزی براساس عناصر مبدل افزایشدهی، یک مبدل افزایشدهی پایه طراحی شده و ولتاژ مرزی مناسب برای تغییر حالت مدار بر حسب مقادیر بدست آمده محاسبه خواهد شد و در ادامه علاوه بر تشریح مدار مبدل افزایشدهی پیشنهادی، یک مدار کنترل کم مصرف که بتواند در ولتاژ مرزی بدست آمده حالت کاری مناسب را انتخاب کند، طراحی شده و به این طریق موجب افزایش بازده مبدل پیشنهادی می‌گردد.

۴-۲ ولتاژ مرزی

برای بدست آوردن ولتاژ مرزی باید مقایسه‌ای بین بازده مبدل در حالت هدایت پیوسته و ناپیوسته و یا به عبارتی دیگر بین اتلاف هدایتی و کلیدزنی این حالت‌ها صورت گیرد. به این ترتیب در گام اول برای ساده‌سازی مقایسه‌ی روابط اتلاف هدایتی و کلیدزنی، متغیر α که نسبت بیشینه جریان سلف (I_P) به I_{PEAK0} را بیان می‌کند، چنین تعریف می‌شود:

$$\alpha = \frac{I_P}{I_{PEAK0}} = \begin{cases} \alpha_{CCM} = \frac{I_{P-CCM}}{I_{PEAK0}} \\ \alpha_{BCM} = \frac{I_{P-BCM}}{I_{PEAK0}} \\ \alpha_{DCM} = \frac{I_{P-DCM}}{I_{PEAK0}} \end{cases} \quad (1-4)$$

در اینجا α_{CCM} ، α_{DCM} و α_{BCM} به ترتیب نسبت I_P به I_{PEAK0} در حالت هدایت پیوسته، مرزی (BCM) و ناپیوسته را بیان می‌کنند. مقادیر مربوط به حالت هدایت مرزی به منظور درک بهتر شرایط موجود در مرز میان دو حالت کاری دیگر بیان شده است. حال با جای‌گذاری رابطه‌ی (۳-۷) در رابطه‌ی (۴-۱)، جریان سلف بر حسب α ، ولتاژ و مقاومت منبع بدست خواهد آمد.

$$I_P = \begin{cases} I_{P-CCM} = \alpha_{CCM} \frac{V_S}{R_S} \\ I_{P-DCM} = \alpha_{DCM} \frac{V_S}{R_S} \\ I_{P-BCM} = \alpha_{BCM} \frac{V_S}{R_S} \end{cases} \quad (۲-۴)$$

که با جای‌گذاری این رابطه در روابط (۳-۱۰) و (۳-۱۱)، دوره تناوب حالت هدایت پیوسته (T_{CCM}) و ناپیوسته (T_{DCM}) بر حسب α بدست می‌آیند.

$$T_{CCM} = \frac{2L}{V_S} (2I_{P-CCM} - I_{PEAK0}) = \frac{2L}{R_S} (2\alpha_{CCM} - 1) \quad (۳-۴)$$

$$T_{DCM} = \frac{2LR_S I_{P-DCM}^2}{V_S^2} = \frac{2L}{R_S} \alpha_{DCM}^2 \quad (۴-۴)$$

همچنین با جای‌گذاری رابطه‌ی (۴-۲) در رابطه‌ی (۲-۲۱) زمان روشن کلید سمت پایین در حالت هدایت ناپیوسته نیز بر حسب α_{DCM} مشخص خواهد شد.

$$t_{on-DCM} = \frac{2LI_{P-DCM}}{V_S} = \frac{2L}{R_S} \alpha_{DCM} \quad (۵-۴)$$

حال از آنجا که حالت هدایت ناپیوسته شامل یک زمان روشن (t_{on-DCM})، خاموش ($t_{off-DCM}$) و مرده ($t_{ded-DCM}$) است، می‌توان نوشت:

$$T_{DCM} = t_{on-DCM} + t_{off-DCM} + t_{ded-DCM} \quad (۶-۴)$$

به این ترتیب از آنجا که تمام این زمان‌ها در حالت هدایت ناپیوسته بزرگتر از صفر هستند، با جای‌گذاری

رابطه‌ی (۴-۴) و (۵-۴) می‌توان ثابت کرد همواره α_{DCM} بزرگتر از ۱ است.

$$T_{DCM} > t_{on-DCM} \rightarrow \frac{2L}{R_S} \alpha_{DCM}^2 > \frac{2L}{R_S} \alpha_{DCM} \rightarrow \alpha_{DCM} > 1 \quad (۷-۴)$$

طبق رابطه‌ی (۳-۴) نیز می‌توان نوشت:

$$T_{CCM} > 0 \rightarrow \frac{2L}{R_S} (2\alpha_{CCM} - 1) > 0 \rightarrow \alpha_{CCM} > \frac{1}{2} \quad (۸-۴)$$

که به این ترتیب مشخص می‌شود α_{CCM} بزرگتر از ۰/۵ است.

برای مشخص شدن وضعیت α_{BCM} نیز ابتدا با جای‌گذاری رابطه‌ی (۲-۴) در رابطه‌ی (۲-۲۱)، زمان

روشن کلید سمت پایین در حالت هدایت مرزی (t_{on-BCM}) بدست خواهد آمد.

$$t_{on-BCM} = \frac{2LI_{P-BCM}}{V_S} = \frac{2L}{R_S} \alpha_{BCM} \quad (۹-۴)$$

سپس از آنجا که در این حالت زمان مرده صفر بوده، دوره تناوب (T_{BCM}) به صورت

$$T_{BCM} = t_{on-BCM} - t_{off-BCM} = \frac{2L}{R_S} \alpha_{BCM}^2 \quad (۱۰-۴)$$

بیان می‌شود. حال از آنجا که در کارهای کم توان ولتاژ خروجی بسیار بزرگتر از ورودی است، زمان

روشن بودن کلید سمت پایین (t_{on-BCM}) نیز بسیار بزرگتر از زمان روشن بودن کلید سمت بالا ($t_{off-BCM}$)

است.

$$V_{OUT} \gg V_S \rightarrow t_{on-BCM} \gg t_{off-BCM} \quad (۱۱-۴)$$

به همین دلیل می‌توان دوره تناوب حالت هدایت مرزی را به صورت زیر تقریب زد و با جای‌گذاری (۴-۴)

(۹) ثابت کرد که همواره α_{BCM} برابر ۱ است.

$$t_{on-BCM} \cong T_{BCM} \rightarrow \alpha_{BCM}^2 = \alpha_{BCM} \rightarrow \alpha_{BCM} = 1 \quad (۱۲-۴)$$

در نهایت طبق روابط (۷-۴)، (۸-۴) و (۱۲-۴) وضعیت α در حالت‌های کاری مختلف به صورت

$$\alpha_{DCM} > 1, \alpha_{BCM} = 1, 0.5 < \alpha_{CCM} < 1 \quad (۱۳-۴)$$

خواهد بود.

حال که دید روشنی از α_{CCM} و α_{DCM} حاصل شد، اتلاف هدایتی و کلیدزنی را بر حسب آن باز نویسی می‌کنیم. با جای‌گذاری رابطه‌ی (۲-۴) و (۷-۳) در روابط (۵-۳) و (۶-۳) به ترتیب اتلاف هدایتی در حالت هدایت پیوسته و ناپیوسته بر حسب α بدست خواهد آمد.

$$P_{COND_{CCM}} = \frac{R_{LOOS}}{3} (\alpha_{CCM}^2 \frac{V_S^2}{R_S^2} - \alpha_{CCM} \times \frac{V_S^2}{R_S^2} + \frac{V_S^2}{R_S^2}) \quad (۱۴-۴)$$

$$P_{COND_{DCM}} = \frac{R_{LOOS}}{3} \times \alpha_{DCM} \frac{V_S^2}{R_S^2} \quad (۱۵-۴)$$

و به همین ترتیب برای روابط (۱۰-۳) و (۱۱-۳) که فرکانس کاری حالت هدایت پیوسته (f_C) و ناپیوسته (f_D) را بیان می‌کند خواهیم داشت:

$$f_C \approx \frac{V_S}{2LI_{PEAK0}(2\alpha_{CCM} - 1)} \quad (۱۶-۴)$$

$$f_D \approx \frac{V_S^2}{2LR_S\alpha_{DCM}^2 I_{PEAK0}^2} \quad (۱۷-۴)$$

حال با جای‌گذاری این دو رابطه در روابط (۱۵-۳) و (۱۶-۳) اتلاف کلیدزنی در حالت هدایت پیوسته و ناپیوسته بر حسب α بدست خواهد آمد.

$$P_{SW_{CCM}} = \frac{R_S C_{LOSS} V_{OUT}^2}{2L(2\alpha_{CCM} - 1)} \quad (۱۸-۴)$$

$$P_{SW_{DCM}} = \frac{R_S C_{LOSS} V_{OUT}^2}{2L\alpha_{DCM}^2} \quad (۱۹-۴)$$

در نهایت با یافتن ولتاژی که در آن اتلاف کل حالت هدایت پیوسته و ناپیوسته برابر می‌شود، ولتاژ مرزی مبدل افزایشده بدست خواهد آمد.

$$P_{LOSS_{CCM}} = P_{LOSS_{DCM}} \rightarrow$$

$$P_{COND-CCM} + P_{SW-CCM} + P_{CONTROL-CCM} = P_{COND-DCM} + P_{SW-DCM} + P_{CONTROL-DCM} \rightarrow$$

$$(P_{SW-CCM} - P_{SW-DCM}) + (P_{CONTROL-CCM} - P_{CONTROL-DCM}) = P_{COND-DCM} - P_{COND-CCM} \rightarrow$$

$$\Delta P_{SW} + \Delta P_{CONTROL} = \Delta P_{COND} \quad (20-4)$$

در اینجا ΔP_{SW} ، ΔP_{COND} و $\Delta P_{CONTROL}$ به ترتیب اختلاف اتلاف کلیدزنی، اتلاف هدایتی و توان مدار کنترل حالت هدایت پیوسته و ناپیوسته هستند.

بر اساس روابط (۴-۱۴) و (۴-۱۵) می‌توان اختلاف اتلاف هدایتی در این دو حالت را مشخص کرد.

$$P_{COND-DCM} - P_{COND-CCM} = \frac{V_S^2}{R_S^2} \frac{R_{LOSS}}{3} \times (\alpha_{DCM} - \alpha_{CCM}^2 + \alpha_{CCM} - 1) \quad (21-4)$$

حال با جای گذاری (۲۱-۴) در (۲۰-۴) خواهیم داشت:

$$V_S^2 = \frac{3(\Delta P_{SW} + \Delta P_{CONTROL}) R_S^2}{R_{LOSS} (\alpha_{DCM} - \alpha_{CCM}^2 + \alpha_{CCM} - 1)} \quad (22-4)$$

و در نهایت ولتاژی که در آن تلفات یا به عبارتی دیگر بازده مبدل حالت هدایت پیوسته و ناپیوسته برابر می‌شود بدست می‌آید که در این کار ولتاژ مرزی نام گرفته شده است و با نماد V_{bound} مشخص می‌گردد.

$$V_{bound} = V_S = R_S \sqrt{\frac{3(\Delta P_{SW} + \Delta P_{CONTROL})}{(\alpha_{DCM} - \alpha_{CCM}^2 + \alpha_{CCM} - 1) R_{LOSS}}} \quad (23-4)$$

همان‌طور که مشخص است، هر چه توان مدار کنترل و اتلاف کلیدزنی حالت هدایت پیوسته از ناپیوسته بیشتر باشد، ΔP_{SW} و $\Delta P_{CONTROL}$ بیشتر خواهند بود و به این ترتیب ولتاژ مرزی نیز افزایش می‌یابد. همچنین با کاهش ابعاد کلید سمت بالا و پایین، مقاومت روشن آن‌ها افزایش و خازن پارازیتی آن‌ها کاهش می‌یابد که علاوه بر افزایش R_{LOSS} ، از آنجا که فرکانس کاری حالت هدایت پیوسته بیشتر از حالت هدایت ناپیوسته است و به همین جهت اثر افزایش خازن در P_{SW-CCM} بیشتر از P_{SW-DCM} است، ΔP_{SW} نیز افزایش خواهد یافت و اثر افزایش R_{LOSS} را کاهش خواهد داد.

در ادامه بر اساس روابطی که تاکنون بیان شد به طراحی عناصر موجود در مبدل افزاینده‌ی پیشنهادی پرداخته می‌شود.

۳-۴ طراحی مبدل افزایشده

برای طراحی یک مبدل افزایشدهی پایه در گام اول باید مقدار سلف را انتخاب کنیم تا بر اساس آن بتوانیم فرکانس و عرض پالس کاری کلیدهای سمت بالا و پایین در هر دو حالت کاری را مشخص کنیم. اگر مقدار سلف را بزرگ در نظر بگیریم، بر اساس رابطه‌ی (۲-۷) حداکثر جریان سلف کاهش می‌یابد و به دنبال آن طبق رابطه‌ی (۳-۵) و (۳-۶) اتلاف هدایتی نیز در هر دو حالت هدایت پیوسته و ناپیوسته کاهش می‌یابد. اما با این حال در این روابط مقاومت R_{LOSS} نیز وجود دارد که شامل مقاومت سری سلف است، حال از آنجا که با افزایش مقدار سلف، مقاومت سری آن نیز افزایش می‌یابد این مقاومت باعث افزایش اتلاف هدایتی در هر دو حالت کاری می‌شود. بنابراین با افزایش سلف از یک مقدار بسیار کم، ابتدا اثر کاهش جریان بیشتر بوده و اتلاف هدایتی کاهش می‌یابد، سپس با بزرگتر شدن مقاومت سری، اثر این مقاومت افزایش یافته و اتلاف هدایتی شروع به افزایش می‌کند. از طرفی دیگر همان‌طور که در روابط (۳-۵) و (۳-۶) مشخص است، اثر جریان بیشینه‌ی سلف در اتلاف کلیدزنی حالت هدایت ناپیوسته بیشتر از اثر آن در اتلاف کلیدزنی حالت هدایت پیوسته است به همین دلیل سلف بهینه‌ای که در آن اتلاف هدایتی حالت هدایت پیوسته حداقل است کوچکتر از سلف بهینه‌ای است که به ازای آن اتلاف هدایتی حالت هدایت ناپیوسته حداقل خواهد شد. بنابراین با توجه به مقادیر بدست آمده از شبیه‌سازی، یک مقدار میانه (۳۳ میکروهنری) بین سلف بهینه‌ی حالت هدایت پیوسته و ناپیوسته انتخاب می‌شود تا برای هر دو حالت کاری مناسب باشد. مقاومت داخلی سری منبع ولتاژ نیز مانند [۴] برابر ۵ اهم در نظر گرفته شده است. ولتاژ خروجی مبدل افزایشده نیز در $1/8$ ولت تنظیم می‌شود.

برای کاهش اتلاف هدایتی باید مقاومت پارازیتی مدار را تا حد امکان کم کرد. پس طبق (۳-۱۸) باید مقاومت روشن (R_{ON}) کلیدهای سمت بالا و پایین را کاهش داد. اما از آنجا که $V_{IN} \ll V_{OUT}$ است، اثر مقاومت حالت روشن کلید NMOS بسیار بیشتر خواهد بود. پس برای افزایش بازده مبدل باید تا

حد امکان مقدار این مقاومت را کاهش داد. برای تعیین ابعاد سمت بالا و پایین طبق رابطه‌ی زیر، از آنجا که ولتاژ گیت-سورس کلیدها محدود است تنها با افزایش ابعاد آن‌ها می‌توان به این هدف دست‌یافت.

$$R_{ON} = \frac{1}{\mu C_{OX} \frac{W}{L} (V_{gs} - V_{th})} \quad (۴-۲۴)$$

از طرفی دیگر با افزایش ابعاد ترانزیستور، مقدار خازن‌های پارازیتی کلیدها نیز افزایش می‌یابد و به بافرهای بزرگتری برای راه‌اندازی این کلیدها نیاز خواهد بود که به ترتیب موجب افزایش اتلاف کلیدزنی و توان مصرفی مدار راه‌انداز گیت خواهد شد. پس باید یک مقدار میانه برای ابعاد کلیدها در نظر گرفت. در اینجا باتوجه به این نکته و نتایج شبیه‌سازی ابعاد این کلیدها به صورت زیر انتخاب می‌شود.

$$\begin{cases} W_N = 105\mu m, m=100, L_N = 0.18\mu m \\ W_P = 600\mu m, m=3, L_P = 0.18\mu m \end{cases} \quad (۴-۲۵)$$

که خازن گیت و مقاومت روشن حاصل از آن‌ها به صورت

$$\begin{cases} C_N = 18pf \\ C_P = 1.88pf \end{cases} \quad (۴-۲۶)$$

$$\begin{cases} R_N = 50.465m\Omega \\ R_P = 1.25924\Omega \end{cases} \quad (۴-۲۷)$$

است.

حال که مقادیر عناصر مبدل افزایش‌دهنده پایه به دست آمد، در بخش بعد به طراحی پالس کنترلی در هر حالت کاری خواهیم پرداخت.

۴-۳-۱ طراحی در حالت هدایت پیوسته

در این حالت α_{CCM} برابر ۷۶٪ انتخاب شده است تا به طور هم‌زمان بتواند یک راندمان مناسب در بازه‌ی ولتاژهای متوسط و زیاد (۱۰۰ تا ۳۰۰ میلی‌ولت) ارائه دهد. حال می‌توان جریان بیشینه‌ی سلف و فرکانس کاری را بر حسب α_{CCM} محاسبه کرد. در اینجا با فرض $V_s = 300mV$ داریم:

$$I_{P0} = \frac{V_S}{R_S} = \frac{300}{5} = 60mA \quad (28-4)$$

$$I_{P-CCM} = \alpha_{CCM} I_{P0} = 60 \times 0.76 = 45.6mA \quad (29-4)$$

$$f_c \approx \frac{V_S}{2L(2I_{P-CCM} - I_{P0})} = \frac{300}{2 \times 33 \times (2 \times 45.6 - 60)} = 145.687KHz \quad (30-4)$$

$$T_{CCM} = \frac{1}{f_c} = 6.864\mu s \quad (31-4)$$

حال با مشخص شدن دوره تناوب (T_{CCM})، طبق رابطه‌ی (۲-۱۲)

$$D_{CCM} = \frac{V_{OUT} - V_{IN}}{V_{OUT}} = \frac{1.8 - 0.15}{1.8} = 0.917 \quad (32-4)$$

چرخه‌ی کار مدار (D_{CCM}) در حالت هدایت پیوسته نیز بدست می‌آید که می‌توان توسط آن زمان روشن

کلید سمت پایین (t_{on-CCM}) و بالای ($t_{off-CCM}$) این حالت کاری را به دست آورد.

$$t_{on-CCM} = D_{CCM} T_{CCM} = 0.917 \times 6.86 = 6.29\mu s \quad (33-4)$$

$$t_{off} = T - t_{on} = 6.86 - 6.29 = 570ns \quad (34-4)$$

۴-۳-۲ طراحی در حالت هدایت ناپیوسته

در این حالت کاری α_{DCM} برابر $1/6$ انتخاب شده است تا بیشینه بازده در ولتاژ ورودی ۲۰ میلی‌ولت

به ۶۰ درصد رسیده و برای ولتاژهای بالاتر از آن نیز مناسب باشد.

بر این اساس جریان بیشینه‌ی سلف و فرکانس کاری نیز با فرض $V_S = 20mV$ برابر خواهد بود با:

$$I_{PEAK0} = \frac{V_S}{R_S} = \frac{20}{5} = 4mA \quad (35-4)$$

$$I_{P-DCM} = \alpha_{DCM} I_{PEAK0} = 4 \times 1.6 = 6.4mA \quad (36-4)$$

$$f_D = \frac{V_S^2}{2LR_S I_{P-DCM}^2} = \frac{20^2}{2 \times 33 \times 5 \times 6.4^2} = 29.5 \text{ KHz} \quad (37-4)$$

$$T_{DCM} = \frac{1}{f_D} = 33.9 \mu s \quad (38-4)$$

همچنین زمان روشن، خاموش و مرده‌ی پالس کنترلی آن نیز به صورت زیر بدست می‌آید:

$$t_{on-DCM} = \frac{2L}{V_S} I_{P-DCM} = \frac{66}{20} (6.4) = 21.12 \mu s \quad (39-4)$$

$$t_{off-DCM} = \frac{L}{V_O - 0.5V_S} I_{P-DCM} = \frac{33}{1800 - 10} (6.4) = 118 \text{ ns} \quad (40-4)$$

$$t_{ded-DCM} = T - (t_{on-DCM} + t_{off-DCM}) = 33.9 - (21.12 + 0.118) = 12.66 \mu s \quad (41-4)$$

و در نهایت تاخیر مورد نیاز در مدار کلیدزنی جریان صفر آن نیز طبق رابطه‌ی (۳-۳) بدست خواهد آمد.

$$\Delta t_M = 1.05 \sqrt{33 \mu \times 28 p} = 31.9 \text{ ns} \quad (42-4)$$

۳-۳-۴ ولتاژ مرزی (V_{bound})

در اصلی ترین بخش برای طراحی مدار کنترل تغییر حالت پیشنهادی پس از محاسبه‌ی تلفات، ولتاژ مرزی مشخص می‌گردد.

با توجه به ابعاد کلیدها و مقاومت سری معادل سلف در نظر گرفته شده داریم:

$$R_L = 60 \text{ m}\Omega, R_N = 50.46 \text{ m}\Omega, R_P = 1.126 \Omega \quad (43-4)$$

که به این ترتیب طبق رابطه‌ی (۱۸-۳) داریم:

$$R_{LOSS} = 0.16 \Omega, V_S = 300 \text{ mV} \quad (44-4)$$

و از آنجا که C_{SW} برابر ۲ پیکوفاراد است، خواهیم داشت:

$$C_{LOSS-DCM} = 26 + \frac{1}{2} 2 = 27 \text{ pf} \quad (45-4)$$

$$C_{LOSS-CCM} = 37 + \frac{1}{2}2 = 38 pf \quad (4-46)$$

پس به این ترتیب اتلاف کلیدزنی در هر دو حالت کاری بدست خواهد آمد.

$$P_{SW-CCM} = \frac{R_S C_{LOSS} V_{OUT}^2}{2L(2\alpha_{CCM} - 1)} C_{LOSS} = \frac{5 \times 1.8^2}{2 \times 33 \times (2 \times 0.76 - 1)} \times 38 = 18 \mu W \quad (4-47)$$

$$P_{SW-DCM} = \frac{R_S V_{OUT}^2}{2L\alpha_{DCM}^2} C_{LOSS} = \frac{5 \times 1.8^2}{2 \times 33 \times 1.6^2} \times 27 = 2.6 \mu W \quad (4-48)$$

همچنین از آنجا که خازن مؤثر مدار کنترل حالت هدایت پیوسته $(C_{C,eff-CCM})$ و ناپیوسته $(C_{C,eff-DCM})$

به ترتیب برابر ۸۰ و ۴۹ پیکوفاراد است، طبق رابطه‌ی (۱۵-۲) توان مدار کنترل برای حالت هدایت

پیوسته

$$P_{CONTROL-CCM} = V_{OUT}^2 f_C C_{C,eff-CCM} = 1.8^2 \times 145.68 \times 80 = 37.76 \mu W \quad (4-47)$$

و ناپیوسته

$$P_{CONTROL-DCM} = V_{OUT}^2 f_D C_{C,eff-DCM} = 1.8^2 \times 29.5 \times 49 = 4.68 \mu W \quad (4-48)$$

بدست می‌آید [۴۰]، که بر این اساس ولتاژ مرزی نیز قابل محاسبه خواهد بود و برای طراحی مدار تغییر

حالت کاری استفاده خواهد شد.

$$V_{bound} = 5 \times \sqrt{\frac{3((18-2.6) + (37.76-4.68))}{0.16 \times (1.6-0.76^2 + 0.76-1)}} = 170.4 \text{ mV} \quad (4-49)$$

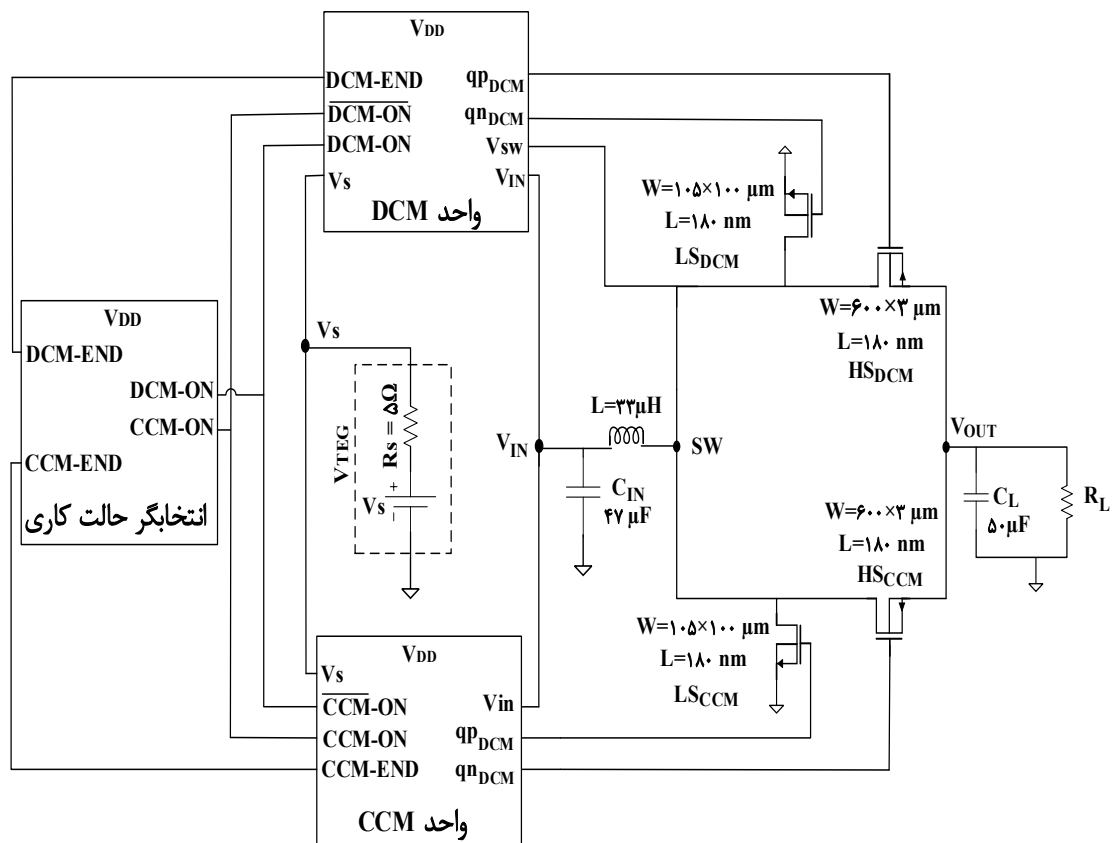
۴-۴ طراحی مدار کنترل

در این بخش که به طراحی مدار کنترل پرداخته شده است، ابتدا نمای کلی مبدل افزایشدهی

پیشنهادی ارائه شده و عملکرد کلی هر بخش شرح داده می‌شود. سپس هر بخش به طور مجزا تحلیل

و تشریح خواهد شد.

در شکل ۴-۱ نمای کلی مبدل افزایشدهی پیشنهادی نشان داده شده است. همان طور که پیداست، بخش کنترل این مبدل از سه واحد اصلی به نامهای انتخابگر حالت کاری، واحد CCM و واحد DCM تشکیل شده است که در ادامه به شرح کامل عملکرد آنها می پردازیم.



شکل ۴-۱: نمای کلی مبدل افزایشدهی پیشنهادی، متشکل از یک بخش اصلی (سلف، خازن خروجی و ورودی و کلیدهای سمت بالا و پایین و سه واحد کنترلی به نامهای انتخابگر حالت کاری، واحد CCM و واحد DCM).

۴-۱-۴ اصل کارکرد مدار

در هنگام شروع به کار مبدل، خازن خروجی (C_L) تا $1/8$ ولت شارژ می شود. همچنین به دلیل پایین بودن توان ورودی در ولتاژهای کوچک، توان مصرفی مدار کنترل در این ولتاژها تأثیر بیشتری بر بازده مبدل خواهد داشت. پس در هنگام شروع به کار بهتر است مدار در حالت هدایت ناپیوسته عمل کند تا در صورت پایین بودن ولتاژ ورودی در همان لحظه اول افت شدیدی در ولتاژ خروجی ایجاد نشود. کلیدهای HS_{DCM} و LS_{DCM} به همراه سلف (L) و خازن ورودی (C_{IN}) مبدل افزایشدهی در حالت هدایت

ناپیوسته را تشکیل می‌دهند. برای عملکرد مدار در حالت هدایت ناپیوسته در ابتدای کار واحد DCM روشن خواهد بود تا بتواند با توجه به مقدار ولتاژ منبع (V_s) پالس کنترلی مناسب برای کلیدهای HS_{DCM} و LS_{DCM} را تولید کند. در این زمان بخش اصلی واحد CCM که برای کنترل مدار در حالت هدایت پیوسته طراحی شده است، خاموش می‌ماند تا توان اضافی بیشتری تلف نشود. لازم به ذکر است که پالس‌های qp_{CCM} و qn_{CCM} نیز به ترتیب در مقدار $1/8$ و صفر ولت تنظیم می‌شوند تا دو کلید HS_{CCM} و LS_{CCM} که به همراه سلف و خازن ورودی، مبدل افزایشنده در حالت هدایت پیوسته را تشکیل می‌دهند، خاموش نگه دارند.

حال اگر ولتاژ ورودی از 175 میلی‌ولت کمتر باشد مدار به کار خود در حالت هدایت ناپیوسته ادامه می‌دهد. اما در صورت رسیدن ولتاژ ورودی به این مقدار یا مقادیر بیشتر از آن، پالس خروجی واحد DCM (DCM-END) تغییر کرده و به این ترتیب دو خروجی واحد انتخاب‌گر حالت کاری (-DCM ON و CCM-ON) نیز تغییر می‌یابند. این خروجی‌ها نیز موجب خاموش شدن بخش زیادی از واحد DCM و روشن شدن واحد CCM می‌گردند. مشابه با حالت قبل در این حالت به ترتیب پالس‌های qp_{DCM} و qn_{DCM} در $1/8$ و صفر ولت تنظیم شده و دو کلید HS_{DCM} و LS_{DCM} خاموش می‌شوند تا مدار بتواند به درستی در حالت هدایت پیوسته عمل کند.

پس از تغییر حالت عملکردی مدار از حالت هدایت ناپیوسته به پیوسته، واحد CCM کنترل مبدل را برعهده گرفته و متناسب با ولتاژ منبع پالس‌های کنترلی مورد نیاز برای کلیدهای HS_{CCM} و LS_{CCM} را تولید می‌کند. در این حالت نیز در صورت کاهش ولتاژ به زیر 165 میلی‌ولت پالس کنترلی (-CCM END) در این واحد تغییر کرده و توسط واحد انتخاب‌گر حالت کاری مجدداً حالت عملکردی مبدل افزایشنده به حالت هدایت ناپیوسته تغییر می‌یابد.

لازم به ذکر است که این مبدل افزایشنده در بازه‌ی ولتاژ ورودی 170 ± 5 میلی‌ولت (165 تا 175 میلی‌ولت) می‌تواند در هر دو حالت کاری عمل کند تا از ناپایداری مدار در ولتاژ مرزی جلوگیری شود.

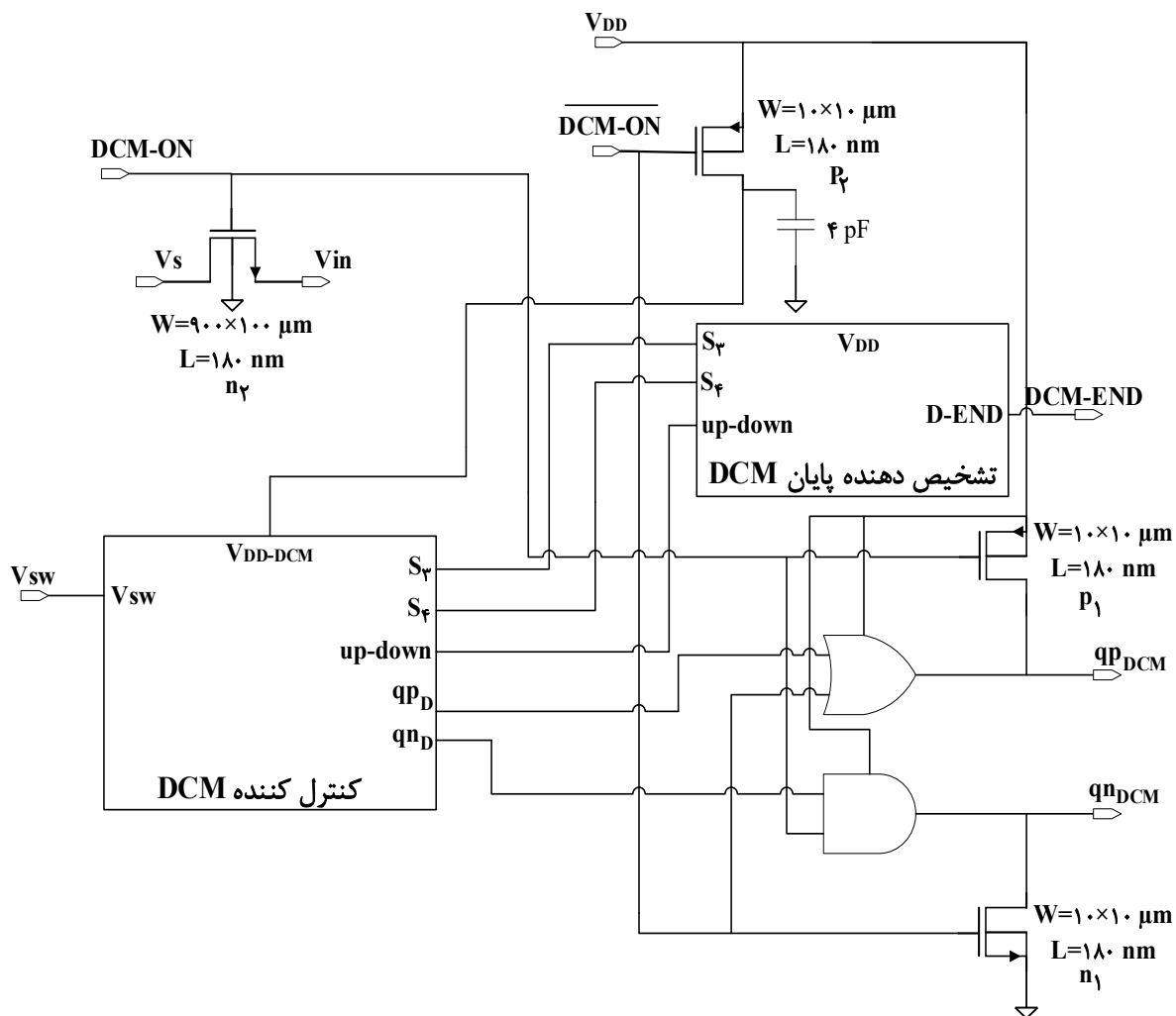
از آنجا که فرکانس کاری حالت هدایت پیوسته و ناپیوسته متفاوت است، زمان صعود و فرود مناسب پالس کنترلی گیت‌های کلیدهای سمت پایین و بالای آن‌ها نیز متفاوت خواهد بود. در حالت هدایت پیوسته که دوره تناوب کوچک است به زمان صعود و فرود کوچکی نیاز است تا تأثیر چندانی در عرض پالس نداشته باشد و مقاومت ورودی مدار را تغییر ندهد. در مقابل در حالت هدایت ناپیوسته که دوره تناوب بزرگ است با یک زمان صعود و فرود بزرگتر نیز مدار به درستی کار خواهد کرد. از این رو برای مدار راه‌انداز حالت هدایت پیوسته به بافرهای بزرگتری نیاز خواهد بود.

یک راهکار برای راه‌اندازی گیت این کلیدها استفاده از یک مدار راه‌انداز بزرگ مشترک در هر دو حالت کاری خواهد بود. اما از آنجا که توان مصرفی در ولتاژهای ورودی پایین بسیار مهم است و در این ولتاژها مدار در حالت هدایت پیوسته قرار دارد، استفاده از یک راه‌انداز با توان مصرفی بیشتر باعث کاهش بازده بیشینه در توان ورودی پایین می‌شود که نامعقول خواهد بود. بنابراین در اینجا همان‌طور که ذکر شد از دو زوج کلید (HS_{DCM} و LS_{DCM} برای حالت هدایت ناپیوسته و HS_{SCCM} و LS_{SCCM} برای حالت هدایت پیوسته) استفاده شده‌است تا بتوان برای هر حالت کاری از یک راه‌انداز مجزا استفاده کرد و توان مصرفی را در ولتاژهای پایین کاهش داد.

۴-۲-۴ واحد DCM

واحد DCM که خود از دو واحد کنترل‌کننده DCM و تشخیص دهنده‌ی پایان DCM تشکیل شده است در شکل ۴-۲ نشان داده شده است. واحد کنترل‌کننده DCM پالس کنترلی مناسب برای گیت کلیدهای HS_{DCM} و LS_{DCM} را تولید می‌کند (qp_D و qn_D) و همچنین با توجه به وضعیت ولتاژ گرهی SW، عرض پالس qp_D را تنظیم می‌کند. واحد تشخیص دهنده‌ی پایان DCM نیز توسط خروجی خود (DCM-END) و براساس وضعیت سه پالس کنترلی خروجی واحد کنترل‌کننده DCM (S_3 ، S_4 و $up-$ down) دستور ادامه‌ی کار در حالت هدایت ناپیوسته و یا اتمام این حالت کاری را صادر می‌کند.

کلید P_2 نیز برای خاموش کردن مدار کنترل در لحظه‌ی پایان حالت کاری هدایت ناپیوسته استفاده شده است تا از مصرف توان اضافی جلوگیری کند و کلید n_2 در هنگام قرارگیری مبدل در حالت هدایت ناپیوسته، ولتاژ منبع را به ورودی مبدل افزایش می‌دهد که هر دوی این کلیدها توسط خروجی واحد انتخاب‌گر حالت کاری کنترل می‌شوند.



شکل ۴-۲: نمای کلی واحد DCM.

گیت AND و OR نیز به ترتیب برای خاموش کردن کلید HS_{DCM} و LS_{DCM} در هنگام پایان حالت کاری هدایت ناپیوسته طراحی شده‌اند و کلیدهای P_1 و n_1 برای کاهش نوسان ولتاژ qp_{DCM} و qn_{DCM} در این هنگام به کار گرفته شده‌اند.

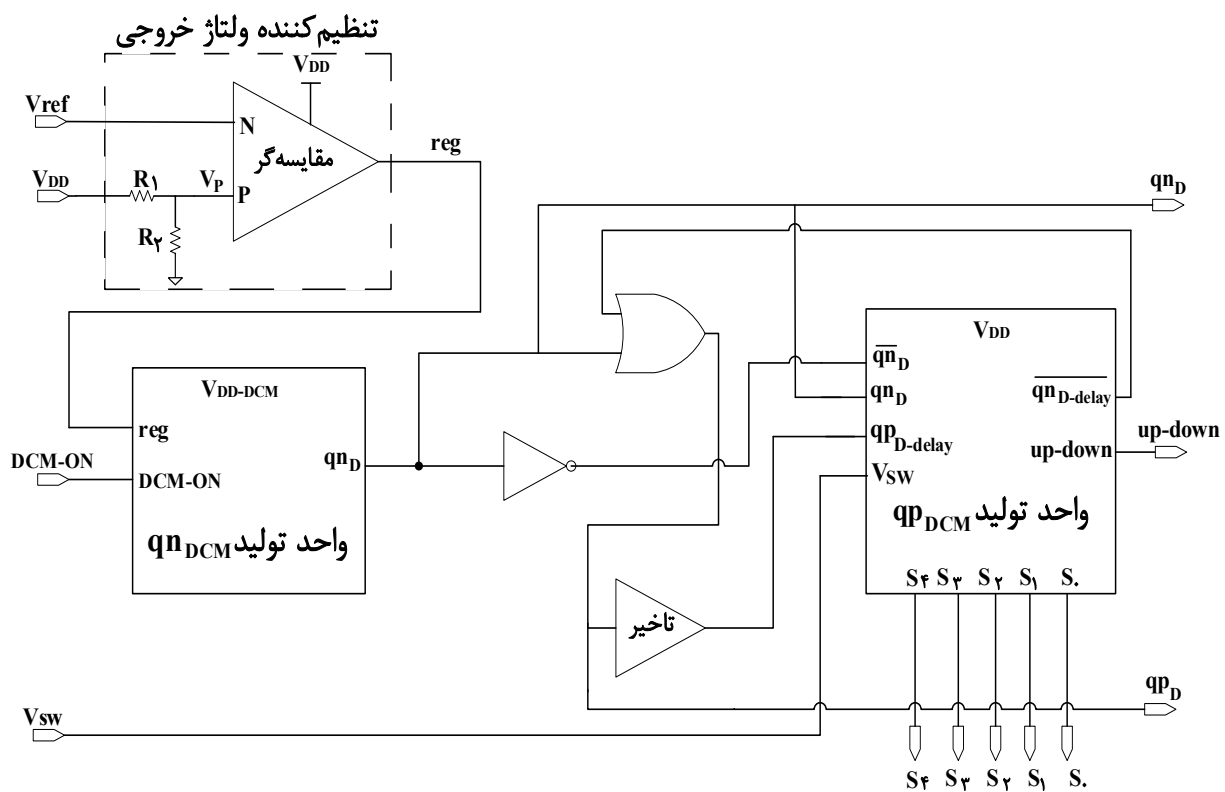
در ادامه ابتدا مدار داخلی واحد کنترل کننده DCM تشریح شده و پس از آن واحد تشخیص دهنده‌ی

پایان DCM بررسی می‌گردد.

۴-۲-۱ کنترل کننده DCM

مطابق شکل ۴-۳ این واحد از سه زیر واحد تولید qn_{DCM} ، تولید qp_{DCM} و تنظیم کننده ولتاژ خروجی

تشکیل شده‌است.



شکل ۴-۳: نمای کلی واحد کنترل کننده DCM.

تنظیم کننده ولتاژ خروجی، ولتاژ تقسیم شده‌ی خروجی (V_P) را با ولتاژ مرجع (V_{ref}) مقایسه می‌کند

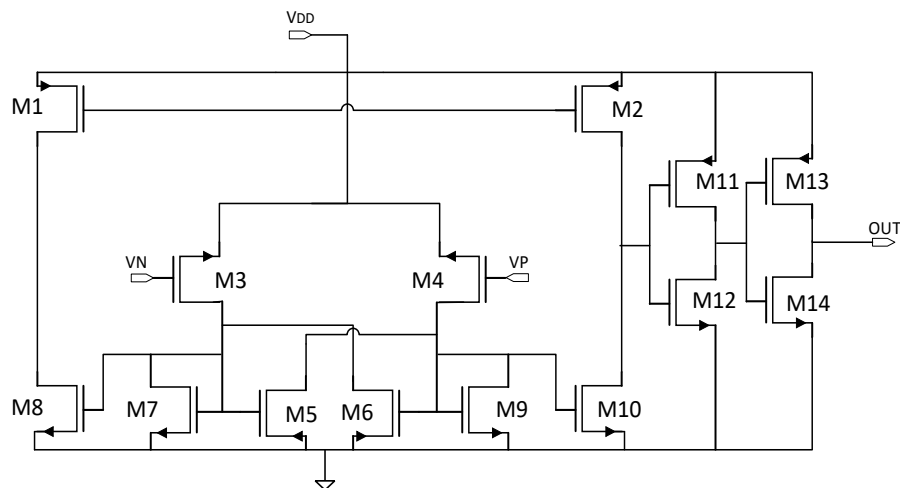
و اگر ولتاژ خروجی از $1/81$ ولت بیشتر باشد با یک شدن سطح منطقی reg دستور خاموش شدن کلید

LS_{DCM} و HS_{DCM} را صادر می‌کند و به این ترتیب تا هنگامی که ولتاژ خروجی به زیر $1/81$ ولت بر گردد،

مانع افزایش ولتاژ خروجی می‌شود. همچنین لازم به ذکر است که توان مصرفی مقایسه گر استفاده

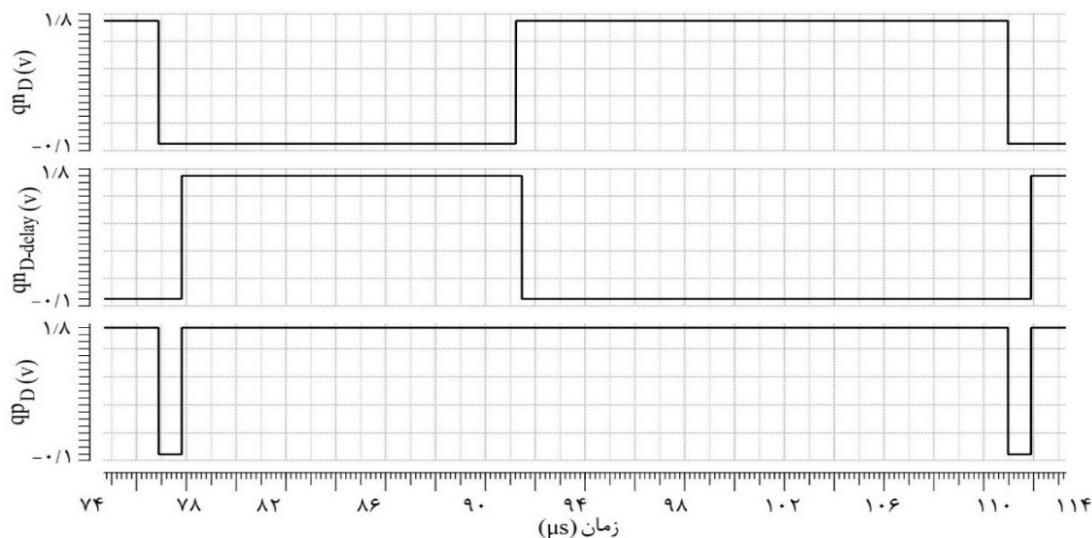
شده در این تنظیم کننده ولتاژ ([۴۳]) که در شکل ۴-۴ نشان داده شده است بسیار کم است (در حد

چندصد نانو وات) و به همین دلیل نیز حتی در ولتاژهای ورودی کم، توان مصرفی آن چالش برانگیز نخواهد بود.



شکل ۴-۴: مدار داخلی مقایسه‌گر استفاده شده برای تنظیم ولتاژ خروجی با توان مصرفی بسیار پایین [۴۳].

حال واحد تولید q_{nDCM} که وظیفه‌ی تولید پالس q_{nD} را بر عهده دارد با توجه به وضعیت خروجی تنظیم‌کننده ولتاژ (reg) و DCM-ON در صورت لزوم کلیدهای LS_{DCM} و HS_{DCM} را خاموش می‌کند. در نهایت واحد تولید q_{pDCM} نیز که در واقع یک ردیاب جریان صفر است با استفاده از $\overline{q_{nD}}$ و بررسی ولتاژ V_{SW} یک پالس تأخیر یافته متناسب با مقدار ولتاژ ورودی ($\overline{q_{nD-delay}}$) را تولید می‌کند و به کمک این پالس، q_{nD} و یک گیت OR عرض پالس ولتاژ گیت کلید HS_{DCM} (q_{pD}) را تنظیم می‌کند که این روند به وضوح در شکل ۴-۵ نشان داده شده است.

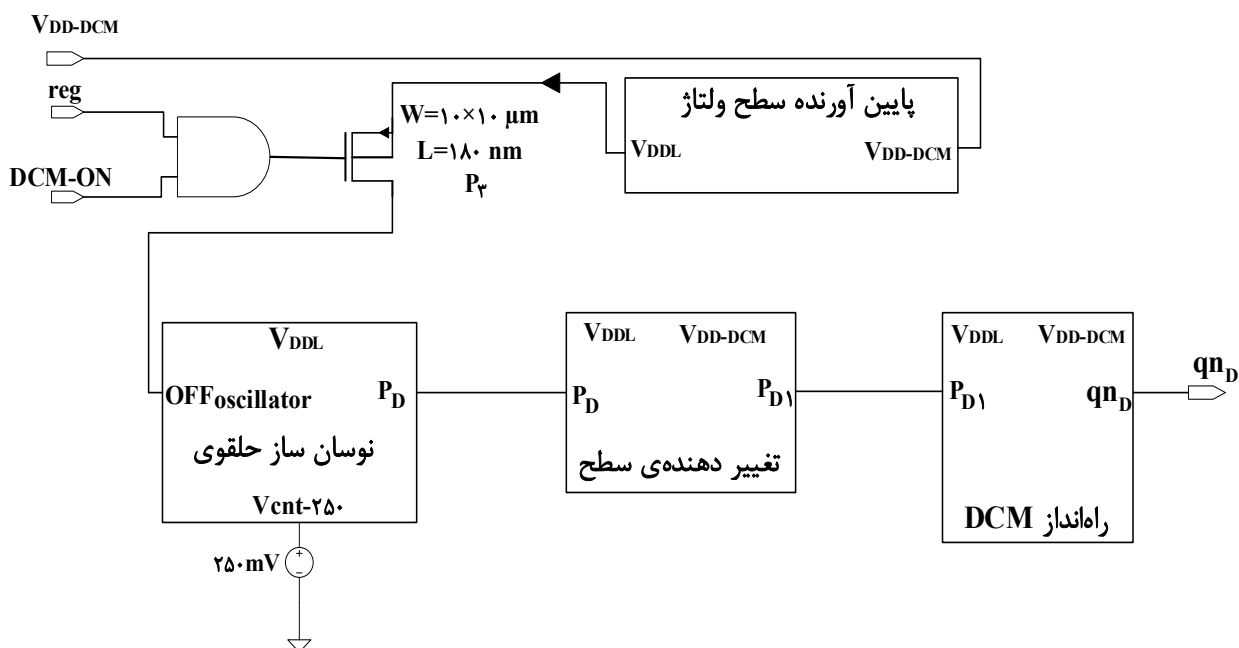


شکل ۴-۵: روند تولید پالس کنترلی گیت کلید HS_{DCM} (qp_D) توسط دو پالس $qn_{D-delay}$ و qp_D .

ورودی‌های qn_D و $qn_{D-delay}$ نیز در واحد تولید qp_{DCM} به عنوان کلاک برای مدار داخلی این واحد استفاده شده‌اند.

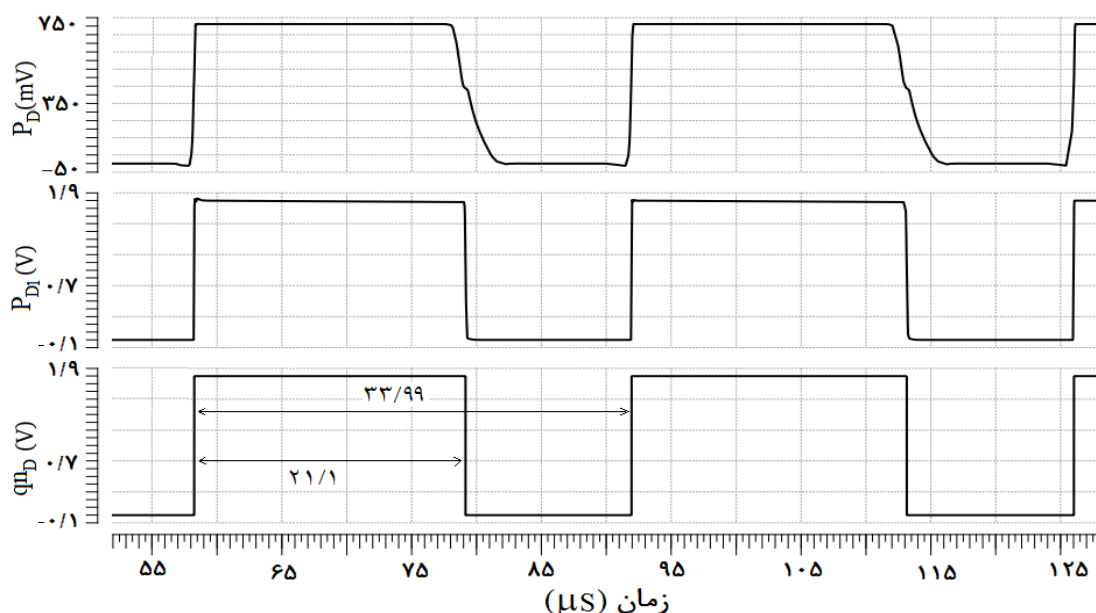
۴-۲-۲-۱-۱ واحد تولید qn_{DCM}

در شکل ۴-۶ نمای کلی واحد تولید qn_{DCM} که در واحد کنترل‌کننده DCM استفاده شده، نشان داده شده است.



شکل ۴-۶: نمای کلی واحد تولید qn_{DCM} .

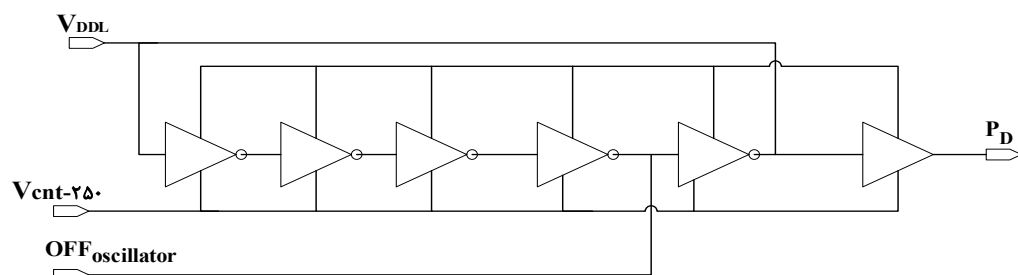
اولین گام در طراحی مدار کنترل یک مبدل افزایشنده، تولید یک پالس پایه برای کنترل گیت کلیدهای سمت بالا و پایین است. به این منظور در گام اول توسط یک نوسان ساز حلقوی با ولتاژ تغذیه‌ای کمتر از ۱/۸ ولت (V_{DDL})، یک پالس پایه (P_D) تولید می‌شود. سپس توسط یک تغییر دهنده‌ی سطح، ولتاژ سطح منطقی بالای P_D به ۱/۸ ولت افزایش می‌یابد (P_{D1}) و در نهایت این پالس به واحد راه‌انداز DCM رفته تا پالس خروجی آن (q_{nD}) برای کنترل گیت کلیدهای سمت بالا و پایین مناسب باشد. شکل موج پالس‌های P_D ، P_{D1} و q_{nD} نیز که در شکل ۴-۷ نشان داده شده‌اند، روند تولید پالس در واحد تولید q_{nDCM} را شفاف‌تر می‌نمایند.



شکل ۴-۷: شکل موج پالس‌های P_D ، P_{D1} و q_{nD} موجود در واحد تولید q_{nDCM} .

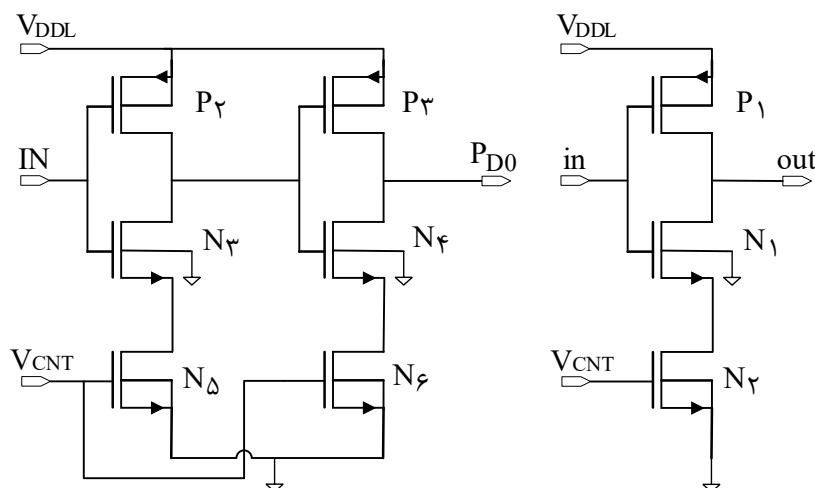
گیت AND موجود در شکل ۴-۶ نیز هر زمان که ولتاژ reg (خروجی مقایسه‌گر تنظیم‌کننده) و یا پالس DCM-ON برابر ۱/۸ ولت شود با تولید پالس کنترلی $OFF_{oscillator}$ نوسان ساز حلقوی را خاموش می‌کند.

نوسان ساز حلقوی ای به کار رفته شده در این واحد در شکل ۴-۸ نشان داده شده است. همان طور که مشخص است این نوسان ساز از پنج وارون ساز کنترل شونده با ولتاژ تشکیل شده است تا بتواند با توان مصرفی کمتر، دوره تناوبی به بزرگی $33/9$ میکروثانیه ارائه دهد. پالس کنترلی $OFF_{oscillator}$ نیز با ثابت کردن یکی از پایه های نوسان ساز حلقوی از تولید پالس جلوگیری می کند و به این ترتیب P_D در صفر باقی میماند.



شکل ۴-۸: نوسان ساز حلقوی DCM.

از آنجا که تأخیر ایجاد شده توسط وارون ساز با ولتاژ تغذیه آن نسبت عکس دارد، برای دستیابی به یک دوره تناوب بزرگتر، ولتاژ تغذیه این نوسان ساز 700 میلی ولت در نظر گرفته شده است تا علاوه بر کاهش ابعاد وارون سازهای مورد نیاز، توان مصرفی آن نیز تا حد ممکن کاهش پیدا کند. مدار وارون ساز استفاده شده در این نوسان ساز و تأخیر به کار رفته در انتهای آن که عرض پالس P_D را توسط زمان صعود و فرود بهتر در مقدار $21/12$ میکروثانیه تنظیم می کند به ترتیب در شکل ۴-۹ (الف) و (ب)، نشان داده شده اند.



(ب)

(الف)

شکل ۴-۹: (الف) وارون ساز و (ب) تأخیر استفاده شده در نوسان ساز حلقوی DCM.

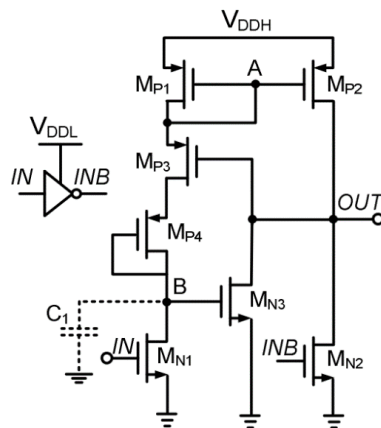
در جدول ۴-۱ نیز مقادیر W و L ترانزیستورهای به کار رفته در شکل ۴-۹ مشخص شده است.

جدول ۴-۱: مقادیر W و L ترانزیستورهای به کار رفته در نوسان ساز حلقوی DCM.

نام ترانزیستور	P_1	N_2	N_3, N_4, N_5, N_6 و P_3	P_2, N_4
$W(\mu m)$	۱۳۵	۰/۲۵	۰/۲۲	۱۸
$L(\mu m)$	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸

مدار داخلی تغییردهنده‌ی سطح ولتاژ به کار رفته در واحد تولید q_{nDCM} که قادر است ولتاژ ۷۰۰

میلی‌ولت را به ۱/۸ ولت تبدیل کند، در شکل ۴-۱۰ نشان داده شده است.



شکل ۴-۱۰: تغییر دهنده‌ی سطح ولتاژ [۴۲].

حال که پالس کنترلی گیت کلید سمت پایین حالت هدایت ناپیوسته توسط واحد q_{nDCM} تولید شده

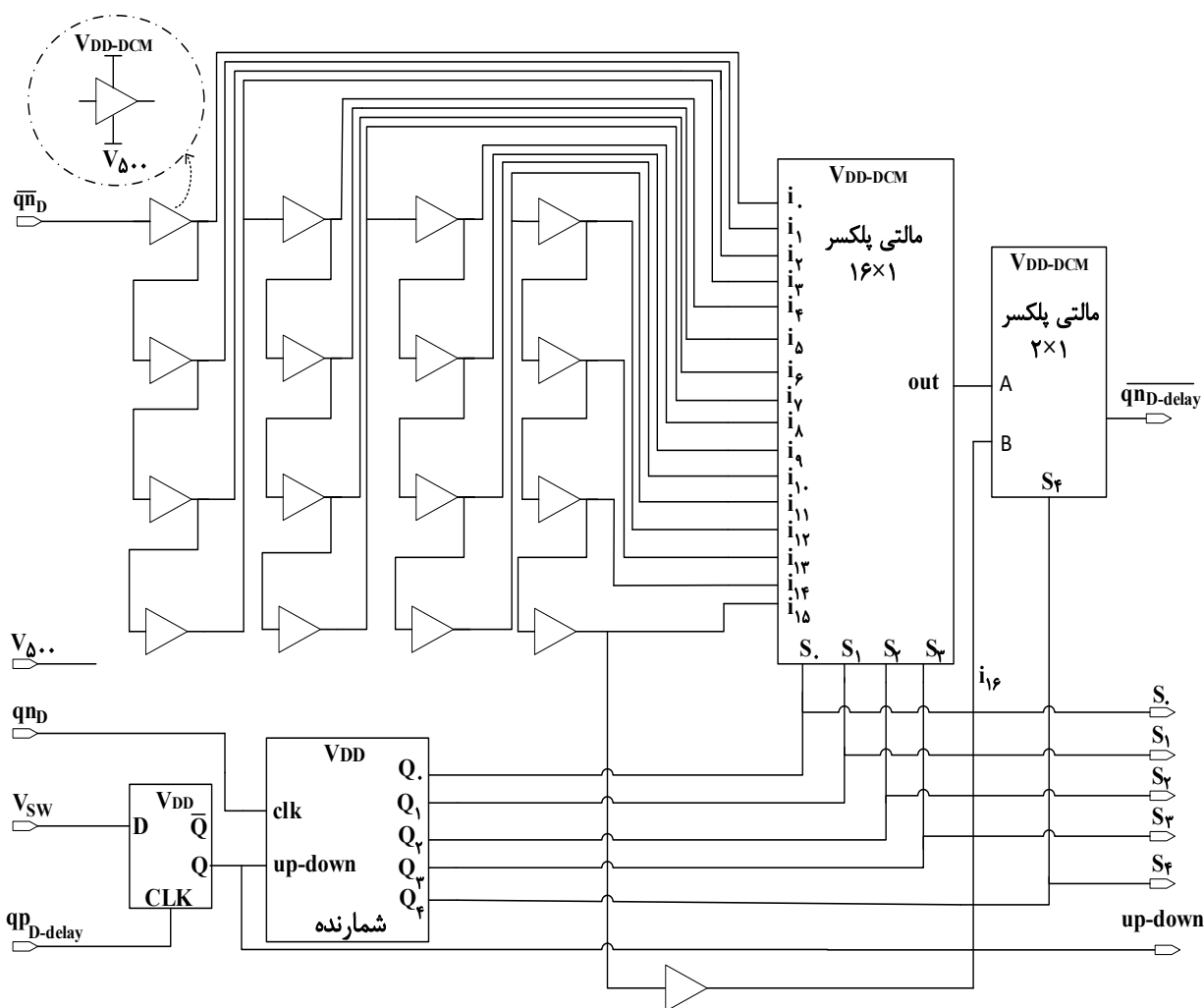
است، گام بعدی تولید پالس کنترلی کلید سمت بالا است که این وظیفه برعهده‌ی واحد تولید q_{pDCM}

است.

۴-۲-۱-۱ واحد تولید qpDCM

همان‌طور که در بخش کنترل‌کننده DCM هم گفته شد این واحد در حقیقت یک مدار ردیاب جریان صفر ([۱۳]) است که در شکل ۴-۱۱ نشان داده شده است. در این واحد برای دست‌یابی به کلیدزنی جریان صفر ابتدا توسط یک فلیپ فلاپ D، لحظه‌ای (Δt_M) پس از خاموش شدن کلید سمت بالا که معادل لبه‌ی بالارونده پالس qpD-delay است، سطح منطقی V_{SW} بررسی می‌شود و با توجه به خروجی فلیپ فلاپ D، شمارنده‌ی متصل به آن در لبه‌ی بالارونده‌ی qnD یک واحد به سمت بالا یا پایین می‌شمارد. به این ترتیب بسته به مقدار خروجی شمارنده (Q_0 تا Q_3) یکی از ورودی‌های مالتی‌پلکسر 16×1 به پایه‌ی A در مالتی‌پلکسر 2×1 می‌رود و بسته به مقدار پرارزش‌ترین بیت شمارنده (Q_4)، خروجی مالتی‌پلکسر 16×1 و یا آخرین تأخیر متوالی (i_{16}) به خروجی واحد تولید qpDCM ($q_{nD-delay}$) می‌رود.

حالت اولیه شمارنده در این کار ۱۰۰۰۰ است در این صورت عرض پالس qpDCM در کمترین مقدار خود قرار دارد. از این رو حتماً در اولین بررسی V_{SW} ، بالازدگی وجود خواهد داشت و شمارنده بالاشمار خواهد بود.



شکل ۴-۱۱: واحد تولید qp_{DCM} .

این روند تا جایی که اولین پایین زدگی رخ دهد ادامه دارد. در این هنگام شمارنده باید یک واحد به سمت پایین بشمارد، سپس مدار به وضعیت قبلی خود می‌رود و ولتاژ V_{SW} مجدداً در وضعیت بالازدگی قرار می‌گیرد

و به دنبال آن شمارنده یک واحد به سمت بالا می‌شمارد. به این ترتیب تا زمانی که ولتاژ ورودی تغییر نکند همواره بین این دو حالت نوسان خواهد کرد. به عبارت دیگر $up-down$ به صورت یک پالس با دوره تناوب qp_{DCM} خواهد بود.

در جدول ۴-۲ نیز وضعیت خروجی شمارنده و مدت زمان روشن بودن کلید سمت بالا ($T_{off-DCM}$) متناسب با ولتاژ ورودی مشخص شده است که از حداقل مقدار ۸۸ تا ۱۰۳۳ نانوثانیه متغیر خواهد بود.

جدول ۴-۲: زمان روشن کلید سمت بالا در حالت هدایت ناپیوسته.

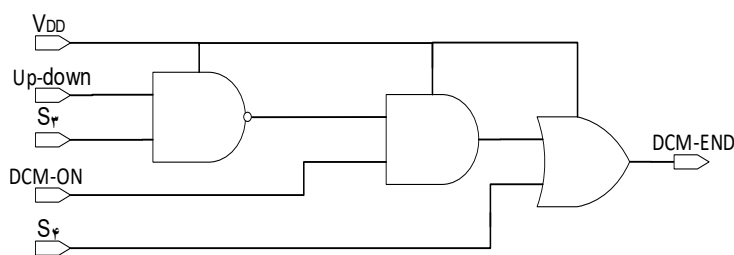
ولتاژ مدار باز ورودی (میلی‌ولت)	$T_{off-DCM}$ (نانوثانیه)	خروجی شمارنده ($Q_3Q_2Q_1Q_0$)
۱۵	۸۸	۱۰۰۰۰
۱۵ تا ۲۰	۱۱۲/۵	۱۰۰۰۱
۲۰ تا ۳۰	۱۳۳/۵	۱۰۰۱۰
۳۰ تا ۴۰	۱۷۷/۵	۱۰۰۱۱
۴۰ تا ۵۰	۲۴۷/۵	۱۰۱۰۰
۵۰ تا ۶۰	۳۱۸/۹	۱۰۱۰۱
۶۰ تا ۷۰	۳۹۴/۲	۱۰۱۱۰
۷۰ تا ۸۰	۴۶۵/۴	۱۰۱۱۱
۸۰ تا ۹۰	۵۳۹/۱	۱۱۰۰۰
۹۰ تا ۱۰۰	۶۱۱/۸	۱۱۰۰۱
۱۰۰ تا ۱۱۰	۶۷۸	۱۱۰۱۰
۱۱۰ تا ۱۲۰	۷۴۸/۲	۱۱۰۱۱
۱۲۰ تا ۱۳۰	۷۹۳/۸	۱۱۱۰۰
۱۳۰ تا ۱۴۰	۸۳۶	۱۱۱۰۱
۱۴۰ تا ۱۵۰	۸۸۰/۶	۱۱۱۱۰
۱۵۰ تا ۱۶۰	۹۲۹/۶	۱۱۱۱۱
۱۶۰ تا ۱۷۵	۱۰۳۳	۰۰۰۰۰
≥ ۱۷۵	۱۰۳۳	۰۱۱۱۱ تا ۰۰۰۰۱

همچنین با توجه به این جدول مشخص است که در ورودی ۱۵ میلی‌ولت خروجی شمارنده بین دو مقدار $\overline{۱۰۰۰۰}$ و $\overline{۱۰۰۰۱}$ و در ورودی ۱۶۰ میلی‌ولت بین $\overline{۱۱۱۱۱}$ و $\overline{۰۰۰۰۰}$ نوسان خواهد کرد. بنابراین با افزایش ولتاژ ورودی تأخیر موردنیاز نیز افزایش یافته و به این ترتیب عرض پالس q_{PD} نیز توسط گیت OR موجود در واحد کنترل‌کننده DCM افزایش می‌یابد.

۲-۲-۴-۴ تشخیص دهنده‌ی پایان DCM

اکنون با توجه به اینکه هر خروجی شمارنده بیانگر یک محدوده‌ی ولتاژ ورودی خاص است می‌توان توسط این خروجی‌ها ولتاژهای ۱۷۵ میلی‌ولت و بیشتر از آن را شناسایی کرد. همانطور که جدول ۲-۴ بیان شد در ولتاژ ورودی ۱۶۰ میلی‌ولت خروجی شمارنده به طور مداوم بین دو حالت $\overline{00000}$ و $\overline{11111}$ تغییر می‌کند. یا پیشی گرفتن این ولتاژ از ۱۷۵ میلی‌ولت، مدار در حالت $\overline{00000}$ نیز یک بالازدگی احساس خواهد کرد و یک واحد دیگر به سمت بالا می‌شمارد. اما از آنجا که از این حالت تا حالت $\overline{11111}$ همواره پایه‌ی i_{16} به خروجی واحد تولید qp_{DCM} می‌رود، مقدار تأخیر این خروجی همواره ثابت باقی خواهد ماند و مدار هیچ‌گاه به حالتی که در آن بالازدگی وجود نداشته باشد نخواهد رسید. پس مقادیر بین $\overline{00000}$ و $\overline{11111}$ بیان‌گر ولتاژهای بزرگتر از ۱۷۵ میلی‌ولت خواهند بود.

بر این اساس مطابق شکل ۴-۱۲، در لحظه‌ای که خروجی شمارنده $\overline{01000}$ و up-down نیز برابر ۱/۸ ولت می‌شود، توسط یک گیت NAND و OR خروجی مدار تشخیص پایان DCM (DCM-END) صفر شده، دستور پایان این حالت کاری را صادر می‌کند و شمارنده را از کار می‌اندازد.



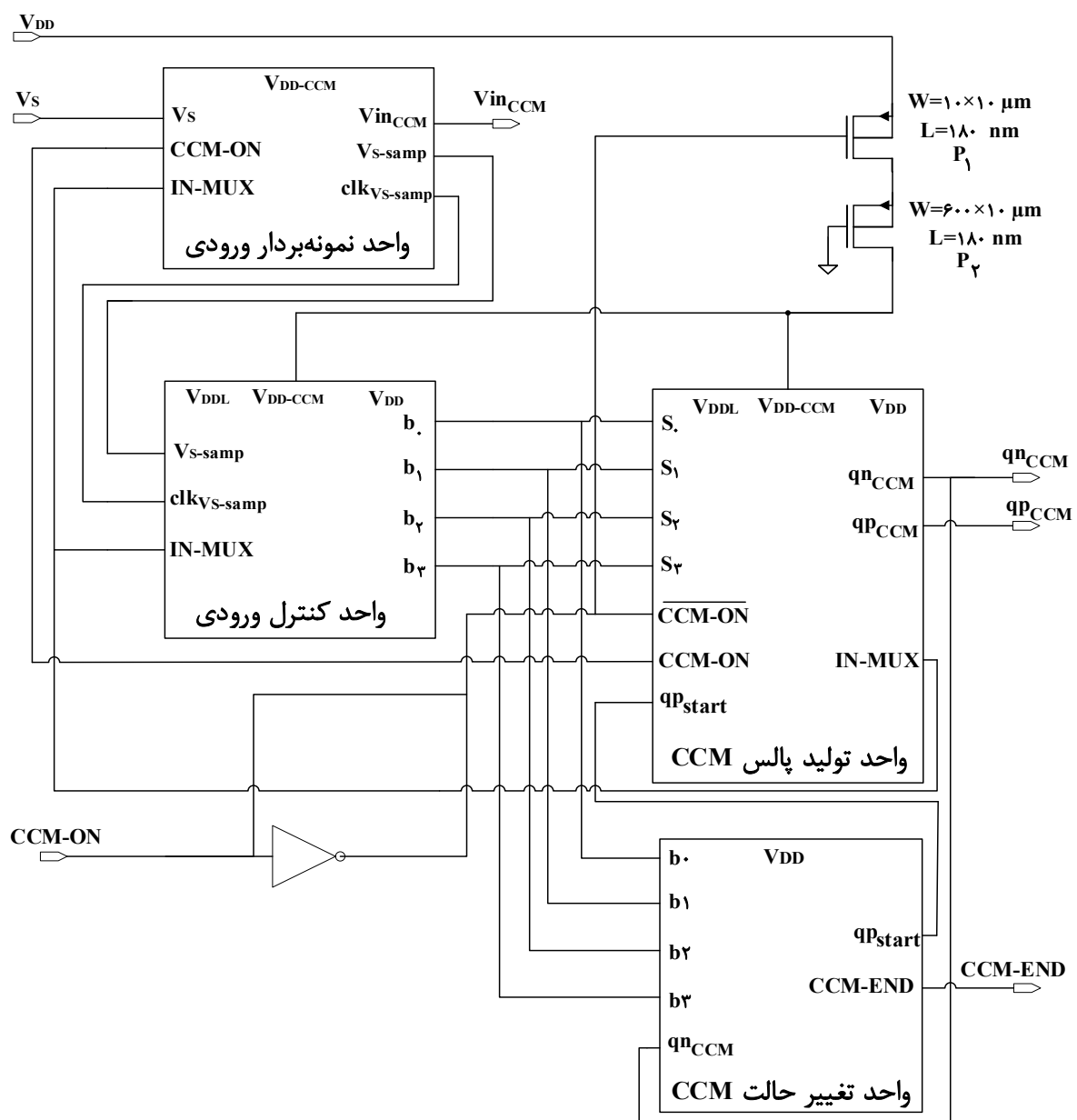
شکل ۴-۱۲: مدار تشخیص دهنده‌ی پایان حالت DCM.

در این زمان چون ولتاژ تغذیه‌ی بیشتر بخش‌های مدار کنترل حالت هدایت ناپیوسته از جمله شمارنده قطع می‌شود، مقدار S_r شروع به کاهش می‌کند. برای جلوگیری از خطای ناشی از نامعتبر بودن S_r توسط پالس DCM-ON و یک گیت AND، وضعیت S_r تا زمانی که حالت DCM غیر فعال است، نادیده گرفته می‌شود.

حال که واحد DCM به طور کامل بررسی شد در ادامه به شرح کامل واحد CCM و نحوه ی کنترل مبدل افزایشده در حالت هدایت پیوسته خواهیم پرداخت.

۴-۱-۴ واحد CCM

این واحد که در شکل ۴-۱۳ نشان داده شده است وظیفه ی کنترل، تولید پالس ها و همچنین تشخیص پایان حالت هدایت پیوسته را بر عهده دارد.



شکل ۴-۱۳: نمای کلی واحد CCM.

با تغییر حالت کاری مدار از حالت هدایت ناپیوسته به پیوسته و تغییر ولتاژ CCM-ON، واحد نمونه بردار ورودی روشن شده و به کمک یکی از پالس‌های تولید شده در واحد تولید پالس CCM (IN-MUX)، پس از قطع اتصال منبع ولتاژ و مبدل افزایشده، از ولتاژ منبع (V_S) نمونه می‌گیرد و دوباره پس از مدت کوتاهی منبع ولتاژ را به مبدل افزایشده متصل می‌کند. سپس به کمک این ولتاژ نمونه گرفته شده (V_{s-samp}) و دو پالس IN-MUX و clk_{V_S-samp} ، توسط واحد کنترل ورودی که در حقیقت یک مبدل آنالوگ به دیجیتال است، متناسب با ولتاژ ورودی یک خروجی چهار بیتی (b_0, b_1, b_2, b_3) (پرارزش‌ترین بیت)) تولید می‌شود.

حال واحد تولید پالس CCM که وظیفه‌ی تولید و تنظیم پالس‌های کنترلی مبدل افزایشده در حالت هدایت پیوسته را برعهده دارد، با توجه به وضعیت خروجی چهار بیتی واحد کنترل ورودی، عرض پالس کنترلی کلید سمت بالا (qp_{CCM}) و پایین (qn_{CCM}) در این حالت کاری را به نحوی تغییر می‌دهد که همواره تطبیق امپدانس در مبدل افزایشده برقرار باشد.

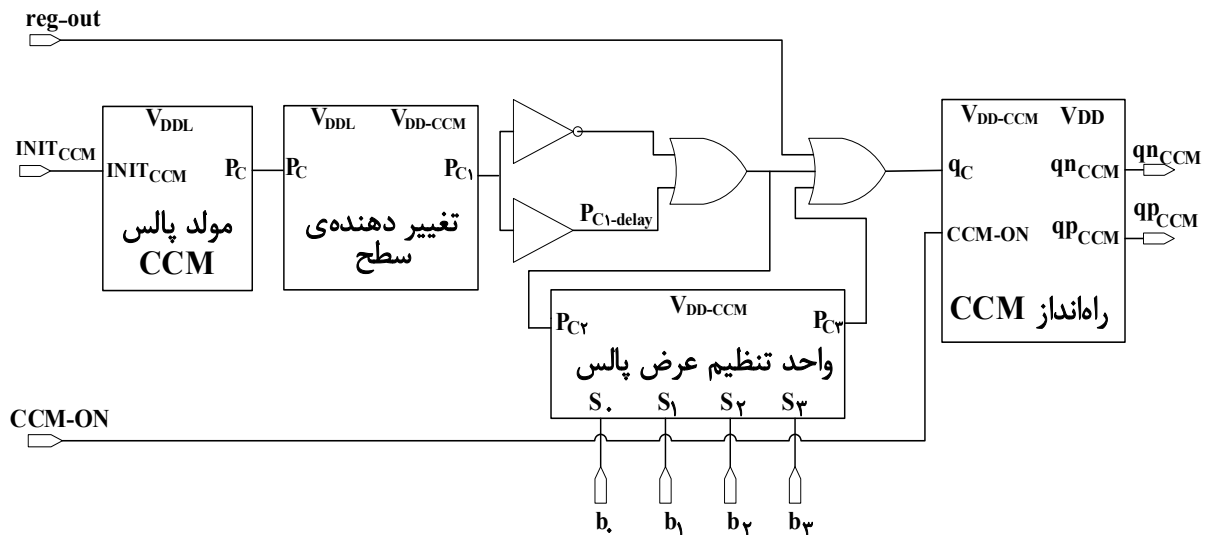
در نهایت واحد تغییر حالت CCM نیز بر اساس مقدار دیجیتالی شده‌ی ولتاژ ورودی (b_0, b_1, b_2) و b_3 هرگاه ولتاژ منبع از ۱۶۵ میلی‌ولت کمتر شود توسط خروجی CCM-END دستور اتمام حالت کاری هدایت پیوسته را به واحد انتخاب‌گر حالت کاری در شکل ۴-۱ صادر می‌کند. همچنین این واحد یک پالس دیگر (qp_{start}) نیز تولید می‌کند که به کمک آن در لحظه‌ی گذر از حالت کاری هدایت ناپیوسته به پیوسته از روشن ماندن ناخواسته‌ی کلید HS_{CCM} جلوگیری می‌کند.

کلید P_1 و P_2 نیز برای قطع ولتاژ تغذیه‌ی V_{DD-CCM} استفاده شده‌اند تا در زمان تشخیص پایان این حالت کاری بخش زیادی از مدار کنترل واحد CCM خاموش شود. لازم به ذکر است که ولتاژ V_{DD} همواره به خروجی مبدل افزایشده متصل است تا بخش‌هایی از مدار کنترل حالت هدایت پیوسته که در زمان عملکرد مدار در حالت هدایت ناپیوسته مورد نیاز هستند را روشن نگه دارد.

در ادامه به شرح دقیق وظایف هر زیر واحد کنترلی موجود در واحد CCM می‌پردازیم.

۴-۱-۴-۱ واحد تولید پالس CCM

نمای کلی واحد تولید پالس حالت هدایت پیوسته در شکل ۴-۱۴ نشان داده شده است.



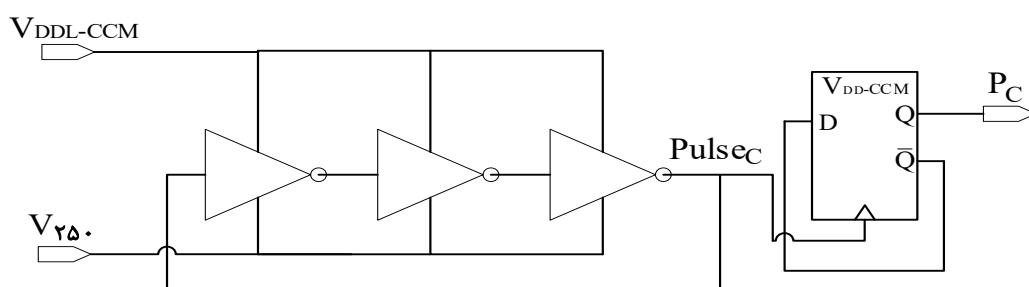
شکل ۴-۱۴: نمای کلی واحد تولید عرض پالس CCM.

مشابه با حالت هدایت ناپیوسته در اینجا نیز اولین گام طراحی مدار کنترل، تولید یک پالس پایه (P_C) برای کنترل کلید HS_{CCM} و LS_{CCM} است که توسط مولد پالس CCM صورت می‌گیرد. سپس به کمک یک تغییر دهنده سطح (مشابه با تغییر دهنده سطح ولتاژ استفاده شده در واحد DCM)، سطح ولتاژ آن به $1/8$ ولت تغییر می‌یابد (P_{C1}) و در گام بعد با OR کردن معکوس این پالس ($\overline{P_{C1}}$) و تأخیر یافته‌ی آن ($P_{C1-delay}$) عرض پالس P_{C2} به نحوی تنظیم می‌شود که تطبیق امپدانس در بیشترین ولتاژ ورودی یعنی 300 میلی‌ولت برقرار باشد. به این ترتیب تأخیر استفاده شده در این واحد برابر 570 ns است.

حال که بیشترین عرض پالس لازم تولید شده است، در گام بعد توسط واحد تنظیم عرض پالس متناسب با مقدار دیجیتالی شده‌ی ولتاژ ورودی (b_0, b_1, b_2, b_3) یک تأخیر بر پالس P_{C2} اعمال شده و پالس P_{C3} تولید می‌شود. سپس با OR شدن P_{C2} و P_{C3} عرض پالس کنترلی q_C تنظیم می‌شود.

در نهایت وقت آن فرا می‌رسد تا پالس q_C برای راه‌اندازی گیت کلیدهای HS_{CCM} و LS_{CCM} آماده شود (q_{pCCM} و q_{nCCM}). این کار توسط واحد راه‌انداز CCM صورت می‌گیرد. همچنین همان‌طور که در شکل ۴-۱۴ مشخص است، هرگاه خروجی واحد تنظیم ولتاژ (reg) که در واحد DCM قرار دارد و در حالت هدایت پیوسته نیز فعال است یک شود، که به معنی پیشی گرفتن ولتاژ خروجی از $1/8$ ولت است، توسط گیت OR سه ورودی، پالس q_C در مقدار $1/8$ ولت ثابت باقی می‌ماند و به این ترتیب هر دو کلید HS_{CCM} و LS_{CCM} خاموش می‌شوند تا از افزایش ولتاژ خروجی جلوگیری شود.

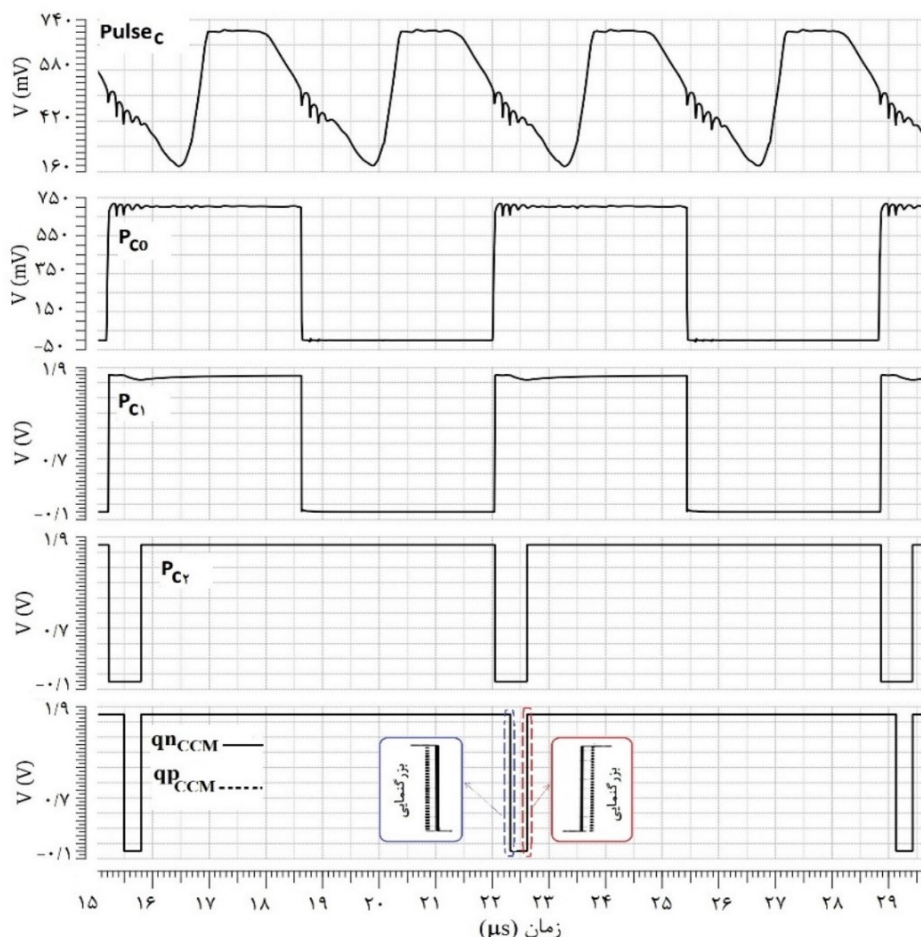
حال به بررسی مدار داخلی مولد پالس و راه‌انداز CCM خواهیم پرداخت. مدار مولد پالس CCM که از یک نوسان‌ساز حلقوی سه طبقه و یک D-FF به منظور افزایش دوره تناوب از طریق تقسیم فرکانسی تشکیل شده است در شکل ۴-۱۵ نشان داده شده است. دوره تناوب پالس P_C در مقدار $6/8$ میکروثانیه تنظیم شده است.



شکل ۴-۱۵: مدار داخلی مولد پالس CCM.

در شکل ۴-۱۶ نیز روند تولید پالس کنترلی کلید سمت بالا و پایین در این حالت کاری نشان داده شده است. همان‌طور که مشخص است خروجی نوسان‌ساز حلقوی ($Pulse_C$) در مقدار نیمی از دوره تناوب طراحی شده، تنظیم شده است. سپس توسط فلیپ فلاپ D تقسیم فرکانسی صورت گرفته (P_C) و دوره تناوب را به مقدار مورد نیاز افزایش می‌دهد. حال همان‌طور که ذکر شد توسط یک تأخیر، عرض پالس در مقدار اولیه و مناسب برای ولتاژ 300 میلی‌ولت تنظیم می‌شود (P_{C1}). همچنین برای اعتبار

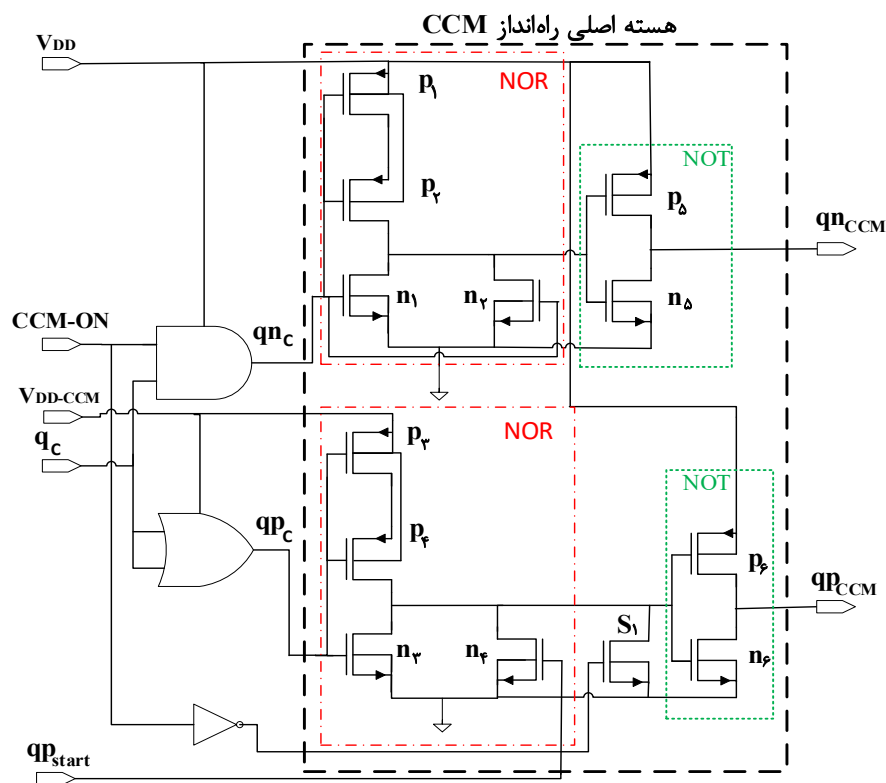
سنجی واحد تنظیم عرض پالس CCM، پالس تولید شده برای کنترل کلید سمت بالا (qpCCM) و پایین (qnCCM) در ولتاژ ۱۷۰ میلی‌ولت نشان داده شده است.



شکل ۴-۱۶: به ترتیب از بالا به پایین خروجی نوسان ساز حلقوی (P_{c_c})، خروجی فلیپ فلاپ D موجود بعد از اسیلاتور برای تقسیم فرکانسی، خروجی تغییردهنده‌ی سطح ولتاژ، خروجی تنظیم عرض پالس اولیه برای بیشترین ولتاژ (۳۰۰ میلی‌ولت) و پالس کنترلی کلید سمت بالا و پایین در ولتاژ ورودی ۱۷۰ میلی‌ولت در حالت کاری هدایت پیوسته.

نکته‌ی دیگری که در نمای بزرگ شده‌ی لبه‌ی بالارونده و پایین‌رونده‌ی qpCCM و qnCCM مشاهده می‌شود این است که همواره کلید سمت بالا لحظه‌ای پس از خاموش شدن کلید سمت پایین روشن می‌شود و کلید سمت پایین نیز لحظه‌ای پس از خاموش شدن کلید سمت بالا خاموش می‌شود تا تداخلی برای شارژ سلف و خازن پیش نیاید و از ایجاد تلفات ناخواسته جلوگیری شود.

مدار راه‌انداز CCM نیز که در شکل ۴-۱۷ نشان داده شده است از یک گیت AND، یک گیت OR و هسته اصلی مدار راه‌انداز که خود متشکل دو گیت NOR و دو گیت NOT است، تشکیل شده است.



شکل ۴-۱۷: واحد راه انداز CCM

پالس q_c پس از ورود به واحد راه انداز CCM از طریق یک گیت AND به q_{nc} تبدیل می شود تا در صورت صفر شدن CCM-ON مقدار q_{n_CCM} در صفر ولت ثابت باقی بماند و کلید سمت پایین خاموش شود. در این حالت q_{p_CCM} نیز از طریق یک گیت NOT و کلید S_1 در مقدار $1/8$ ولت تا زمانی که CCM-ON یک شود باقی می ماند. پالس qp_{start} هم که در پایه ی ورودی گیت NOR پایینی استفاده شده است، در لحظه ی گذر از حالت هدایت ناپوسته به پیوسته از روشن ماندن بیش از حد کلید سمت بالا و تخلیه ی خازن خروجی جلوگیری می کند و تا زمانی که این پالس صفر نشود ولتاژ qp_{CCM} را در $1/8$ ولت نگه می دارد.

گیت OR استفاده شده برای تولید qp_c نیز به منظور ایجاد یک فاصله ی زمانی بین زمان خاموش شدن کلید LS_{CCM} و روشن شدن کلید HS_{CCM} استفاده شده است تا از تلفات ناخواسته ای همچون تخلیه ی خازن خروجی از طریق مسیر این دو کلید جلوگیری شود.

ابعاد ترانزیستورهای بکار رفته در گیت‌های NOR و NOT هسته‌ی اصلی راه‌انداز در جدول ۳-۴ مشخص شده است.

جدول ۳-۴: مقادیر W و L ترانزیستورهای به کار رفته در هسته‌ی اصلی واحد راه‌انداز CCM (شکل ۴-۱۶).

نام ترانزیستور	P_1 تا P_4 و N_1 تا N_3	P_5 و N_5	P_6 و N_6
W(μm)	۳۶	۳۰۰	۲۰۰
L(μm)	۰/۱۸	۰/۱۸	۰/۱۸

۴-۴-۱-۲ واحد کنترل ورودی

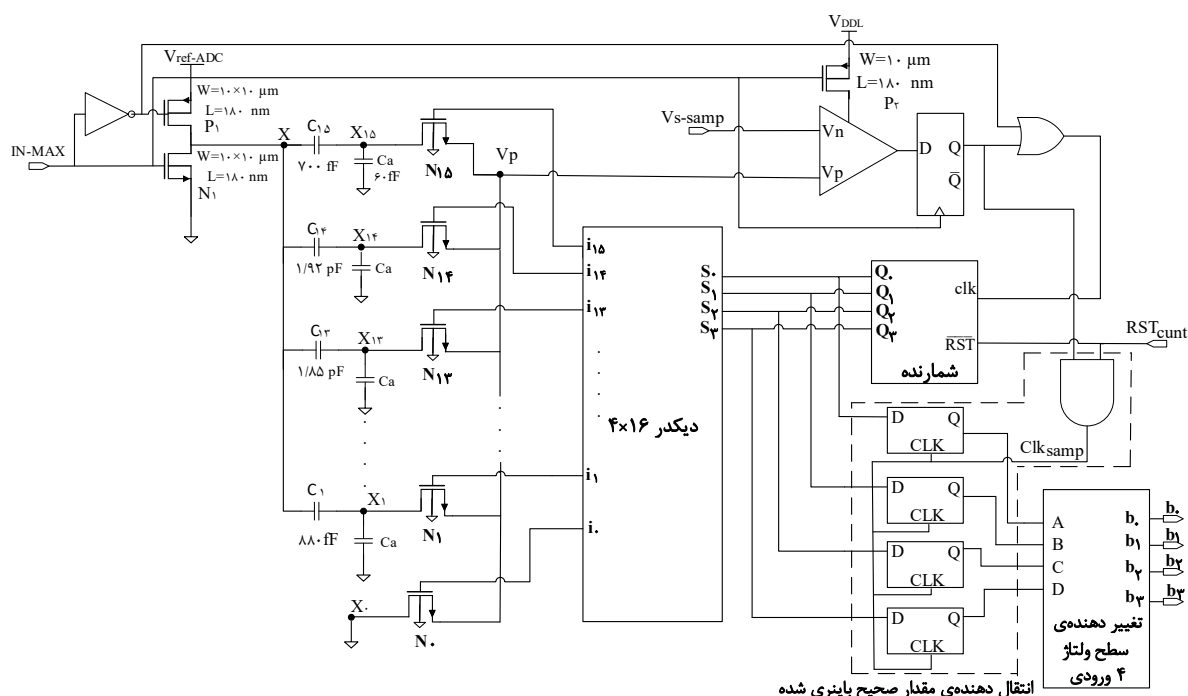
در این حالت کاری برخلاف حالت هدایت ناپیوسته، طبق رابطه‌ی (۲-۲۲) با تغییر جریان بیشینه و کمینه‌ی سلف که به معنی تغییر ولتاژ ورودی است، مقاومت معادل ورودی نیز تغییر می‌کند و در صورت ثابت بودن فرکانس کاری و زمان روشن کلید سمت پایین تطبیق امپدانس برقرار نخواهد ماند. از این رو به یک مدار ردیابی نقطه‌ی بیشینه توان نیاز است تا با تغییر مناسب عرض پالس به ازای یک فرکانس ثابت، برقراری تطبیق امپدانس را در تمام ولتاژهای ورودی تضمین کند.

در اینجا برای استخراج بیشینه توان، یک مدار ردیابی نقطه‌ی بیشینه توان مبتنی بر مبدل آنالوگ به دیجیتال طراحی شده (شکل ۴-۱۸) که متناسب با مقدار دیجیتالی شده‌ی ۴ بیتی ولتاژ ورودی، زمان روشن بودن کلید سمت بالا را تغییر داده و موجب برقراری تطبیق امپدانس می‌گردد.

این مدار در گام اول برای تبدیل ولتاژ منبع به یک مقدار دیجیتال ۴ بیتی توسط یک تقسیم خازنی (کلیدهای P_1 و N_1 و خازن‌های C_a و C_{15}) شانزده ولتاژ مرجع متفاوت از ۱۶۵ تا ۳۰۵ میلی‌ولت با گام ۱۰ میلی‌ولت تولید می‌کند. سپس به کمک یک دیکدر 4×16 و ۱۶ کلید متصل به خروجی آن (N_{15} تا N_1)، هر بار یکی از ولتاژهای مرجع به پایه‌ی مثبت مقایسه‌گر متصل می‌شود.

در آغاز کار کلید N_{15} روشن و کلیدهای N_1 تا N_{14} خاموش هستند و خروجی شمارنده (Q_0, Q_1, Q_2 و Q_3) نیز به صورت (۱۱۱۱) است. در این حالت ولتاژ مرجع ۱۶۵ mV (X_{15}) به پایه‌ی مثبت

مقایسه گر (V_p) متصل می‌شود و با ولتاژ نمونه گرفته شده منبع (V_s-samp) که به پایهی منفی مقایسه گر (V_n) متصل است مقایسه می‌شود. در صورتی که ولتاژ منبع از این مقدار بیشتر باشد شمارنده به سمت بالا خواهد شمارد و این روند تا جایی ادامه می‌یابد که در نهایت ولتاژ مرجع از V_s-samp بیشتر شود.



شکل ۴-۱۸: مبدل آنالوگ به دیجیتال ۴ بیتی.

در این هنگام با یک شدن خروجی مقایسه گر، کلاک شمارنده نیز توسط فلیپ فلاپ D و گیت OR متصل به آن از کار افتاده و در سطح منطقی بالا باقی می‌ماند. خروجی شمارنده نیز مقدار باینری شدهی ولتاژ ورودی را نشان می‌دهد.

حال در صورت افزایش ولتاژ ورودی، به طور خودکار خروجی مقایسه گر صفر شده و شمارنده شروع به شمارش مجدد می‌کند. اما اگر ولتاژ ورودی کاهش یابد خروجی مقایسه گر در همان سطح منطقی بالا باقی مانده و کاهش ولتاژ تشخیص داده نمی‌شود. از این رو از یک شمارندهی دارای پایهی تنظیم مجدد ($\overline{RST}$) استفاده شده است که به ازای هر ۱۲۸ دورهی کلیدزنی کلید LS_{CCM} (تقریباً ۸۴۵

میکروثانیه)، یک بار شمارنده را تنظیم مجدد می‌کند تا دوباره کمترین ولتاژ مرجع به پایه‌ی منفی مقایسه‌گر متصل شود و چرخه‌ی ذکر شده تکرار شود.

برای درک بهتر روند کار این مبدل آنالوگ به دیجیتال در جدول ۴-۴ مقادیر متناظر دیجیتال و آنالوگ ولتاژ ورودی و زمان روشن کلید سمت بالا و پایین در حالت هدایت پیوسته بیان شده است.

جدول ۴-۴: زمان روشن کلید سمت بالا و پایین، متناسب با ولتاژ ورودی، خروجی شمارنده و خروجی دیکدر در حالت هدایت پیوسته.

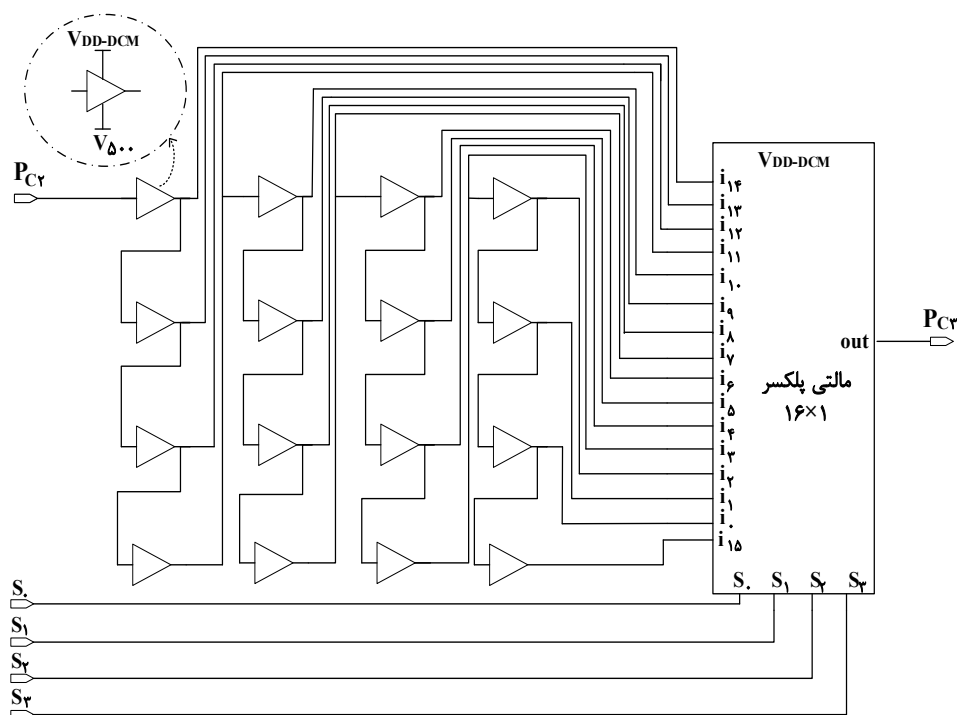
ولتاژ ورودی (میلی‌ولت)	شماره‌ی خروجی دیکدر	خروجی شمارنده ($Q_3Q_2Q_1Q_0$)	$T_{off-CCM}$ (نانوثانیه)	T_{on-CCM} (میکروثانیه)
< ۱۶۵	i_0	۰۰۰۰	۲۹۲/۷	۶/۵۲۷
۱۶۵ تا ۱۸۰	i_1	۰۰۰۱	۳۱۶/۱	۶/۴۹۹۱
۱۸۰ تا ۱۹۰	i_2	۰۰۱۰	۳۴۵/۲۵	۶/۴۷۷
۱۹۰ تا ۲۰۰	i_3	۰۰۱۱	۳۴۷/۸	۶/۴۶۴۹
۲۰۰ تا ۲۱۰	i_4	۰۱۰۰	۳۶۸/۴	۶/۴۳۲۴
۲۱۰ تا ۲۲۰	i_5	۰۱۰۱	۳۷۸/۷	۶/۴۳۴۶
۲۲۰ تا ۲۳۰	i_6	۰۱۱۰	۴۳۰/۹	۶/۳۶۸۶
۲۳۰ تا ۲۴۰	i_7	۰۱۱۱	۴۴۵	۶/۳۵۳۳
۲۴۰ تا ۲۵۰	i_8	۱۰۰۰	۴۵۰	۶/۳۶۳۸
۲۵۰ تا ۲۶۰	i_9	۱۰۰۱	۴۵۹	۶/۳۶۶
۲۶۰ تا ۲۷۰	i_{10}	۱۰۱۰	۴۷۶/۸	۶/۳۲۲۵
۲۷۰ تا ۲۸۰	i_{11}	۱۰۱۱	۴۸۷/۵	۶/۲۹۵۴
۲۸۰ تا ۲۹۰	i_{12}	۱۱۰۰	۵۲۶/۷	۶/۲۹۳۷
۲۹۰ تا ۳۰۰	i_{13}	۱۱۰۱	۵۳۷/۸	۶/۲۵۱۷
$۳۰۰ <$	i_{14}	۱۱۱۰	۵۵۷/۲	۶/۲۷۶۶
< ۲۰	i_{15}	۱۱۱۱	۵۰	۶/۷۷۷

همچنین از آنجا که بعد از هر بار تنظیم مجدد شمارنده، خروجی آن برابر ۱۱۱۱ خواهد شد و مدت زمانی طول می‌کشد تا متناسب با ولتاژ منبع به مقدار نهایی خود برسد، در صورتی که به طور مستقیم از این مقادیر Q_3 تا Q_0 برای تغییر و تنظیم عرض پالس q_{nCCM} و q_{pCCM} استفاده شود، تطبیق امپدانس برای مدتی برهم می‌خورد و بازده کاهش می‌یابد. از این رو به کمک چهار فلیپ‌فلاپ D کنترل‌شونده با

سطح، تنها زمانی که $\overline{RST}$ و خروجی مقایسه‌گر در سطح منطقی بالا (۷۰۰ میلی‌ولت) قرار گرفته باشند مقدار صحیح خروجی شمارنده (A، B، C و D) به خروجی منتقل می‌شود. در نهایت از آنجا که ولتاژ تغذیه شمارنده برابر ۷۰۰ میلی‌ولت است، به کمک یک تغییر دهنده‌ی سطح ولتاژ سطح بالای پالس‌های A، B، C و D به $1/8V$ تغییر می‌یابد تا برای تغییر فرکانس پالس qp_{CCM} و qn_{CCM} مناسب باشد (b_1, b_2, b_3).

۴-۱-۲-۱ واحد تنظیم عرض پالس

حال که مقدار باینری شده‌ی ولتاژ منبع در دسترس است باید متناسب با آن فرکانس کاری پالس‌های qp_{CCM} و qn_{CCM} را تنظیم کرد. این کار مشابه با حالت هدایت ناپیوسته، توسط یک سری تأخیر متوالی و یک مالتی‌پلکسر 16×1 صورت می‌گیرد که در شکل ۴-۱۹ نیز قابل مشاهده است.



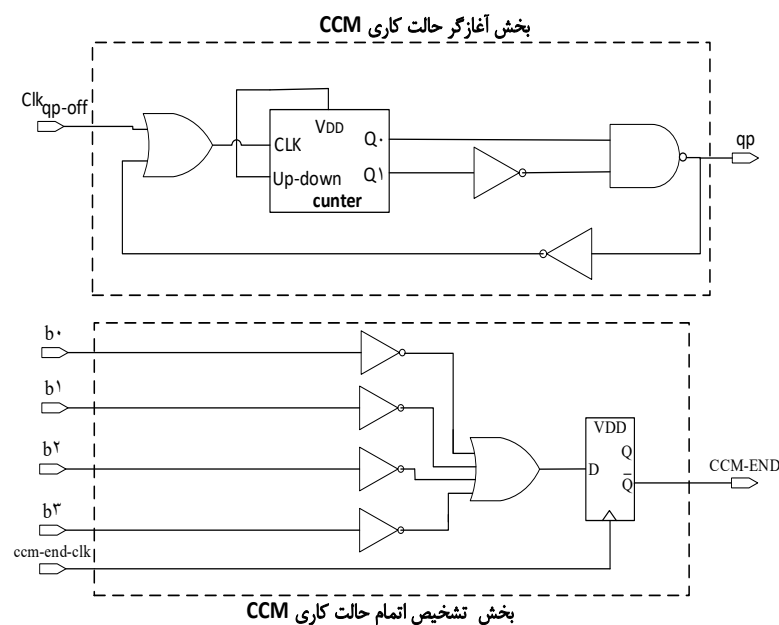
شکل ۴-۱۹: واحد تنظیم عرض پالس CCM.

به طور مختصر کارکرد این بخش به این صورت است که خروجی چهار بیتی مبدل آنالوگ به دیجیتال

به خطوط انتخاب یک مالتی پلکسر 16×1 متصل می‌شوند و یک تأخیر متناسب با ولتاژ ورودی مدار ایجاد می‌شود. به نحوی که هرچه ولتاژ ورودی بیشتر باشد تأخیر مورد نیاز کمتر خواهد بود. بنابراین کمترین تأخیر در ورودی 300 میلی‌ولت رخ می‌دهد و عرض پالس کلید سمت بالا در بزرگترین مقدار خود قرار خواهد داشت.

۴-۱-۴-۳ واحد تغییر حالت CCM

مطابق با جدول ۴-۴ وقتی ولتاژ ورودی کمتر از 165 میلی‌ولت باشد خطوط انتخاب مالتی پلکسر $\overline{0000}$ و وقتی بیش از 165 میلی‌ولت باشد برابر $\overline{1111}$ خواهد بود. با توجه به همین نکته واحد تغییر حالت CCM توسط بخش تشخیص اتمام حالت کاری CCM خود که در شکل ۴-۲۰ نشان داده شده است مقدار باینری شده‌ی ولتاژ ورودی که توسط مبدل آنالوگ به دیجیتال ایجاد شده است هر 64 بار که کلید سمت بالا و پایین روشن و خاموش می‌شوند ($T_{ccm-end-clk} = 64 T_{in-max}$ ، معادل 423 میکروثانیه) بررسی خواهد شد.



شکل ۴-۲۰: واحد تغییر حالت CCM، شامل دو بخش آغازگر حالت کاری و تشخیص اتمام حالت کاری.

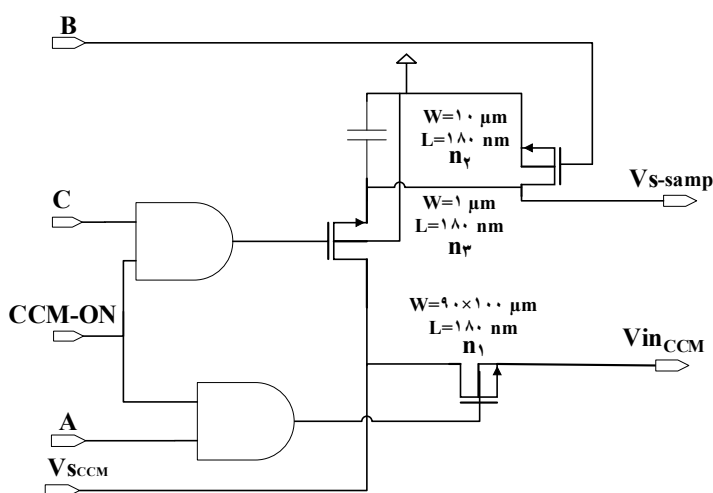
حال اگر این مقدار برابر $\overline{0000}$ باشد، یعنی ولتاژ ورودی کمتر از 165 میلی‌ولت است و باید حالت کاری هدایت پیوسته خاتمه پیدا کند و به این ترتیب ولتاژ CCM-END برابر $1/8$ ولت خواهد شد. در

غیر این صورت برابر صفر باقی خواهد ماند.

بخش آغازگر حالت کاری CCM نیز برای تنظیم پالس qp_{CCM} در لحظه‌ی گذر از حالت هدایت ناپیوسته به پیوسته طراحی شده است تا در مدت کوتاهی که واحد کنترلی حالت هدایت پیوسته در حال روشن شدن است از تخلیه‌ی ناخواسته خازن خروجی به خاطر روشن ماندن کلید HS_{CCM} جلوگیری کند. پس با استفاده از پالس clk_{qp-off} ($T_{CLKqp-off} = T_{in-max}$) که با روشن شدن حالت کار هدایت پیوسته شروع به کار می‌کند توسط یک شمارنده‌ی دو بیتی پس از سه لبه‌ی بالا رونده ($\overline{Q_1} = 0$) دستور شروع به کار qp_{CCM} صادر می‌شود. تا قبل از این دستور، qp_{CCM} در سطح منطقی بالا باقی می‌ماند و کلید HS_{CCM} را خاموش نگه می‌دارد.

۴-۱-۴-۴ واحد نمونه بردار ورودی

همان‌طور که در بخش مبدل آنالوگ به دیجیتال بیان شد، برای تنظیم تطبیق امپدانس باید ولتاژ ورودی نمونه گرفته شده با ولتاژهای مرجع مختلف مقایسه شود. برای نمونه برداری از ولتاژ منبع (V_S)، برای مدتی کوتاه مبدل افزایشنده از منبع جدا شده و سپس مقدار آن در یک خازن ذخیره می‌گردد. این کار توسط واحد نمونه بردار ورودی که در واحد CCM (شکل ۴-۱۳) قرار دارد، صورت می‌گیرد (شکل ۴-۲۱).

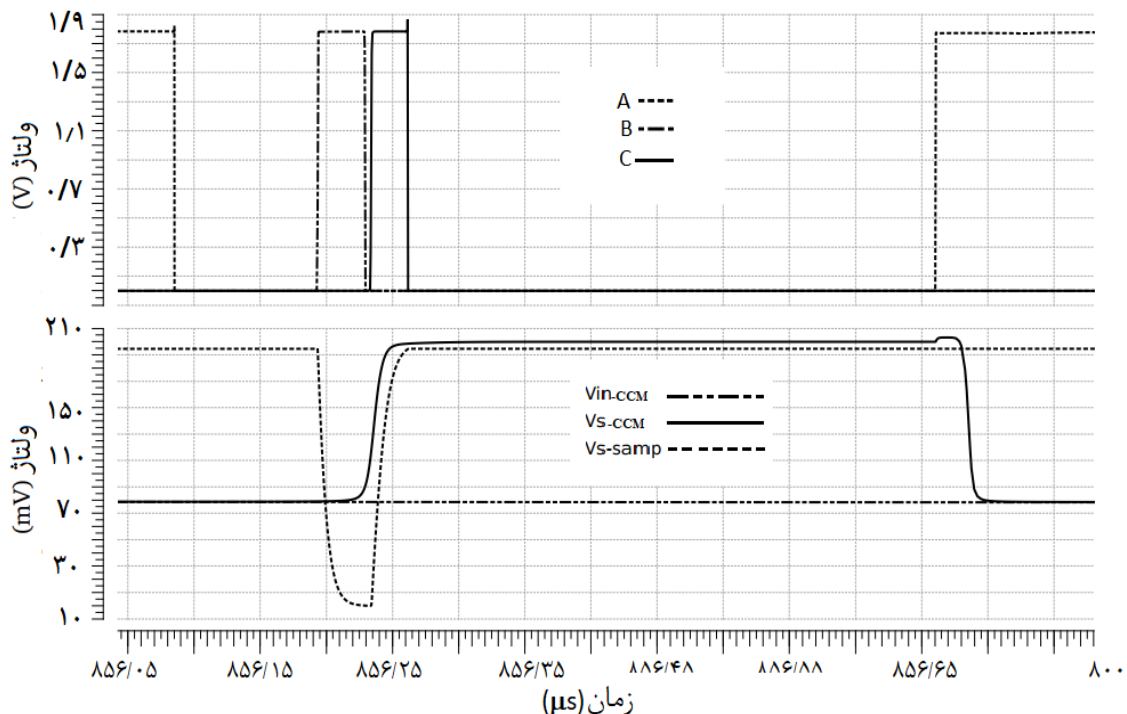


شکل ۴-۲۱: واحد نمونه بردار ورودی.

زمانی که در حالت هدایت پیوسته قرار داریم $CCM-ON=1/8V$ است و واحد نمونه‌بردار ورودی فعال است.

شکل موج پالس‌های کنترلی و ولتاژهای واحد نمونه‌بردار در شکل ۴-۲۲ نشان داده شده است. همان‌طور که از این شکل نیز پیداست، بر اساس ولتاژهای کنترلی A، B و C در حالت اولیه کلید n_1 روشن و کلید n_2 و n_3 خاموش هستند. حال برای نمونه‌گیری ولتاژ در گام اول کلید n_1 خاموش می‌شود تا ورودی مبدل از منبع جدا شده و ولتاژ V_{SCCM} دقیقاً با ولتاژ منبع برابر گردد. سپس کلید n_2 روشن می‌شود و خازن C_1 را تخلیه می‌کند و پس از آن مجدداً خاموش می‌شود. لحظه‌ای بعد کلید n_3 روشن می‌شود و ولتاژ V_s را در خازن C_1 ذخیره می‌کند حال این کلید نیز خاموش می‌شود، کلید n_1 روشن می‌شود و این چرخه تکرار می‌گردد. لازم به ذکر است که این چرخه تنها به ازای هر ۱۶ باری که کلید سمت بالا خاموش می‌شود تکرار می‌شود تا از مصرف توان بیشتر جلوگیری شود ($t_{onC}=28ns$, $t_{onB}=36ns$).

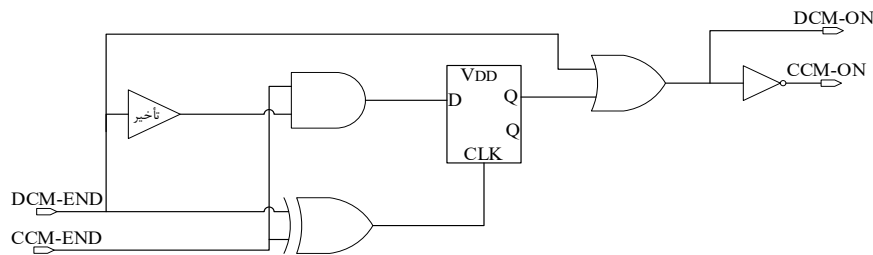
$$(T_A=16 \times T_{qCCM} \text{ و } t_{offA}=580ns)$$



شکل ۴-۲۲: پالس‌های کنترلی موجود در واحد نمونه‌بردار ورودی (A، B و C به ترتیب برای کنترل کلیدهای n_1 تا n_3)، ولتاژ منبع (V_{SCCM})، ولتاژ ورودی مبدل (V_{inCCM}) و ولتاژ نمونه‌گیری شده در خازن C_1 (V_{s-samp}).

۴-۵ واحد انتخابگر حالت کاری

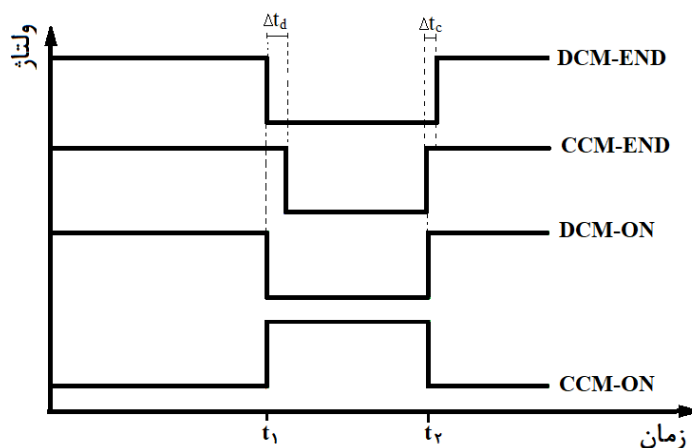
در نهایت واحد انتخابگر حالت کاری (شکل ۴-۲۳) که آخرین واحد موجود در مبدل افزایشدهی پیشنهادی (شکل ۴-۱) است بررسی می‌شود.



شکل ۴-۲۳: واحد تغییر حالت کاری مبدل افزایشدهی.

این واحد با استفاده از دو پالس DCM-END و CCM-END به نحوی پالس DCM-ON و CCM-ON را تولید می‌کند که پس از تشخیص پایان یک حالت کاری، مدار کنترل حالت کاری فعلی و بعدی به ترتیب خاموش و روشن شوند.

وضعیت پالس‌های DCM-END، CCM-END، DCM-ON و CCM-ON در لحظه‌ی تغییر حالت کاری از هدایت ناپیوسته (t_1) به پیوسته و برعکس (t_2) در شکل ۴-۲۴ نشان داده شده است.



شکل ۴-۲۴: وضعیت پالس‌های موجود در واحد تغییر حالت کاری مبدل افزایشدهی در لحظه‌ی تغییر از حالت هدایت ناپیوسته (t_1) به پیوسته و برعکس (t_2).

در لحظه‌ی شروع به کار مطابق با شکل ۴-۲۴، CCM-END و DCM-END برابر $1/8$ ولت هستند. بنابراین مدار در حالت کاری هدایت ناپیوسته قرار دارد. همچنین CCM-ON صفر و DCM-ON برابر $1/8$ ولت است که به ترتیب بیانگر خاموش بودن حالت هدایت پیوسته و روشن بودن حالت هدایت ناپیوسته است. به محض تشخیص پایان حالت کاری توسط مدار تشخیص دهنده‌ی پایان DCM-، DCM- END به صفر تغییر می‌یابد. در این لحظه ورودی فلیپ‌فلاپ D از $1/8$ ولت به صفر تغییر یافته و همزمان مقدار CLK_{DS} نیز از صفر به $1/8$ ولت افزایش می‌یابد.

به این ترتیب ورودی فلیپ فلاپ D به خروجی آن منتقل شده و Q صفر خواهد شد. در نهایت مقدار پالس CCM-ON برابر $1/8$ ولت و DCM-ON صفر خواهد بود. به این ترتیب مدار کنترل حالت هدایت ناپیوسته خاموش و مدار کنترل حالت هدایت پیوسته روشن می‌شود و پس از مدت کوتاهی (Δt_d)، پالس CCM-END نیز به صفر تغییر می‌یابد. حال اگر ولتاژ ورودی از 165 میلی‌ولت کمتر شود، مدار تغییر حالت CCM دستور تغییر حالت کاری مبدل را صادر می‌کند ($CCM-END=1/8V$) و به این ترتیب پالس CCM-ON به صفر و DCM-ON به $1/8$ ولت تغییر می‌یابد، و در نهایت پس از مدتی (Δt_c)، DCM-END نیز $1/8$ ولت خواهد شد تا برای تغییر حالت بعدی آماده باشد.

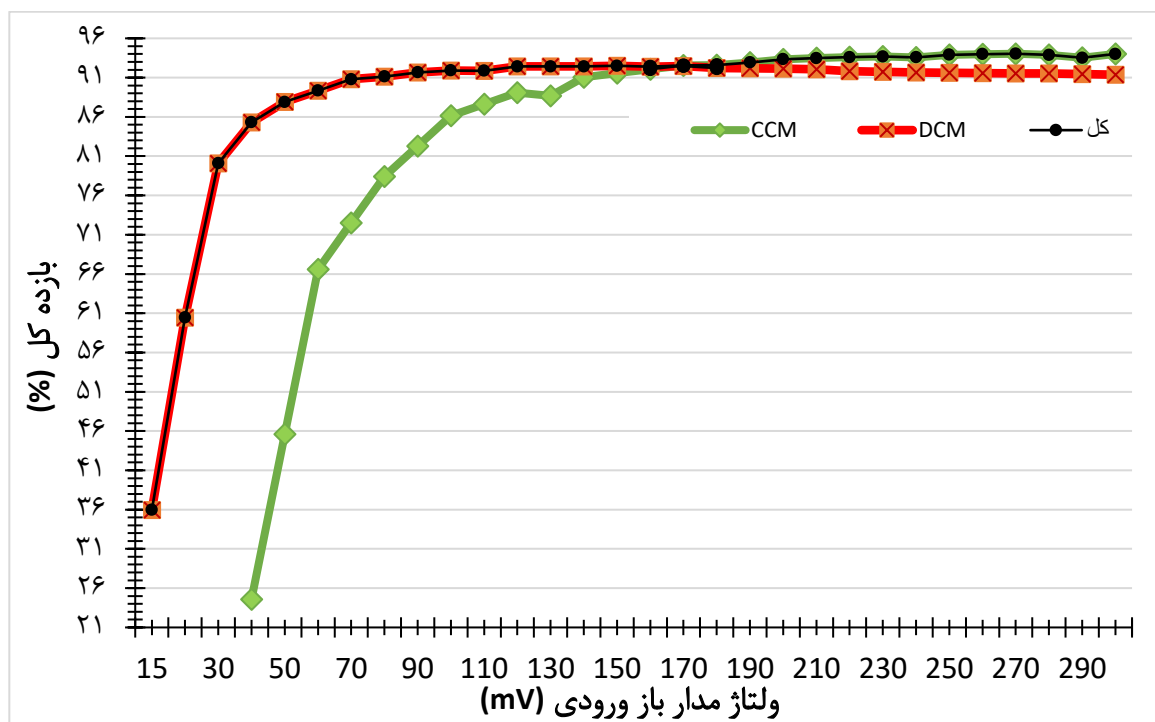
حال که مبدل افزاینده‌ی پیشنهادی در این فصل طراحی شده است، وقت آن فرا می‌رسد که این مبدل پیشنهادی شبیه‌سازی شده و نتایج حاصل از آن بررسی گردد.

فصل ۵ نتیجه سازی

در این فصل نتایج حاصل از شبیه‌سازی مبدل افزایشدهی پیشنهادی در نرم افزار Cadence-Virtuoso و فناوری ۱۸۰ نانومتر ارائه خواهد شد و نحوه‌ی عملکرد آن در شرایط مختلف ولتاژ ورودی، بار خروجی و ... بررسی خواهد شد.

۵-۱ بازده مبدل پیشنهادی

همان‌طور که در فصل‌های قبل بیان شد مبدل افزایشدهی باید در ولتاژهای بین ۱۵ تا ۱۷۵ میلی‌ولت در حالت هدایت ناپیوسته و در ولتاژهای بین ۱۶۵ تا ۳۰۰ میلی‌ولت در حالت هدایت پیوسته کار کند. مقدار ولتاژ مرزی بدست آمده از طراحی نیز طبق رابطه‌ی (۴-۴۸)، $170/4$ میلی‌ولت بدست آمده بود. بر این اساس برای راستی آزمایی این مقدار، مبدل افزایشدهی در تمام بازه‌ی ولتاژ ورودی (۱۵ تا ۳۰۰ میلی‌ولت) یک بار در حالت هدایت پیوسته و بار دیگر در حالت هدایت ناپیوسته شبیه‌سازی شده‌است تا ولتاژی که در آن بازده‌ی حالت هدایت پیوسته و ناپیوسته برابر می‌شود بدست آید. نتایج این شبیه‌سازی در شکل ۵-۱ نشان داده شده‌است.



شکل ۵-۱: بازده کل حاصل از شبیه‌سازی مبدل افزایشدهی در حالت پیشنهادی، حالت هدایت پیوسته و حالت هدایت ناپیوسته.

لازم به ذکر است که در این شبیه‌سازی، واحد انتخاب‌گر حالت کاری مبدل افزایشدهی پیشنهادی از ولتاژ ۱۵ تا ۱۷۵ میلی‌ولت در حالت هدایت ناپیوسته و ولتاژ ۱۶۵ تا ۳۰۰ میلی‌ولت در حالت هدایت پیوسته، فعال بوده است. اما از آنجا که با فعال بودن این واحد در ولتاژ ۱۵ تا ۱۶۵ میلی‌ولت در حالت هدایت پیوسته و یا ولتاژ ۱۷۵ تا ۳۰۰ میلی‌ولت در حالت هدایت ناپیوسته، خروجی آن (DCM-ON و CCM-ON) اجازه‌ی کار در این حالت‌ها را نخواهد داد، پس ولتاژهای DCM-ON و CCM-ON به صورت دستی در مقدار صفر و ۱/۸ ولت و برعکس تنظیم می‌شوند تا تغییر حالتی رخ نداده و بتوان بازدهی بیشینه را در تمام ولتاژهای ورودی برای هر دو حالت کاری بدست آورد.

همان‌طور که انتظار می‌رفت، از ولتاژ ۱۷۰ میلی‌ولت به بعد، حالت هدایت پیوسته و در ولتاژهای کمتر از آن، حالت هدایت ناپیوسته کارآمدتر است. بنابراین مشخص می‌گردد که مقدار تئوری ولتاژ مرزی (۱۷۰/۴ میلی‌ولت) کمتر از ۱ میلی‌ولت خطا دارد.

هم چنین با توجه به این شکل (۵-۱) می‌توان دریافت که در حالت هدایت ناپیوسته کمترین مقدار بازده مبدل در ولتاژ مدار باز ۱۵ میلی‌ولت برابر ۳۵/۹ درصد است. از ولتاژ ۲۰ میلی‌ولت به بعد، بازده بیشتر از ۶۰ درصد خواهد بود. بیشترین بازده حالت کاری هدایت ناپیوسته نیز در ولتاژ مدار باز ۱۵۰ میلی‌ولت رخ می‌دهد که برابر ۹۲/۵ درصد است و از این ولتاژ به بعد شیب بازده مبدل در این حالت کاری کاهشی خواهد بود. در حالت هدایت پیوسته نیز کمترین مقدار بازدهی مبدل در ولتاژ مدار باز ۴۰ میلی‌ولت رخ داده و برابر ۲۴/۶ درصد است. همچنین بازدهی بیشینه در این حالت کاری در ولتاژ مدار باز ۳۰۰ میلی‌ولت برابر ۹۴/۳ درصد خواهد بود.

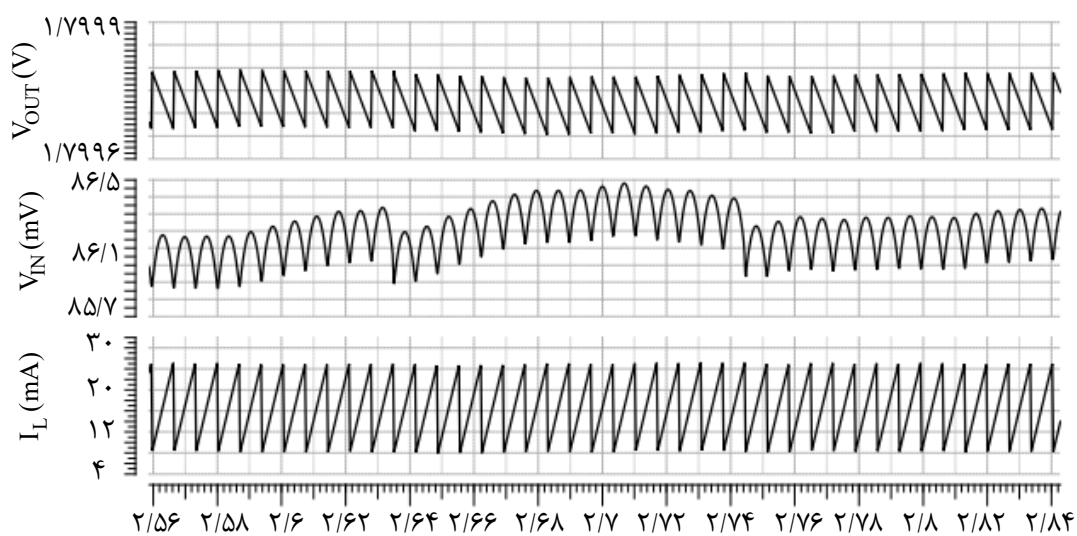
همان‌طور که مشخص است اگر قرار بود تنها حالت کاری هدایت ناپیوسته برای برداشت انرژی حرارتی انتخاب شود بازده بیشینه‌ی مبدل به ۹۲/۵ درصد محدود می‌شد و اگر قرار بود مدار تنها در حالت هدایت پیوسته کار کند حداقل ولتاژ مدار باز ورودی به ۴۰ میلی‌ولت و بازده‌ای کمتر از ۲۵

درصد محدود می‌شد. علاوه بر این حتی در ولتاژ ۵۰ میلی‌ولت هم بازده مدار به ۶۰ درصد نمی‌رسید. اما در اینجا با استفاده از روش تغییر حالت کاری از مزیت هر دو حالت کاری بهره گرفته شده است و به این ترتیب در یک دامنه‌ی ولتاژ ورودی بزرگتر، بازده بیشینه‌ی بالاتری نیز نسبت به استفاده از تک حالت هدایت ناپیوسته بدست آمده است. بیشترین اختلاف بازده مبدل نیز در بازده‌های بیشتر از ۹۰ درصد، در ولتاژ ۳۰۰ میلی‌ولت رخ داده است که برابر ۲/۶ درصد است.

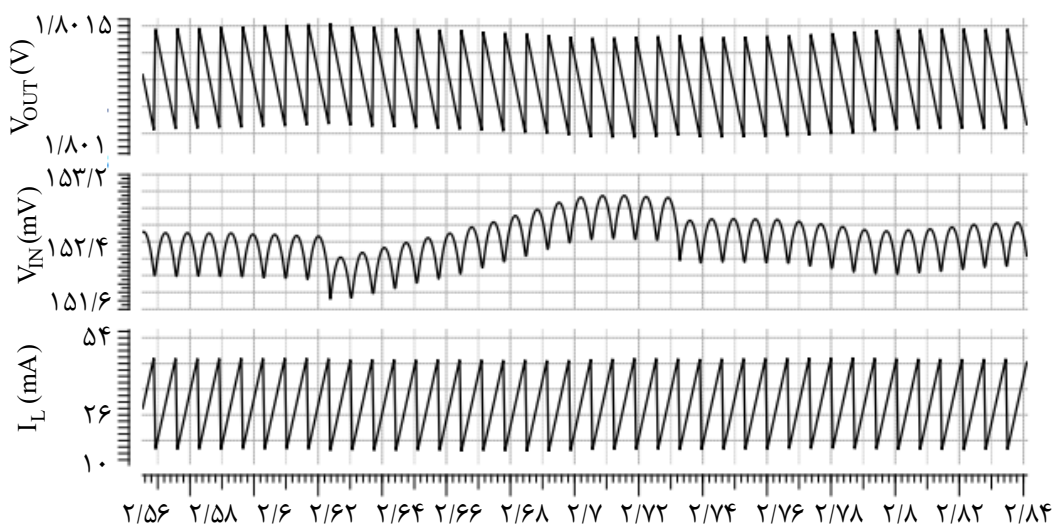
۵-۲ شکل موج‌های خروجی مبدل پیشنهادی

در شکل ۵-۲ (الف) و (ب) ولتاژ خروجی (V_{OUT})، ولتاژ ورودی مبدل (V_{IN}) و جریان سلف (I_L) به ترتیب در ولتاژهای ورودی ۱۶۵ و ۳۰۰ میلی‌ولت که مدار در حالت هدایت پیوسته کار می‌کند نشان داده شده است. همان‌طور که در شکل ۵-۲ (الف) مشخص است متوسط مقدار ولتاژ ورودی مبدل در نزدیک نیمی از ولتاژ ورودی (۱۷۰ میلی‌ولت) قرار دارد و برابر ۸۶/۱ میلی‌ولت است که به این ترتیب تطبیق امپدانس با خطای ۱/۳ درصد برقرار است. ولتاژ متوسط خروجی نیز ۱/۷۹۹ ولت است و نوسان آن تنها ۰/۱۸ میلی‌ولت یعنی ۰/۰۱ درصد ولتاژ خروجی است. جریان سلف هم بین ۲۵/۴ و ۸ میلی‌آمپر قرار دارد که تاییدی بر عملکرد مدار در حالت هدایت پیوسته است و به این ترتیب α_{CCM} حاصل از شبیه‌سازی در ولتاژ ۱۷۰ میلی‌ولت برابر ۰/۷۵ بدست می‌آید. لازم به ذکر است که در این حالت خروجی واحد کنترل ورودی ($b_3b_2b_1b_0$) برابر $\overline{0001}$ است که طبق جدول ۴-۴ درستی مقدار دیجیتالی شده‌ی ۱۷۰ میلی‌ولت را نشان می‌دهد.

به همین ترتیب وضعیت مدار به ازای ولتاژ ورودی ۳۰۰ میلی‌ولت بررسی می‌شود (شکل ۵-۲ (ب)). متوسط مقدار ولتاژ ورودی و درصد برقراری تطبیق امپدانس در این حالت به ترتیب برابر ۱۵۲/۴ میلی‌ولت و ۹۸/۳۳ درصد است. ولتاژ متوسط خروجی ۱/۸ ولت بوده و نوسان آن ۰/۰۲۷ درصد است. جریان سلف نیز بین ۴۴/۱ و ۱۴/۷ میلی‌آمپر قرار دارد. در این ولتاژ، خروجی واحد کنترل ورودی ($b_3b_2b_1b_0$) برابر $\overline{1110}$ است که در این ولتاژ نیز مقدار دیجیتالی شده صحیح است.



(الف)

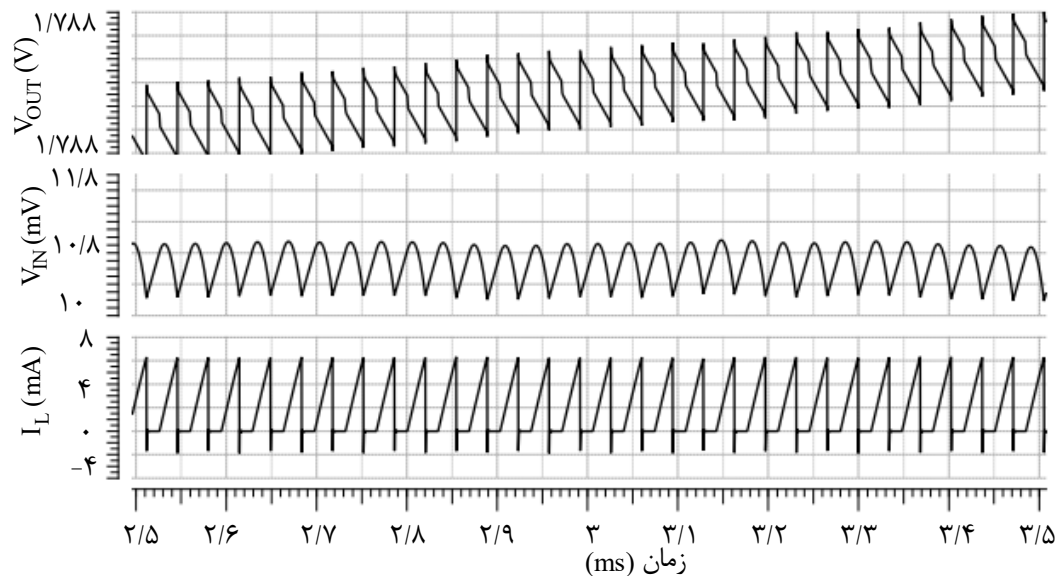


(ب)

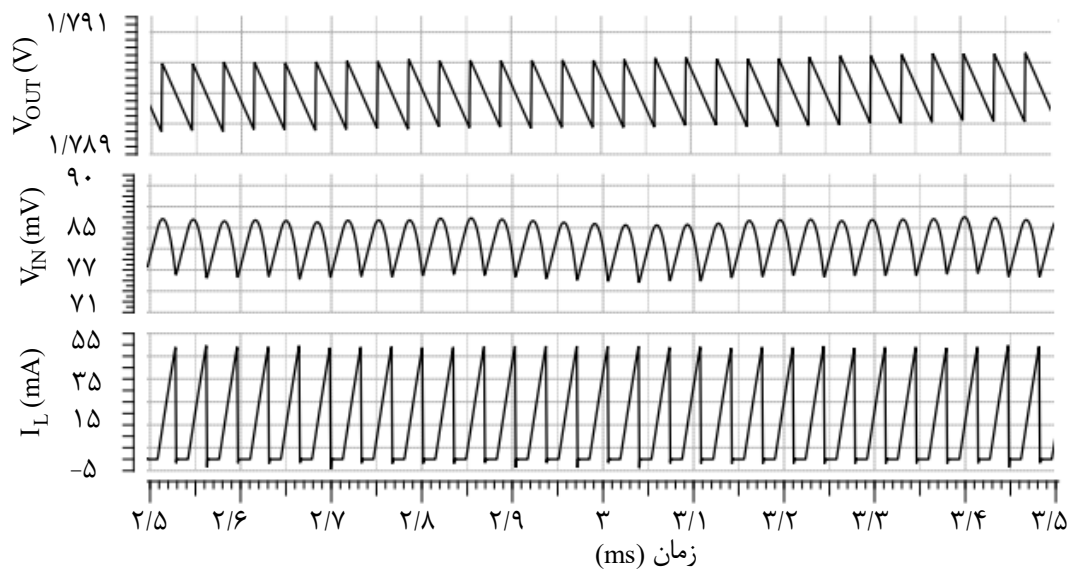
شکل ۵-۲: شکل موج ولتاژ خروجی، ولتاژ ورودی و جریان سلف در در ولتاژ ورودی (الف) ۱۷۰ و (ب) ۳۰۰ میلی‌ولت.

در شکل ۵-۳ (الف) و (ب) نیز نتایج شبیه‌سازی مبدل افزایشدهی پیشنهادی در ولتاژ ۲۰ و ۱۶۰ میلی‌ولت که در بازه‌ی حالت کاری هدایت ناپیوسته قرار دارند، ارائه شده است. باتوجه به شکل ۵-۳ (الف)، متوسط مقدار ولتاژ ورودی مبدل در ولتاژ ۲۰ میلی‌ولت، ۱۰/۶ میلی‌ولت است و ۹۴/۳۳ درصد تطبیق امپدانس برقرار است. همچنین ولتاژ متوسط خروجی نیز ۱/۷۸۸ ولت است. بیشینه جریان سلف

نیز $6/3$ میلی آمپر بوده و به این ترتیب α_{DCM} برابر $1/575$ است. همان‌طور که انتظار میرفت در زمان مرده این جریان سلف در صفر باقی مانده است. لازم به ذکر است که در این حالت خروجی شمارنده‌ی موجود در واحد تولید qpDCM بین 10001 و 10010 تغییر می‌کند که طبق جدول ۴-۲ درستی عملکرد مدار کلیدزنی جریان صفر تصدیق می‌شود.



(الف)



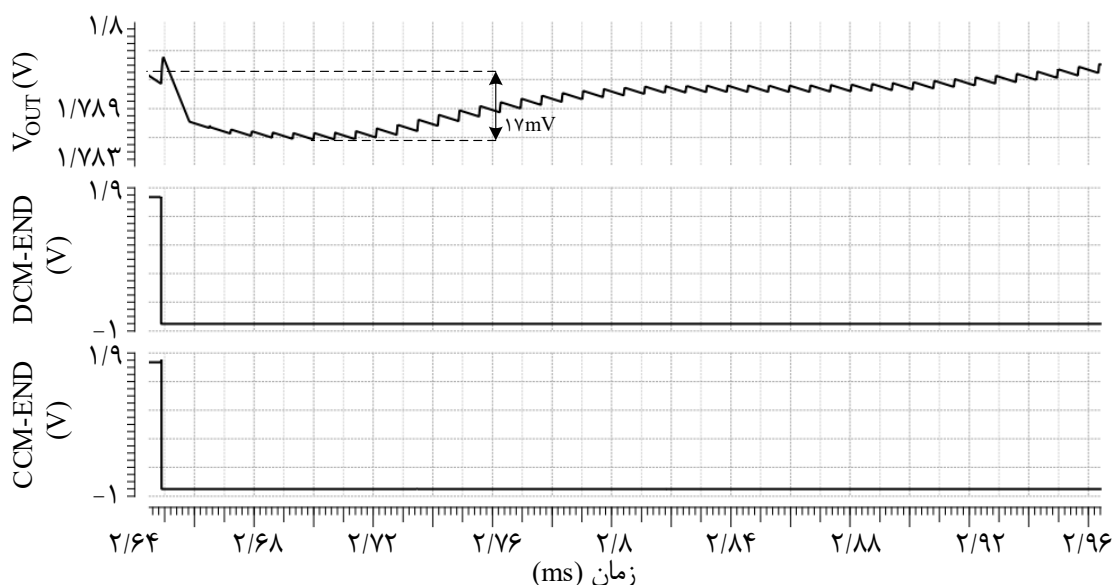
(ب)

شکل ۵-۳: شکل موج ولتاژ خروجی، ولتاژ ورودی و جریان سلف در در ولتاژ ورودی (الف) ۲۰ و (ب) ۱۶۰ میلی‌ولت.

سپس مدار در ولتاژ ۱۶۰ میلی‌ولت شبیه‌سازی می‌شود که نتایج آن در شکل ۵-۳ (ب) نشان داده شده است. در این ولتاژ متوسط مقدار ولتاژ ورودی و درصد برقراری تطبیق امپدانس به ترتیب ۸۲/۵ میلی‌ولت و ۹۶/۸ درصد است. ولتاژ متوسط خروجی نیز ۱/۷۹۸ ولت است. در این ولتاژ، جریان بیشینه‌ی سلف ۵۰ میلی‌آمپی خواهد بود و خروجی شمارنده‌ی واحد تولید qpDCM به درستی بین ۱۱۱۱۱ و ۰۰۰۰۰ تغییر می‌کند.

۵-۲-۱ تغییر حالت کاری

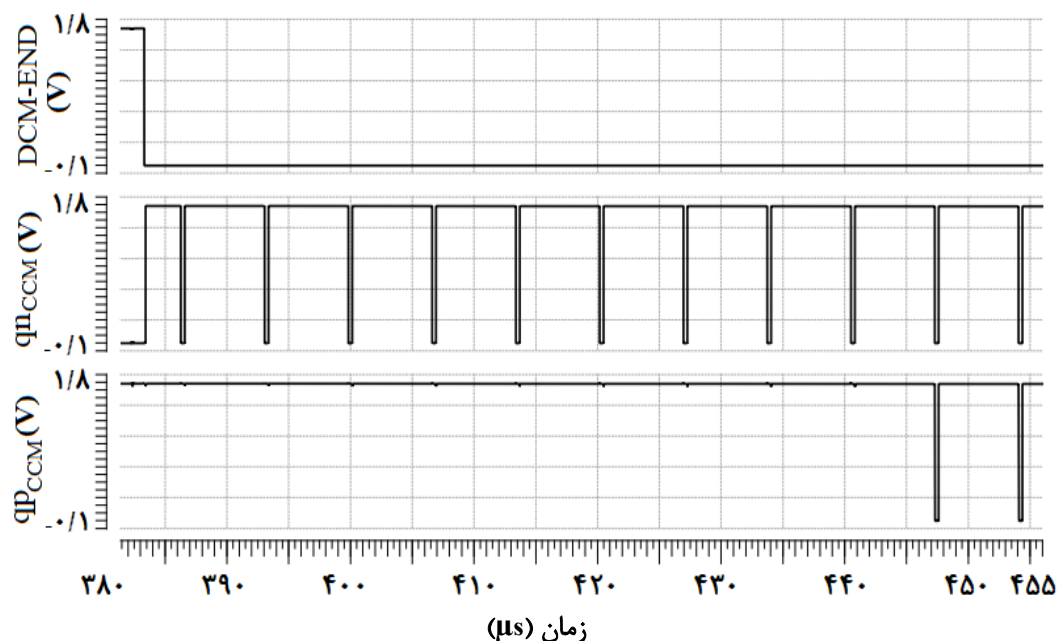
حال که عملکرد صحیح مدار در هر دو حالت هدایت پیوسته و ناپیوسته تایید شد، در ادامه عملکرد بخش تغییردهنده‌ی حالت کاری بررسی می‌شود. برای دستیابی به این هدف با اعمال یک ولتاژ متغیر با زمان در ورودی، رفتار مدار هنگام تغییر ولتاژ از ۱۶۰ به ۱۷۶ و برعکس بررسی می‌گردد. ابتدا یک ولتاژ متغیر با زمان که در ۱/۹ میلی‌ثانیه از ۱۶۰ به ۱۷۶ میلی‌ولت تغییر پیدا می‌کند به ورودی مبدل افزاینده اعمال می‌شود (شکل ۵-۴).



شکل ۵-۴: وضعیت ولتاژ خروجی (V_{out})، پالس تشخیص دهنده‌ی اتمام حالت هدایت پیوسته (CCM-END) و ناپیوسته (DCM-END) در هنگام تغییر حالت کاری از هدایت ناپیوسته به پیوسته. مدار در بار کامل و ولتاژ ورودی متغیر در ۱/۹ میلی‌ثانیه از ۱۶۰ به ۱۷۶ میلی‌ولت شبیه‌سازی شده است.

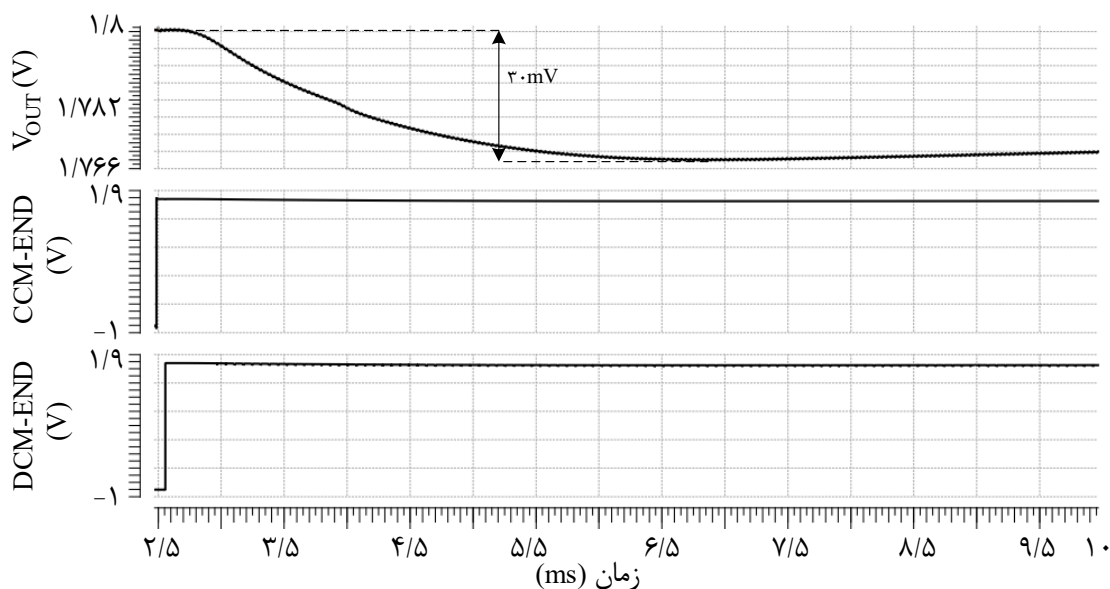
همان‌طور که در این شکل مشخص است، تقریباً در $2/64$ میلی‌ثانیه یعنی حدود 700 میکروثانیه بعد از تغییر ولتاژ ورودی، مدار تشخیص پایان حالت کاری DCM دستور پایان حالت کاری را صادر می‌کند (DCM-END برابر صفر) و مدار از حالت هدایت ناپیوسته به پیوسته می‌رود. بعد از مدتی خروجی مدار تشخیص پایان حالت کاری CCM نیز وضعیت ولتاژ ورودی را بررسی و خروجی خود را به روز می‌کند (CCM-END برابر صفر). میزان افت ولتاژ خروجی به وجود آمده بر اثر این تغییر حالت کاری در بار کامل برابر 17 میلی‌ولت است که کمتر از $0/95$ درصد خواهد بود.

در شکل ۵-۵ نیز پالس کنترلی گیت کلید سمت بالا (qp_{CCM}) و پایین (qn_{CCM}) حالت هدایت پیوسته در لحظه تغییر ولتاژ DCM-END از $1/8$ ولت به صفر نشان داده شده است. پالس qn_{CCM} قبل از این لحظه در صفر ولت ثابت بوده اما بلافاصله بعد از تغییر ولتاژ DCM-END شروع به نوسان می‌کند با این حال همان‌طور که در فصل قبل بیان شد برای جلوگیری از روشن ماندن بیش از حد کلید سمت بالا در اثر شرایط ناخواسته‌ی تغییر حالت کاری، qp_{CCM} که تا قبل از تغییر ولتاژ DCM-END در $1/8$ ولت ثابت بوده است مدتی پس از تغییر نیز در این مقدار باقی می‌ماند.



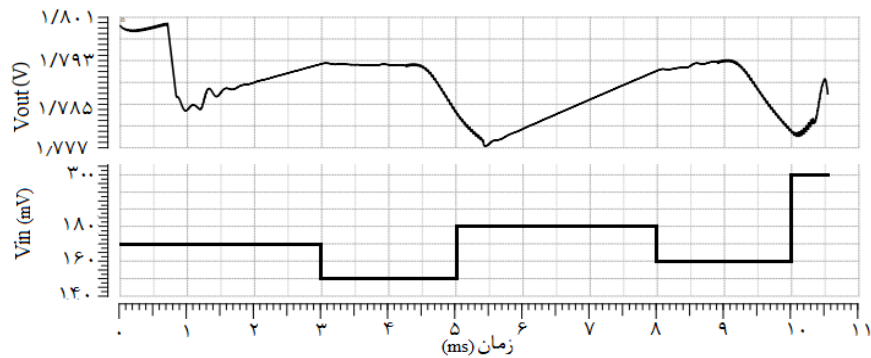
شکل ۵-۵: پالس کنترلی گیت کلید سمت بالا (qp_{CCM}) و پایین (qn_{CCM}) حالت هدایت پیوسته در لحظه‌ی تغییر حالت کاری از هدایت ناپیوسته به پیوسته.

در شکل ۵-۶ نیز وضعیت اعمال یک ولتاژ ورودی متغیر از ۱۷۶ به ۱۶۰ نشان داده شده است. ۴۰۰ میکروثانیه بعد از اعمال تغییر، مدار تشخیص پایان حالت کاری CCM دستور اتمام این حالت را صادر می‌کند ($CCM-END=1/8V$)، بنابراین مبدل افزایشده به حالت کاری هدایت ناپیوسته می‌رود. بعد از مدتی خروجی مدار تشخیص پایان حالت کاری DCM نیز با توجه به تغییر ولتاژ ورودی، خروجی خود را به روز می‌کند ($DCM-END=1/8V$). در این حالت ولتاژ خروجی پس از تغییر حالت کاری از هدایت ناپیوسته به پیوسته در بار کامل ۳۰ میلی‌ولت (کمتر از ۱/۷ درصد ولتاژ خروجی) افت پیدا می‌کند.



شکل ۵-۶: وضعیت ولتاژ خروجی (V_{out})، پالس تشخیص دهنده‌ی اتمام حالت هدایت پیوسته ($CCM-END$) و ناپیوسته ($DCM-END$) در هنگام تغییر حالت کاری از هدایت پیوسته به ناپیوسته. مدار در بار کامل و ولتاژ ورودی متغیر در ۲ میلی‌ثانیه از ۱۷۶ به ۱۶۰ میلی‌ولت شبیه‌سازی شده است.

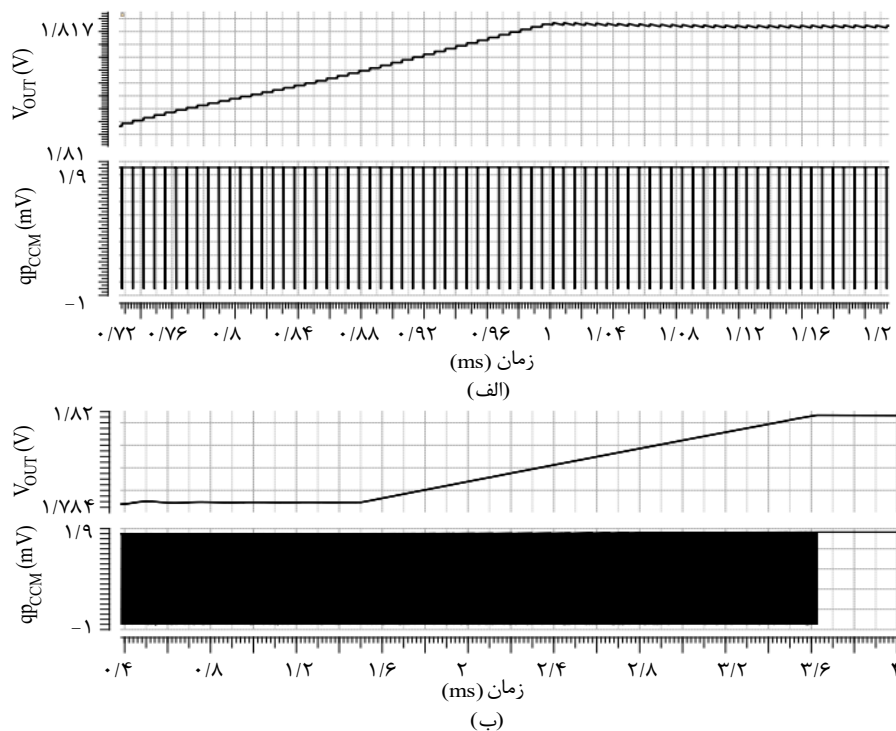
در نهایت برای بررسی پایداری مدار بر اثر تغییر پی در پی حالت کاری، یک ولتاژ متغیر که به ترتیب به ۱۷۰، ۱۵۰، ۱۸۰، ۱۶۰ و ۳۰۰ میلی‌ولت تغییر می‌یابد در مقاومت بار ۳/۱۱ کیلو اهم به ورودی مدار اعمال شده است. در شکل ۵-۷ به خوبی مشخص است که مدار، تغییر ولتاژ ورودی در یک بازه‌ی زمانی کوتاه را تحمل می‌کند.



شکل ۵-۷: خروجی مدار به ازای یک ولتاژ متغیر (به ترتیب ۱۷۰، ۱۵۰، ۱۸۰، ۱۶۰ و ۳۰۰ میلی‌ولت) و مقاومت بار ۳/۱۱ کیلو اهم.

۵-۲-۲ اثر تغییر بار بر ولتاژ خروجی

حال از آنجا که یک تنظیم‌کننده‌ی ولتاژ باید بتواند در هر شرایط باری در محدوده بار معلوم ولتاژ خروجی را در یک مقدار مشخص ثابت نگه دارد، پاسخ مدار به تغییر بار از حالت بی‌باری به بار کامل و برعکس بررسی شده و ولتاژ خروجی مدار در این شرایط به ترتیب در شکل ۵-۸ (الف) و (ب) نشان داده شده است.



شکل ۵-۸: ولتاژ خروجی و پالس کنترلی کلید سمت بالا با تغییر مقاومت خروجی مبدل افزایشدهی پیشنهادی (الف) از حالت بی‌باری به بار کامل در ۱ میلی‌ثانیه و (ب) از حالت بار کامل به باری در ۱/۵ میلی‌ثانیه و ولتاژ ورودی ۱۷۰ میلی‌ولت.

همچنین پالس کنترلی کلید سمت بالا (qpccm) نیز رسم شده است تا عملکرد واحد تنظیم ولتاژ نیز مشخص شود.

همان‌طور که از شکل ۵-۸ (الف) پیدا است، از آنجا که در لحظه‌های کمتر از ۱ میلی‌ثانیه باری در خروجی مبدل افزایش یافته وجود ندارد، ولتاژ خروجی به سرعت رشد می‌کند اما قبل از اینکه به ولتاژ تنظیم‌شده‌ی خروجی (۱/۸۱ ولت) برسد بار ۲/۴۱۵ کیلو اهمی به خروجی مبدل متصل می‌شود و بنابراین خروجی شروع به کاهش می‌کند. با این حال در لحظه‌ی تغییر بار (۱ میلی‌ثانیه) مدار به عملکرد خود ادامه می‌دهد و پالس کنترلی کلید سمت بالا (qpccm) به درستی نوسان می‌کند.

در شکل ۵-۸ (ب) نیز مبدل افزایش یافته ابتدا در بار کامل (۲/۴۱۵ کیلو اهم) در حال کار است، سپس در لحظه ۱/۵ میلی‌ثانیه بار از خروجی مبدل افزایش یافته جدا می‌شود، در این لحظه ولتاژ خروجی به سرعت افزایش می‌یابد و در حدود ۳/۶ میلی‌ثانیه به ولتاژ مرجع واحد تنظیم ولتاژ (۱/۸۱ ولت) می‌رسد. بنابراین پالس کنترلی کلید سمت بالا (qpccm) در ۱/۸ ولت ثابت می‌شود تا از شارژ بیشتر خازن خروجی جلوگیری شود که این رفتار مدار عملکرد صحیح واحد تنظیم ولتاژ را نشان می‌دهد و از آنجا که در لحظه‌ی تغییر حالت پالس qpccm به درستی نوسان می‌کند، مشخص می‌گردد که تغییر بار مدار از حالت بار کامل به بی‌باری نیز مشکلی در مدار به وجود نمی‌آورد.

در آخر نیز نتایج به دست آمده در این کار با سایر کارهای انجام شده مقایسه خواهد شد. همان‌طور که در جدول ۵-۱ مشاهده می‌شود، در بین کارهای انجام شده مبدل افزایش یافته‌ی پیشنهادی بیشترین بازده را ارائه داده است. ولتاژ خروجی نیز نسبت به سایر کارها بیشتر است که این بالا بودن ولتاژ باعث شده تا بازده حداقل در کار ما نسبت به [۴]، [۱۷]، [۱۹] و [۳۶] کمتر باشد. همچنین از آنجا که در ولتاژهای ورودی پایین اختلاف توان مدار کنترل و بیشینه توان ورودی بسیار در بازده مبدل اثر دارد و مقاومت ورودی منابع مختلف، متفاوت است برای مقایسه‌ی حداقل ولتاژ ورودی باید به بیشینه توان

ورودی در دسترس نیز توجه کرد. باید توجه داشت که نسبت به [۸]، [۱۵]، [۱۶]، [۱۷] و [۱۹] نیز بازه‌ی ورودی افزایش یافته است.

جدول ۵-۱ مقایسه مبدل افزاینده‌ی پیشنهادی با سایر کارهای انجام شده.

کار	[۴]	[۸]	[۱۹]	[۱۶]	[۱۷]	[۳۶]	مبدل پیشنهادی
سال	۲۰۱۸	۲۰۱۸	۲۰۱۸	۲۰۲۱	۲۰۲۰	۲۰۲۱	۲۰۲۱
فناوری (نانومتر)	۱۸۰	۶۵	۶۵	۱۳۰	۱۸۰	۱۸۰	۱۸۰
حالت کاری	BCM	DCM	DCM	DCM	DCM	DCM.CCM	DCM و CCM
منبع ورودی	TEG	TEG	TEG	TEG	TEG	TEG	TEG
بیشینه توان خروجی (میلی‌وات)	۶/۴۸	۳/۴	۱/۸	-	۱/۵۲	۳/۶۳۵	۴/۲۳*
ولتاژ منبع (میلی‌ولت)	۴۰۰-۱۲	۲۰۰-۴۰	۲۴۰-۷	۲۲۰-۸۰	۲۰۰-۳،۵	۵۰۰-۱۰*	۳۰۰-۱۵*
بیشینه بازده (درصد)	۹۰/۸ در	۷۵	۷۴/۵	۷۲/۱ در	۸۲	۹۳/۶ در	۹۴* در
	۱۸۰ میلی‌ولت			۱۶۰ میلی‌ولت		۲۸۰ میلی‌ولت	۳۰۰ میلی‌ولت
حداقل بازده (درصد)	۲۰	۱۰	-	۳۰	۳۰	۳۹	۳۵/۹۵
ولتاژ خروجی (V)	۱/۴-۱	۱،۱	-	۰/۳	۱/۲	حدود ۱/۴	۱/۸*
نسبت تبدیل بیشینه	۱۱۶/۶۶	۲۷/۵	-	۳/۷۵	۳۴۲/۸۵*	۱۴۰*	۱۲۰
مقاومت ورودی	۵	۲/۲	۵	۵	۵	-	۵

فصل ۶ نتیجه گیری و پیشنهاد

۶-۱ نتیجه‌گیری

در این پایان‌نامه به بررسی مبدل افزایشدهی مناسب برای برداشت انرژی حرارتی بدن انسان پرداخته شده است. همچنین انواع اتلاف موجود در این نوع مبدل‌ها از جمله اتلاف هدایتی و کلیدزنی در حالت‌های کاری هدایت پیوسته و ناپیوسته بررسی شده و مشخص گردید که مجموع تلفات هدایتی و کلیدزنی در ولتاژهای کم، در حالت هدایت ناپیوسته کمینه است و با افزایش ولتاژ ورودی مقدار این تلفات در حالت هدایت پیوسته کمتر از حالت هدایت ناپیوسته خواهد شد و بر این اساس ایده‌ی تغییر حالت کاری مدار مطرح گردید.

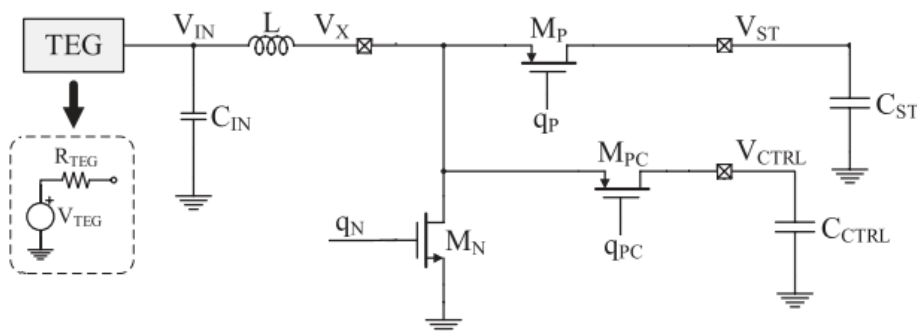
در این پایان‌نامه روابط جریان و تلفات بررسی گشت و بر اساس آن‌ها ولتاژ مرزی که در آن بازده حالت کاری هدایت پیوسته و ناپیوسته برابر می‌شوند بر اساس مقادیر عناصر مبدل افزایشده بدست آمد. سپس مدار کنترل برای هر حالت کاری به نحوی طراحی شد که کمترین توان مصرفی را دارا باشد تا به دلیل پایین بودن توان ورودی در این کاربرد، موجب کاهش چشم‌گیر بازده مبدل افزایشده نشود. همچنین یک مدار کنترل برای تغییر حالت کاری مدار ارائه گشت که تنها ۲۰ نانوات توان مصرف می‌کند.

نتایج بدست آمده از شبیه‌سازی مدار در نرم‌افزار Cadence-Virtuoso و در فناوری ۱۸۰ نانومتر تایید می‌کند که با تغییر حالت کاری مدار، دامنه‌ی ولتاژ ورودی و بیشینه بازده مبدل افزایشده به طور قابل توجهی بهبود یافته است.

۶-۲ پیشنهادها

در مقاله [۴۰] برای کاهش توان مدار کنترل از سطح میکرووات به نانوات یک مبدل دو خروجی ارائه شده است (شکل ۶-۱) که توسط یک خازن اضافی (C_{CTRL})، مدار کنترل را تغذیه می‌کند و از آنجا

که این خازن هر ۸۰ باری که خازن اصلی مدار (C_{ST}) از مسیر M_P شارژ می‌شود تنها یک بار احتیاج به شارژ دارد، از نظر خازن C_{ST} توان مصرفی مدار کنترل بسیار کم و در حد نانوات حس می‌شود.



شکل ۶-۱: مبدل افزایشدهی دو خروجی [۴۰].

حال با دو خروجی کردن مبدل افزایشدهی پیشنهادی، اختلاف مدار کنترل حالت هدایت پیوسته و ناپیوسته بسیار کاهش یافته و می‌توان از آن در رابطه‌ی ولتاژ مرزی (رابطه ۴-۲۳) صرف نظر کرد و به عبارتی دیگر این ولتاژ مستقل از توان مدار مصرفی مدار کنترل خواهد بود.

همچنین همان‌طور که بیان شد، در این کار ولتاژ مرزی هنگام طراحی بدست می‌آید و سپس مدار تغییر حالت کاری بر اساس آن طراحی می‌شود. اما در روشی دیگر می‌توان با طراحی یک مدار محاسبه نسبت جریان بیشینه‌ی سلف به I_{PEAK0} ، ولتاژ مرزی مناسب برای تغییر حالت کاری را به طور خودکار محاسبه کرد تا بتوان برای هر ولتاژ ورودی بهترین مقدار جریان بیشینه‌ی سلف را انتخاب کرد و با حداقل سازی اتلاف هدایتی از این طریق بازده مبدل را در تمام ولتاژهای ورودی به طور چشم‌گیری افزایش داد و دامنه‌ی ولتاژ ورودی را بزرگتر کرد.

- [1] Y.-Y. Chou *et al.*, “multi-input energy harvesting interface for low-power biomedical sensing system,” in *2014 International Symposium on Next-Generation Electronics (ISNE)*, Taiwan, 2014, pp. 1–2.
- [2] Q. Kuai, Q. Wan, and P. K. T. Mok, “An auto-polarity thermoelectric energy harvesting interface based on a boost/buck-boost converter,” in *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*, Japan, 2019, pp. 1–4.
- [3] S. Bandyopadhyay and A. P. Chandrakasan, “Platform architecture for solar, thermal, and vibration energy combining with MPPT and single inductor,” *IEEE J. Solid-State Circuits*, vol. 47, no. 9, pp. 2199–2215, 2012.
- [4] J. Mu and L. Liu, “A 12 mV input, 90.8% peak efficiency CRM boost converter with a sub-threshold Startup voltage for TEG energy harvesting,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 65, no. 8, pp. 2631–2640, 2018.
- [5] M. Chen, H. Yu, G. Wang, and Y. Lian, “A batteryless single-inductor boost converter with 190 mV self-Startup voltage for thermal energy harvesting over a wide temperature range,” *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 66, no. 6, pp. 889–893, 2019.
- [6] Z. Shang, Y. Zhao, W. Gou, L. Geng, and Y. Lian, “83.9% efficiency 100-mV self-Startup boost converter for thermoelectric energy harvester in IoT applications,” *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 67, no. 9, pp. 1654–1658, 2020.
- [7] L. Liu, P. Zhang, X. Liao, and Z. Zhu, “A single-inductor thermoelectric and photovoltaic hybrid harvesting interface with time-multiplexed technology and accurate zero current detector,” *Microelectronics*, vol. 113, no. 105062, p. 105062, 2021.
- [8] H.-M. Chen, H.-C. Huang, S.-H. Jheng, H.-T. Huang, and Y.-S. Huang, “High-efficiency PFM boost converter with an accurate zero current detector,” *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 65, no. 11, pp. 1644–1648, 2018.
- [9] A. Shrivastava, N. E. Roberts, O. U. Khan, D. D. Wentzloff, and B. H. Calhoun, “A 10 mV-input boost converter with inductor peak current control and zero detection for thermoelectric

- and solar energy harvesting with 220 mV cold-start and -14.5 dBm, 915 MHz RF kick-start," *IEEE J. Solid-State Circuits*, vol. 50, no. 8, pp. 1820–1832, 2015.
- [10] L. H. Phuc, C. S. Chae, M. C. Lee, S. W. Wang, S. I. Kim and G. H. Cho, "Integrated zero-inductor-current detection circuit for step-up DC–DC converters", *Electron. Lett.*, vol. 42, pp. 943–944, 2006.
- [11] Y. K. Ramadass and A. P. Chandrakasan, "A battery-less thermoelectric energy harvesting interface circuit with 35 mV Startup voltage," *IEEE J. Solid-State Circuits*, vol. 46, no. 1, pp. 333–341, 2011.
- [12] J. Kim and C. Kim, "A DC–DC boost converter with variation-tolerant MPPT technique and efficient ZCS circuit for thermoelectric energy harvesting applications," *IEEE Trans. Power Electron.*, vol. 28, no. 8, pp. 3827–3833, 2013.
- [13] R. L. Radin, M. Sawan, and M. C. Schneider, "An accurate zero-current-switching circuit for ultra-low-voltage boost converters," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 68, no. 6, pp. 1773–1777, 2021.
- [14] M. Alhawari, B. Mohammad, H. Saleh, and M. Ismail, "An efficient zero current switching control for L-based DC–DC converters in TEG applications," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 64, no. 3, pp. 294–298, 2017.
- [15] S.-H. Wu, X. Liu, Q. Wan, Q. Kuai, Y.-K. Teh, and P. K. T. Mok, "A 0.3-V ultralow-supply-voltage boost converter for thermoelectric energy harvesting with time-domain-based MPPT," *IEEE solid-state circuits lett.*, vol. 4, pp. 100–103, 2021.
- [16] S. Bose, T. Anand, and M. L. Johnston, "A 3.5 mV input single-inductor self-starting boost converter with loss-aware MPPT for efficient autonomous body-heat energy harvesting," *IEEE J. Solid-State Circuits*, vol. 56, no. 6, pp. 1837–1848, 2021.
- [17] R. L. Radin, M. Sawan, C. Galup-Montoro, and M. C. Schneider, "A 7.5-mV-Input Boost Converter for Thermal Energy Harvesting With 11-mV Self-Startup," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 67, no. 8, pp. 1379–1383, 2020.

- [18] B.-M. Lim, J.-I. Seo, and S.-G. Lee, "A colpitts oscillator-based self-starting boost converter for thermoelectric energy harvesting with 40-mV Startup voltage and 75% maximum efficiency," *IEEE J. Solid-State Circuits*, vol. 53, no. 11, pp. 3293–3302, 2018.
- [19] Z. Luo, L. Zeng, B. Lau, Y. Lian, and C.-H. Heng, "A sub-10 mV power converter with fully integrated self-start, MPPT, and ZCS control for thermoelectric energy harvesting," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 65, no. 5, pp. 1744–1757, 2018.
- [20] W. Xu *et al.*, "An internal-resistance-adaptive MPPT circuit for energy harvesting," *Int. J. Electron. Commun.*, vol. 127, no. 153464, p. 153464, 2020.
- [21] P. Cao, Y. Qian, P. Xue, D. Lu, J. He, and Z. Hong, "A bipolar-input thermoelectric energy-harvesting interface with boost/flyback hybrid converter and on-chip cold starter," *IEEE J. Solid-State Circuits*, vol. 54, no. 12, pp. 3362–3374, 2019.
- [22] Z. Dalala, O. Saadeh, M. Bdour, and Z. Zahid, "A new maximum power point tracking (MPPT) algorithm for thermoelectric generators with reduced voltage sensors count control," *Energies*, vol. 11, no. 7, p. 1826, 2018.
- [23] A. Paraskevas and E. Koutroulis, "A simple maximum power point tracker for thermoelectric generators," *Energy Convers. Manag.*, vol. 108, pp. 355–365, 2016.
- [24] Y.-H. Liu, Y.-H. Chiu, J.-W. Huang, and S.-C. Wang, "A novel maximum power point tracker for thermoelectric generation system," *Renew. Energy*, vol. 97, pp. 306–318, 2016.
- [25] *Jpels.org*. [Online]. Available: https://jpels.org/digital-library/manuscript/file/15985/22_JPE-17-10-132.pdf. [Accessed: 21-Nov-2021].
- [26] W. Xie, G. Huang, X. Zhang, and F. Deng, "A maximum power point tracking controller for thermoelectric generators," in *2017 36th Chinese Control Conference (CCC)*, 2017, pp. 9079–9084.
- [27] Q. Wan, Y.-K. Teh, Y. Gao, and P. K. T. Mok, "Analysis and design of a thermoelectric energy harvesting system with reconfigurable array of thermoelectric generators for IoT applications," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 64, no. 9, pp. 2346–2358, 2017.
- [28] *Rmtltd.ru*. [Online]. Available: http://www.rmtltd.ru/datasheets/Thermoelectric_Generators/1md02035_teg.pdf. [Accessed: 21-Nov-2021].

- [29] A. Gupta, A. Panwar, S. K. Sahoo, and I. Jacob Raglend, "A CCM/DCM hybrid control scheme for single channel boost PFC converter to improve power quality," in *2019 Innovations in Power and Advanced Computing Technologies (i-PACT)*, 2019, vol. 1, pp. 1–5.
- [30] B. Ulrich, "A unified PWM switch model for current- and voltage-mode control with automatic transition between DCM and CCM," in *2020 IEEE 21st Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2020, pp. 1–8.
- [31] E. Alidori, G. Cimini, G. Ippoliti, G. Orlando, and M. Pirro, "A passivity-based solution for CCM-DCM boost converter Power Factor Control," in *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, 2013, pp. 7752–7757.
- [32] J. G. Parada Salado, C. A. Herrera Ramírez, A. G. Soriano Sánchez, and M. A. Rodríguez Licea, "Nonlinear stabilization controller for the boost converter with a constant power load in both continuous and discontinuous conduction modes," *Micromachines (Basel)*, vol. 12, no. 5, p. 522, 2021.
- [33] L. Wang, Q. H. Wu, W. H. Tang, Z. Y. Yu, and W. Ma, "CCM-DCM average current control for both continuous and discontinuous conduction modes boost PFC converters," in *2017 IEEE Electrical Power and Energy Conference (EPEC)*, 2017, pp. 1–6.
- [34] A. A. M. Bento and E. R. C. da Silva, "Hybrid one-cycle controller for boost PFC rectifier," in *2007 IEEE Industry Applications Annual Meeting*, 2007, pp. 2333–2339.
- [35] L. Roggia, F. Beltrame, J. E. Baggio, and J. R. Pinheiro, "Digital control system applied to a PFC boost converter operating in mixed conduction mode," in *2009 Brazilian Power Electronics Conference*, 2009, pp. 698–704.
- [36] Y. Xing and L. Liu, "A 10mV input, 93.6% peak efficiency three-mode boost converter for thermoelectric energy harvesting," in *2020 IEEE 15th International Conference on Solid-State & Integrated Circuit Technology (ICSICT)*, 2020, pp. 1–3.

- [37] Y. K. Ramadass and A. P. Chandrakasan, “A batteryless thermoelectric energy-harvesting interface circuit with 35mV startup voltage,” in *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, 2010, pp. 486–487.
- [38] A. Montecucco, J. Siviter, and A. R. Knox, “The effect of temperature mismatch on thermoelectric generators electrically connected in series and parallel,” *Appl. Energy*, vol. 123, pp. 47–54, 2014.
- [39] “Understanding the effect of Spin-state on the Seebeck Coefficient of Iron Doped Barium Titanate (Fe-BTO) via Molecular Beam Epitaxy for high-efficiency thermoelectric applications,” 2016.
- [40] J. Katic, S. Rodriguez, and A. Rusu, “A dual-output thermoelectric energy harvesting interface with 86.6% peak efficiency at 30 μW and total control power of 160 nW,” *IEEE J. Solid-State Circuits*, vol. 51, no. 8, pp. 1928–1937, 2016.
- [41] J. Wang, “Design of a boost DC-DC converter for energy harvesting applications in 40nm CMOS process,” 2014.
- [42] S. R. Hosseini, M. Saberi, and R. Lotfi, “An energy-efficient level shifter for low-power applications,” in *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2015, pp. 2241–2244.

Abstract

Recently, the design of a battery with almost permanent performance and suitable for electronic circuits has received much attention to meet the needs of today's advanced circuits. This is possible through harvesting energy from ambient sources via boost converters. Among these energy sources, the human body heat energy is very suitable for wearable applications due to the stable temperature difference between the human body and the environment. But since the energy harvested from the human body is low, the main challenge of these converters, is to improve the low input voltage and the maximum efficiency.

Traditional boost converters often use discontinuous conduction mode (DCM) due to the low switching loss of this operating mode. In low input voltages, the total loss of the DCM is less, however at higher voltages, the conduction loss prevails over the switching loss, and the continuous conduction mode (CCM) will have lower losses and can be more efficient. For this reason, in contrast to the Traditional boost converter for thermal energy harvesting, the proposed converter uses both CCM and DCM operating mode to simultaneously improve the minimum input voltage and maximum efficiency at high input voltages. This is accomplished by a low-power digital operating mode detection circuit, which switches between the two operating modes at a specific input voltage obtained by analytical solutions. The suitable boundary voltage equation for changing the operating mode is presented based on the values of boost converter circuit elements. Finally, the proposed boost converter is implemented in a 0.18 μm CMOS process using Cadence Virtuoso software. The simulation results show that the peak efficiency of the proposed boost converter can be up to 94%, 60.4% and 35% at 300, 20 and 15 mV of the open-circuit voltage, respectively.

Keywords: Boost converter, continuous conduction modes, discontinuous conduction modes, low power, Change Operating Mode, TEG energy harvester.



Shahrood University of Technology

Faculty of Electrical Engineering and Robotic

M.Sc. Thesis in Electronic Integrated Circuits Engineering

**Design and simulation of a high-efficiency
boost converter capable of automatically
detecting DCM and CCM Operational
modes**

By: Fatemeh Hajiakbari

Supervisor

Dr. Mohammadreza Ashraf

January, 2022