پردیس خوارزمی
مهندسی برق گرایش الکترونیک

پایان نامه کارشناسی ارشد

افزایش گستره خطی MOS Varactor با استفاده از اثر بدنه

نگارنده: علی کریمی

استاد راهنما:
دکتر عماد ابراهیمی

شهریور ۱۳۹۵

شماره: ۳/۲۲۵۲ الف
تاریخ: ۹۵/۷/۳
ویرایش:

دانشگاه شاهرود
مدیریت تحصیلات تکمیلی
فرم شماره (۶)

باسمه تعالی

فرم صورت جلسه دفاع از پایان نامه تحصیلی دوره کارشناسی ارشد

با تأییدات خداوند متعال و با استعانت از حضرت ولی عصر (عج) نتیجه ارزیابی جلسه دفاع از پایان نامه کارشناسی ارشد آقای علی کریمی به شماره دانشجویی ۹۲۳۹۱۰۴ رشته مهندسی برق گرایش الکترونیک تحت عنوان: **افزایش گستره خطی MOS Varactor با استفاده از اثر بدنه**
عددی که در تاریخ ۱۳۹۵/۰۶/۱۶ با حضور هیأت محترم داوران در دانشگاه شاهرود برگزار گردید به شرح ذیل اعلام می گردد:

قبول (با درجه : بسیار خوب امتیاز ۱۸٫۲۶) ☑ دفاع مجدد ☐ مردود ☐

۱- عالی (۲۰ - ۱۹)
۲- بسیار خوب (۱۸/۹۹ - ۱۸)
۳- خوب (۱۷/۹۹ - ۱۶)
۴- قابل قبول (۱۵/۹۹ - ۱۴)
۵- نمره کمتر از ۱۴ غیر قابل قبول

عضو هیأت داوران	نام ونام خانوادگی	مرتبهٔ علمی	امضاء
۱- استادراهنما	دکتر عماد ابراهیمی	استادیار	
۲- استاد مشاور			
۳- نماینده سورای تحصیلات تکمیلی	مهندس محسن فرهادی	مربی	
۴- استاد ممتحن	دکتر محمد رضا اشرف	استادیار	
۵ - استاد ممتحن	دکتر علی فتاح حصاری	استادیار	

رئیس دانشکده

تشکر و قدردانی:

با تشکر فراوان از استاد ارجمندم، جناب آقای دکتر عماد ابراهیمی که از ابتدا با صبر و حوصله فراوان با تمام وجود مشوق و راهنمای بنده در طول انجام این پایان نامه بودند و با راهنمایی‌های ارزشمند و بی دریغ خود، راه را برای به نتیجه رسیدن این پایان نامه هموار نمودند.

تقدیم به:

روان پاک پدرم که عالمانه با زندگی خود به من آموخت تا چگونه در عرصه زندگی، ایستادگی را تجربه نمایم.

و به مادرم، دریای بی کران فداکاری و عشق که وجودم برایش همه رنج بود و وجودش برایم همه مهر

اقرارنامه

اینجانب علی کریمی دانشجوی دوره کارشناسی ارشد رشته‌ی مهندسی برق-الکترونیک، دانشکده خوارزمی دانشگاه صنعتی شاهرود، نویسنده پایان‌نامه **" افزایش گستره خطی MOS Varactor با استفاده از اثر بدنه "** تحت راهنمائی آقای دکتر عماد ابراهیمی متعهد می‌شوم:

- *تحقیقات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.*
- *در استفاده از نتایج پژوهش‌های محققان دیگر به مرجع مورد استفاده استناد شده است.*
- *مطالب مندرج در پایان نامه تاکنون توســـط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.*
- *کلیه حقوق معنوی این اثر متعلق به دانشگاه شاهرود می‌باشد و مقالات مستخرج با نام «دانشگاه صنعتی شاهرود» و یا «Shahrood University» به چاپ خواهد رسید.*
- *حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان نامه تأثیرگذار بوده اند در مقالات مستخرج از پایان نامه رعایت می گردد.*
- *در کلیه مراحل انجام این پایان نامه، در مواردی که از موجود زنده (یا بافتهای آن ها) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.*
- *در کلیه مراحل انجام این پایان نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری، ضوابط و اصول اخلاق انسانی رعایت شده است.*

تاریخ

امضای دانشجو

مالکیت نتایج و حق نشر

- *کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه های رایانه ای، نرم افزار ها و تجهیزات ساخته شده است) متعلق به دانشگاه صنعتی شاهرود می باشد. این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود.*
- *استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نمی باشد.*

چکیده

یکی از فن‌آوری‌های ساخت مدارات مجتمع، تکنولوژی CMOS است. پیاده‌سازی مدارهای دیجیتال به صورت مجتمع (CMOS IC) معمولا نیازمند تنها یک لایه Poly-Si است، هر چند در بسیاری از موارد مثلا برای دست یافتن به خازن‌های خطی در بسیاری از کاربردهای آنالوگ لایه دوم برای ساخت خازن PIP مورد نیاز است و یا برای ساخت خازن MIM دو لایه فلز لازم است، که این عامل باعث افزایش قابل توجه هزینه و مساحت اشغال شده می شود. در مقابل ورکتورMOS تنها با یک لایه پالی‌سیلیکون قابل پیاده‌سازی است که چگالی بسیار بزرگی در واحد سطح دارند و قابل کنترل با ولتاژ نیز می باشند.

ورکتورMOS به طور گسترده‌ای در مدارهای الکترونیکی مورد استفاده قرار می‌گیرند. مهمترین مشکل در استفاده از ورکتورMOS وابستگی غیرخطی ظرفیت خازن آن به ولتاژ می‌باشد. به بیان دیگر ورکتورMOS رفتار غیر خطی دارد که در اکثر کاربردها، این رفتار غیر خطی کارایی مدارهای آنالوگ را کاهش می دهد. از دیگر محدودیت‌های ورکتورMOS، باریک بودن گستره خطی تغییرات خازن بر حسب ولتاژ آن می باشد که این امر سبب ایجاد یک شیب تند در مشخصه تغییرات خازن نسبت به ولتاژ کنترل و افزایش حساسیت مدار به نویز می شود.

در این پایان نامه ابتدا نمودار ظرفیت خازنی ورکتورMOS بر حسب ولتاژ متغیر توسط شبیه ساز ADS در حالت متداول رسم شده و سپس تمام محدودیت‌های ذکر شده در نمودارها و نتایج بررسی گردید. با استفاده از تکنیک پیشنهادی در این پایان نامه ابتدا مشخصه خطی ورکتورMOS اصلاح گردید سپس نتایج و نمودارهای خروجی رسم و بعد از مقایسه با حالت اول شاهد نتایج بهتری شدیم. در تکنیک پیشنهادی ابتدا بازه‌ای از ولتاژ متغیر گیت که منحنی مشخصه ورکتور در آن دارای رفتار خطی است استخراج شد سپس با اعمال ولتاژ مناسب به بالک در حقیقت ولتاژ آستانه (V_{th}) تغییر و در نتیجه منحنی مشخصه در اثر تغییر، جابه‌جایی پیدا کرد. حال با موازی کردن تعدا مشخصی از ورکتورها که با تغییر ولتاژ بالک، منحنی آنها جابه‌جایی پیدا کرده است عملا قسمت‌هایی از منحنی هر کدام از ورکتورها که خطی هستند با یکدیگر جمع شده و در نتیجه گستره خطی کل افزایش پیدا کرد. در حالت متداول تغییر مقدار ظرفیت خازن از

0.15 pF تا 0.45 pF در محدوده 0.3 ولتی از ولتاژ متغیر اتفاق افتاد اما در روش پیشنهادی، بازه تغییر ظرفیت خازنی از 0.15 pF تا 0.45 pF به ازای 0.9 V ولت تغییر ولتاژ متغیر اتفاق افتاد که گستره رنج خطی افزایش یافته است.

همانطور که در متون متعدد بیان شده است این افزایش رنج خطی می‌تواند کاربردهای متعددی مانند تنظیم دقیق[1] در گیرنده مدار مخابراتی و همچنین کاهش بهره VCO برای بهبود نویز فاز نوسان‌ساز داشته باشد. بنابراین در انتها ورکتورMOS خطی شده پیشنهادی را در یک LC-VCO به‌کار گرفته و عملکرد نویز فاز آن را مورد بررسی قرار دادیم که همانطور که انتظار می‌رفت نویز فاز 19dBc کاهش یافت که بهبود قابل ملاحظه‌ای بود.

واژه‌های کلیدی: بازه تغیرات خطی ورکتور، بهره VCO، تنظیم ریز، نوسان‌ساز LC، نویز فاز، ورکتور MOS،

[1] Fine Tuning

فهرست مطالب

عنوان **صفحه**

فهرست شکل‌ها.....ک

فهرست جدول‌ها.....م

فصل۱- پیش گفتار.....۱

۱- ۱ مقدمه.....۲

۱-۲ انگیزه این پژوهش.....۳

۱-۳ نحوه تقسیم بندی پایان نامه ۴

فصل ۲- مروری بر ورکتورها، نوسان‌سازها، نویز فاز و PLL.....۷

۲-۱ مقدمه ۸

۲-۲ انواع خازن در تکنولوژی CMOS ۹

۲-۲-۱ خازن MIM و MOM ۹

۲-۲-۲ خازن PIP.....۱۰

۲-۲-۳ خازن MOS.....۱۰

۲-۳ خازن‌های متغیر.....۱۲

۲-۴ نوسان‌سازها.....۱۵

۲-۴-۱ قواعد پایه‌ای.....۱۷

۲-۴-۲ دیدگاه تک دهانه‌ای.....۱۸

۲-۵ نویز فاز.....۲۱

۲-۶ حلقه قفل فاز.....۲۳

فصل۳- مروری بر کارهای گذشته.....۲۵

۳-۱ مقدمه.....۲۶

۳-۲ دیود ورکتور..... ۲۷
۳-۳ ورکتورMOS..... ۲۸
۳-۴ استفاده از A-MOS در یک نوسان‌ساز LC..... ۳۲
۳-۵ بهبود خروجی ورکتورهای MOS..... ۳۳
۳-۶ ساختارهای معمول در VCO..... ۳۸
۳-۷ ساختارهای مختلف LC – VCO..... ۳۸
۳-۷-۱ gm مقاومت منفی..... ۳۸
۳-۷-۲Colpits..... ۴۰
۳-۷-۳ Hartly ۴۱
۳-۸ نویز فاز..... ۴۱
۳-۹ کاهش بهره VCO و تاثیر آن در کاهش نویز فاز..... ۴۳
فصل ۴- تکنیک پیشنهادی و شبیه‌سازی‌ها ۴۹
۴-۱ مقدمه..... ۵۰
۴-۲ بررسی و رسم منحنی مشخصه ورکتور MOS در حالت متداول..... ۵۰
۴-۳ تکنیک پیشنهادی: افزایش گستره خطی ورکتورMOS..... ۵۳
۴-۴ ورکتور MOS اصلاح شده برای نوع PMOS..... ۵۹
۴-۵ بررسی عملکرد ورکتور MOS متداول و اصلاح شده در یک VCO..... ۶۲
۴-۵-۱ نوسان‌ساز با ورکتور MOS متداول..... ۶۲
۴-۵-۲ نوسان‌ساز با ورکتور MOS اصلاح شده..... ۶۵
فصل۵- نتیجه‌گیری و پیشنهادها..... ۶۹
پیوست ۷۳
منابع..... ۷۷

فهرست اشکال

عنوان صفحه

شکل(۲-۱)شماتیک یک خازن MIM[۲]..... ۱۰

شکل(۲-۲) ساختار یک خازن MOS..... ۱۱

شکل(۲-۳) خازن متغیر پیوند pn [۶]..... ۱۳

شکل(۲-۴) تغیرات خازن گیت با V_{GS} [۵]..... ۱۴

شکل(۲-۵)حالت‌های مختلف خازن متغیر MOS [۵]..... ۱۴

شکل(۲-۶) نمونه‌ای از مدارات نوسان‌ساز حلقوی..... ۱۷

شکل(۲-۷) سیستم پسخورد منفی..... ۱۸

شکل(۲-۸) پاسخ یک تانک ایده آل به یک ورودی ضربه..... ۱۹

شکل(۲-۹) تقویت کننده تنظیم شده با پاسخ فرکانسی[۱۲]..... ۲۰

شکل(۲-۱۰) اتصال زنجیره ای دو تقویت کننده تنظیم شده در حلقه پسخورد[۱۲]..... ۲۱

شکل(۲-۱۱) شکل موج‌های خروجی برای یک نوسان‌ساز ایده‌آل و با نویز فاز[۵]..... ۲۲

شکل(۲-۱۲) طیف فرکانس خروجی یک نوسان‌ساز..... ۲۳

شکل(۲-۱۳) یک PLL ساده[۵ و ۱۴]..... ۲۴

شکل(۳-۱) یک نوسان‌سازLC که در تانک نوسان‌ساز از دیود ورکتور استفاده شده است[۱۵]..... ۲۷

شکل(۳-۲) یک PMOS با اتصال پایه‌های درین، سورس و بالک به یکدیگر[۱۷]..... ۲۹

شکل(۳-۳) منحنی مشخصه خازن بر حسب ولتاژ در ساختار شکل (۳-۲)[۱۷]..... ۲۹

شکل(۳-۴) یک ورکتور با بایاس متفاوت برای کار در ناحیه وارونگی [۱۶]..... ۳۰

شکل(۳-۵) منحنی مشخصه خازن بر حسب ولتاژ ساختار شکل (۳-۴)[۱۶]..... ۳۰

شکل(۳-۶) استفاده از خازن MOS در ناحیه تجمع(A-MOS)[۱۷]..... ۳۱

شکل(۳-۷) منحنی مشخصه خازن بر حسب ولتاژ ساختار A-MOS[۱۷]..... ۳۱
شکل(۳-۸) خروجی یک VCO با استفاده از A-MOS[۱۸]..... ۳۳
شکل(۳-۹) منحنی مقدار تغیرات یک خازن 1pF را در بازه صفر تا یک ولت[۲۰]..... ۳۴
شکل(۳-۱۰) بایاس خازن MOS در حالت موازی و سری[۲۳]..... ۳۶
شکل(۳-۱۱)نوسان‌ساز LC با استفاده از ورکتور MOS[۲۴]..... ۳۷
شکل(۳-۱۲)گستره خطی رنج فرکانس خروجی..... ۳۷
شکل(۳-۱۳)ترکیب Ring VCO ۳۸
شکل(۳-۱۴)ترکیب LC VCO..... ۳۹
شکل(۳-۱۵)یک LC-VCO ساده..... ۳۹
شکل(۳-۱۶)نمونه‌ای از یک Colpitss VCO [۲۵]..... ۴۰
شکل(۳-۱۷) نمونه ای از یک Hartiy VCO [۲۵]..... ۴۰
شکل(۳-۱۸) بلوک دیاگرام ساده شده CCO[۲۶]..... ۴۲
شکل(۳-۱۹)مشخصه VCO[۵]..... ۴۳
شکل(۳-۲۰)یک VCO با بانک خازنی و ورکتور[۲۷]..... ۴۵
شکل(۳-۲۱) مدل حوزه فاز PLL نوع یک..... ۴۶
شکل(۳۲-۲۲)نمودار بود یک PLL[۵]..... ۴۷
شکل(۴-۱)یک ورکتور MOS با بایاس حالت S=B=D..... ۵۱
شکل(۴-۲) منحنی مقدار ظرفیت خازن بر حسب ولتاژ، با بایاس حالتS=D=B..... ۵۱
شکل(۴-۳) بایاس ورکتور MOS در حالت وارونگی..... ۵۲
شکل(۴-۴)منحنی مشخصه C-V ورکتور MOS در ناحیه وارونگی..... ۵۲
شکل(۴-۵)منحنی مشخصه ورکتورMOS در ناحیه وارونگی برای دو مقدار ولتاژ بالک ۵۵
شکل(۴-۶)مدار بایاس یک ورکتور ۵۶

شکل(۴-۷) منحنی مشخصه های مربوط به ورکتورهای جدول(۴-۳)..... ۵۷
شکل(۴-۸)ساختار کلی مدار با چندین ورکتور MOS اصلاح شده..... ۵۷
شکل(۴-۹)منحنی مقدار ظرفیت خازن بر حسب ولتاژ متغیر با ورکتور اصلاح شده..... ۵۸
شکل(۴-۱۰) منحنی ورکتور MOS نوع PMOS..... ۶۰
شکل(۴-۱۱)منحنی ورکتور MOS اصلاح شده نوع PMOS..... ۶۰
شکل(۲-۱۲) منحنی ورکتورMOS اصلاح شده نوع PMOS با ۷ ورکتور موازی..... ۶۱
شکل(۴-۱۳)مشخصه VCO..... ۶۲
شکل(۴-۱۴)مدار یک LC-VCO ساده..... ۶۳
شکل(۴-۱۵) منحنی مشخصه فرکانس خروجی نوسان ساز با ورکتور حالت متداول ۶۴
شکل(۴-۱۶) منحنی نویز فاز..... ۶۴
شکل(۴-۱۷)منحنی مشخصه فرکانس خروجی نوسان ساز شکل(۴-۱۶)..... ۶۵
شکل(۴-۱۸)منحنی نویز فاز..... ۶۶
شکل(۵-۱)مدار بایاس یک ورکتور MOS برای محاسبه خازن..... ۷۴
شکل(۵-۲)نمودار مقدار ظرفیت خازن بر حسب مقادیر ولتاژ شکل(۵-۱)..... ۷۵
شکل(۵-۳)نمودار مقدار فرکانس خروجی بر حسب ولتاژ متغیر..... ۷۶

فهرست جداول

عنوان صفحه

جدول(۳-۱) گستره تنظیم فرکانس یک VCO برای دیود ورکتور، I-MOS و A-MOS..... ۳۲

جدول(۳-۲) بررسی ساختار Ring و LC..... ۳۸

جدول(۴-۱) مقادیر متناسب با منحنی مشخصه شکل(۴-۷)..... ۵۴

جدول(۴-۲)مقادیر ولتاژهای بدنه برای شکل(۴-۸)..... ۵۸

جدول(۴-۳)جدول مقادیر ولتاژ بدنه برای گستره 0.7 V در نوع PMOS ۶۱

جدول(۴-۴)مقادیر المان‌های شکل(۴-۱۳)..... ۶۳

جدول(۴-۵) مقادیر المان‌های شکل(۴-۱۷)..... ۶۵

جدول(۴-۶) مقایسه ضریب شایستگی چند نوسان‌ساز با کار این پایان نامه..... ۶۸

فصل ۱:

پیش‌گفتار

۱-۱- مقدمه

فـــناوری اکـسید فـــلز نیمه هادی مکـمل (CMOS[۱]) یک فناوری بـرجـسته در صنـعـت جهانی مـدارهای مـجـتـمع (IC) است و به عـنـوان مـحـصولاتـی با اتـلاف تـــوان کم و چگالی زیاد و وسیله سوییچ کـنندگی نسبتا ایـده آل شناخـته شـده است. از آنجا که تقریبا بیشتر المان های مورد نیاز، برای طراحی مدار، در این تکنولوژی قابل پیاده سازی است و از طرفی امکان مجتمع سازی وجود دارد، گرایش صنعت الکترونیک به این تکنولوژی زیاد شده است و روز به روز در حال پیشرفت است.

ساخت تراشه‌ها در تکنولوژی CMOS بر روی ویفرها انجام می‌شود. ویفرها تـقـریبا نیم میلی‌متر ضخامت دارند و کاملا مسطح و صیقلی‌اند. تـعـداد تراشه های پـردازش شده در هر ویـفـر، هـم به اندازه ویفر و هم به پیچیدگی مدار بـستگی دارد و در مـواردی بالغ بر ۵۰۰ تراشه در ویـفـر جای می‌گـردد. با رو به جلو رفتن و نیاز به مدارات پیشرفته‌تر نیاز به تعداد المان‌های بکار رفته در یک تراشه هم زیادتر می‌شود. از این رو کوچک‌سازی و استفاده بهینه از المان‌های قابل ساخت و موجود در این فناوری بسیار با اهمیت است. کوچک‌سازی برای ساخت ترانزیستور به حد نانومتر رسیده است اما کوچک سازی برای المان‌های دیگر مانند سلف یا خازن امکان پذیر نمی‌باشد که نیاز به اشغال فضای کمتر در مقابل پیشرفت مدارات و افزایش تعداد المان‌ها را جواب گو باشد. یکی از این المان‌ها که در طول پایان نامه مفصل در مورد آن بحث شده است، خازن‌ها می‌باشند. تکنیک‌های متفاوتی برای ساخت کوچکترین خازن با بالاترین کیفیت مطرح شده است، اما از حد مشخصی به بعد امکان کوچکتر کردن به خاطر کم شدن مقدار ظرفیت امکان پذیر نیست، لذا مسئله بهبود و بهینه کردن خازن با تکنیک‌های موجود بیشتر مد نظر پژوهشگران است.

در تکنولوژی CMOS هرتـراشه متشکل از چندین لایه گـوناگـون است که هـر یک طی فرآیند خاصی روی لایه های دیگر و روی یک ویفر سیلکونی تشکیل می شود تا بتوان در نهایت المان‌ها را ساخت.

[۱] Complementary Metal–Oxide–Semiconductor

ساخت خازن نیازمند چندین لایه است که بسته به نوع استفاده از لایه‌های موجود سه نوع خازن MIM یا MOM ، PIP و MOS در تکنولوژی CMOS قابل پیاده سازی است. اولین نوع یعنی خازن MIM از دو لایه فلز و یک لایه نازک اکسید ساخته می‌شود. این خازن دارای کیفیت خوب است و معایبی مانند ضریب دمایی بالا، شکست در مقابل ولتاژ و حساسیت نسبت به تغیرات ولتاژ را ندارد. نوع دوم، یعنی خازن‌های PIP همانند MIM از اکسید به عنوان دی‌الکتریک در آن استفاده شده است و برای دو جوشن به جای دو لایه فلز از دو لایه پالی سیلیکون استفاده شده است. مزایای آن خطی بودن، عدم وابستگی مقدار ظرفیت خازن نسبت به ولتاژ، و ضریب دمایی پایین است و در مقابل معایبی مانند هزینه بالای ساخت به دلیل نیاز به ماسک‌های متعدد وجود دارد [۲].

خازنMOS سومین نوع خازن قابل پیاده سازی در تکنولوژی CMOS است که علاوه بر اینکه نیاز به لایه اضافی برای ساخت ندارد دارای چگالی بالا در واحد سطح نیز می‌باشد. در حالت معمول اگر پایه درین و سورس و بالک یک ترانزیستور MOS را بهم متصل کنیم و به عنوان یک گره خازن و پایه گیت ترانزیستور را گره دوم در نظر بگیریم بین زیر لایه و گیت ظرفیت خازنی به وجود می‌آید که اکسید زیر پایه گیت به عنوان دی‌الکتریک عمل می‌کند. در عمل می‌توان از این نوع خازن به دو صورت ثابت و متغیر استفاده کرد که در نوع ثابت بر خلاف داشتن چگالی بالا، به دلیل تغییرات زیاد مقدار ظرفیت، نسبت به تغییرات ولتاژ دو سر خازن مورد توجه نیست. کاربرد دوم خازن MOS که متغیر با ولتاژ بودن آن است به ورکتورMOS معروف است که به دلیل راحتی ساخت، نیاز زیاد در مدارات متنوع و چگالی بالا بیشتر مورد علاقه قرار گرفته است [۴].

۱-۲- انگیزه پژوهش

همانطور که گفته شد ورکتورMOS یکی از المان‌های قابل ساخت در تکنولوژی CMOS است که به دلیل مزایایی که دارد مورد توجه زیادی قرار گرفته است. امروزه در مدارهای مخابراتی یا هر مدار دیگر که نیاز به کنترل ظرفیت خازن و متناسب با آن کنترل فرکانس یا پارامتر دیگر باشد گرایش به استفاده

از ورکتورها است. ورکتورMOS در کنار تمام مزایایی که گفته شد دارای منحنی غیر یکنوا و غیر خطی است که دلیل این عدم خطی و یکنوایی بودن تغییر ناحیه کاری بین سه ناحیه، انباشتگی، وارونگی و تخیله است. هر دو عیب غیر خطی و یکنوایی بودن در طراحی‌ها مشکل سازهستند. از طرفی قابلیت بالا یعنی چگالی بالا در واحد سطح و پیاده سازی راحت در حالت مجتمع، این المان در مداراتی مانند نوسان‌سازها یا فیلترهای قابل تنظیم باعث شده است که راهکارهای متعددی برای رفع دو مشکل بالا پیشنهاد شود. تا کنون پژوهش‌ها و مقالات متعددی در این زمینه کار کرده اند که در نهایت توانسته اند به رفتار یکنواخت و نزدیک به خطی دست پیدا کنند[۱۶]

در کارهای گذشته استفاده از محدوده خطی ناحیه انباشتگی بیشتر مد نظر بوده است اما در این ناحیه رفتار ورکتورMOS کاملا خطی نیست. از طرفی ناحیه وارونگی دارای منحنی خطی‌تر، ولی دارای شیب تند است یا به عبارتی گستره تنظیم مقدار مشخصی از خازن در محدوده کوچکی قرار دارد. در این پایان‌نامه هدف، افزایش گستره خطی ورکتورMOS است. با به‌کار بردن تکنیک پیشنهادی، یعنی افزایش گستره خطی با موازی کردن تعداد مشخصی ورکتور، این گستره در ناحیه وارونگی افزایش می‌یابد. با افزایش گستره، شیب منحنی کم می‌شود که اثر مثبت خود را در کم شدن بهره نوسان‌سازها نشان می‌دهد با کم شدن بهره نوسان‌ساز، نویز فاز بهبود می‌یابد یا در مدارات حلقه قفل فاز باعث پایداری حلقه می‌شود.

۱-۳- نحوه تقسیم بندی پایان نامه

در فصل دوم به توضیح مختصر در مورد انواع خازن‌های قابل ساخت در تکنولوژی CMOS، نوسان‌سازها، نویز فاز و PLL پرداخته شده است. در ابتدا به انواع خازن‌های موجود در تکنولوژی CMOS پرداخته شده است و معایب و مزایای هر کدام توضیح داده شده است سپس ورکتورMOS معرفی شده است و انواع نوسان‌سازها را به دلیل اینکه، ورکتورMOS در آن استفاده زیادی دارد و بهبود ورکتور باعث بهبود

مدار نوسان‌ساز می‌شود معرفی شده است. در نهایت در مورد نویز فاز و مدارPLL توضیح مختصری داده شده است و در ادامه اثر مثبت کاهش بهره در هردو آن‌ها مفصلا بحث شده است.

فصل سوم به کارهای و مقالات گذشته اشاره کرده است. در این فصل ابتدا چندین پژوهش و روش‌های پیشنهادی بهبود ورکتورMOS معرفی شده است سپس مدارهایی که با به کار بردن ورکتور MOS، بهبود در پارامترهای آن حاصل شده است مورد بررسی قرار گرفته شده است.

فصل چهارم به نتایج شبیه‌سازی‌ها دو ورکتورMOS متداول و ورکتورMOS پیشنهادی پرداخته شده است. در نهایت هر دو ورکتور در یک مدار نوسان‌ساز یکسان مورد استفاده قرار گرفته شده سپس نمودار فرکانس بر حسب ولتاژ و نویز فاز برای هر دو مدار رسم و مورد مقایسه قرار گرفته است که نتایج بهبود یافته با حالت متداول و چندین مقاله و کار گذشته مقایسه شده است. در فصل پنجم به بیان نتیجه و بهبودهای حاصل شده پرداخته شده است.

در انتها دو تکنیک برای رسم نمودار ظرفیت ورکتورMOS بر حسب ولتاژ و رسم نمودار فرکانس نوسان-ساز بر حسب ولتاژ در شبیه ساز ADS در ضمیمه بیان شده است که به صورت پیش فرض امکان مستقیمی برای آن در نرم‌افزار در نظر گرفته نشده است.

فصل ۲:
مروری بر ورکتورها، نوسان‌سازها، نویز فاز و حلقه قفل فاز

۲-۱- مقدمه

فـــناوری اکـسید فـــلز نیمه هادی مکـمل یا CMOS یک فناوری بـرجـسته در صنـعـت جهانی مـدارهای مـجـتـمع (IC) است و به عـنـوان مـحـصولاتـی با اتـلاف تـــوان کم و چگالی زیاد و وسیله سوییچ کـنندگی نسبتا ایـده آل شناخـته شـده است.

این ویژگیها سبب شـده که این مـدارهـا دارای محاســن مـتمایزی نسبت به دیگـر فـناوری‌ها باشند. افـزون بر ایـــن با اضا فه کردن ترانزیـسـتـورهای دو قـــطبی[۱] می‌توا نیـــم مـدارها را به سوی فـــرآیـنـد BiCMOS سوق دهیم. فناوری CMOS نخستین بار توسط لیلنـفـیـلد[۲] در اوایـل سال ۱۹۲۵ به کار گـرفـته شـد که بعدها با نام ترانزیستور اثرمیدان[۳] شناخته شد. سپس نسخه بهبود یافته‌ای شـبیه به فـناوری CMOS موجود در سال ۱۹۳۵ توسـط اسکار هیل[۴] پیشنهاد شد.

در ۱۵ سال گذشته، پیشرفتهای سریعی در حوزه میکروالکترونیک پدید آمده است. هرتـراشه متشکل از چندین لایه گـوناگـون است که هـر یک طی فرآیند خاصی روی لایه های دیگر و روی یک ویفر سیلیکونی تشکیل می‌شود. این ویفرها تـقـریبا ۰/۵ میلی متر ضخامت دارند و کاملا مسطح و صیقلی اند. تـعـداد تراشه‌های پـردازش شده در هر ویـفـر، هـم به اندازه ویفر و هم به پیچیدگی مدار بـستگی دارد و در مـواردی بالغ بر ۵۰۰ تراشه در ویـفـر جای می‌گـیرد. ویـفـرها در دسـته های ۵۰ تا ۳۰۰ تایی در یـــک زمان پـردازش می شوند لـیکـن ممکن است چندیـن هـفته برای تکمیل هر دسته، بسته به پیچیدگی و ریزه کاری‌های طراحی، به طول انجامد. گام مشخص بعدی، اعمال فناوری CMOS به مدارهای آنالوگ و دیجیتال بود. هزینه کم ساخت و قـرار دادن هم‌زمان مدارهای آنالوگ و دیجیتال در هر تراشه، هزینه‌های بسته بندی فـناوری CMOS را کاهـش داده است.

---

۱ Bipolar

۲ J. Lilienfeld

۳ Field effect

۴ Oscar Heil

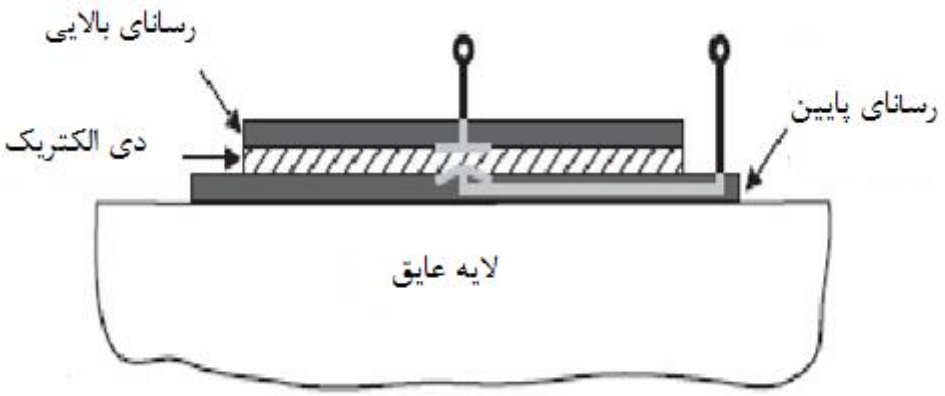
در تکنولوژی CMOS امکان ساخت انواع المان‌ها مانند ترانزیستور، خازن و مقاومت و... وجود دارد که بحث این پایان‌نامه بر روی خازن ها می باشد خازن یکی از المان‌های اساسی و غیرقابل حذف در مدارت مجتمع است. از آنجا که خازن ها همیشه سطح قابل توجهی از مساحت را اشغال می کنند. انتخاب تکنیک مناسب برای کیفیت بهتر و سطح اشغالی کمتر مد نظر طراحان بوده است. سه نوع خازن که در تکنولوژی CMOS وجود دارد هر کدام در قسمت بعد توضیح داده شده است. سپس خازن متغیر با ولتاژ که به خازن ورکتور معروف است و دو مدار نوسان‌ساز و PLL توضیح داده شده است. لازم به ذکر است که در این فصل هدف، توضیح و معرفی مختصر چند المان و مدار استفاده شده در طول پایان نامه است.

۲-۲- انواع خازن در تکنولوژی CMOS

۲-۲-۱ خازن MIM و MOM

خازن‌ها از دو صفحه هادی که بین آنها ماده عایقی قرار گرفته است تشکیل می‌شوند. در خازن‌های MIM و MOM دو صفحه هادی، از فلز ساخته شده است و برای عایق قرار گرفته، میان دو صفحه، در خازن MOM از اکسید با کیفت عالی و در خازن MIM از عایق به جای اکسید استفاده شده است. در این نوع از خازن‌ها به دلیل اینکه اکسید می تواند بسیار یکنواخت و با کیفیت باشد خازن دارای کیفیت خوبی است و از طرفی معایبی مانند غیر خطی بودن، ضریب دمایی بالا، شکست در مقابل ولتاژ و حساسیت نسبت به تغییرات ولتاژ که در انواع خازن ها وجود دارد را ندارد. در مقابل با توجه به نیاز دو لایه فلز یا دو لایه Poly-si و افزایش تعداد ماسک‌ها در فرآیند ساخت و همچنین چگالی نسبتا پایین این خازن‌ها، هزینه و قیمت ساخت این خازن‌ها زیاد بوده و تا حد امکان سعی بر کاهش تعداد خازن‌های

مورد نیاز MIM در مدار است. در شکل(۱-۱) شماتیک یک خازن MIM نمایش داده شده است[۱-۳].



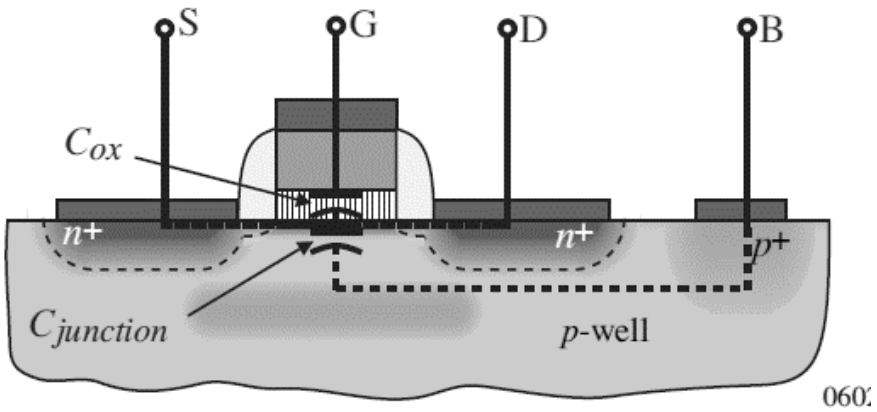
شکل (۲-۱) شماتیک یک خازن MIM [۲].

۲-۲-۲ خازن PIP

ساخت خازن PIP مانند خازن MIM می باشد. در این نوع خازن برای دو جوشن خازن از پالی استفاده شده است. محاسنی که برای MIM توضیح داده شد، مانند خطی بودن، ضریب دمایی پایین، عدم شکست در مقابل ولتاژ و حساسیت پایین نسبت به تغیرات ولتاژ، برای خازن PIP هم صادق است. از معایب این خازن، مانند خازن MIM، افزایش تعداد ماسک‌ها در فرآیند ساخت و همچنین چگالی نسبتا پایین این خازن‌ها در نتیجه افزایش هزینه و قیمت ساخت این خازن‌ها است.

۲-۲-۳ خازن MOS

یکی دیگر از خازن‌های قابل ساخت در تکنولوژی CMOS، خازن‌های MOS هستند. برای ساخت خازن MOS مطابق شکل (۲-۲) اگر پایه گیت را به عنوان یک پایه خازن و به طور مشترک پایه های بالک، درین و سورس را به عنوان پایه دوم خازن استفاده شود بین زیر لایه و گیت حالت خازنی به‌وجود می آید که اکسید بین پایه گیت و بستر به عنوان عایق دی‌الکتریک خازن محسوب می‌شود. فرمول (۲-۱) مقدار خازن بدست آمده را نشان می‌دهد.



شکل (۲-۲) ساختار یک خازن MOS.

$$C_{gate} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_j}} \qquad (۱-۲)$$

که در آن C_j خازن پیوند و C_{ox} خازن اکسید می‌باشد.

خازن‌های MOS بیشترین چگالی را در مدارهای مجتمع دارند، چون‌در فرآیندهای CMOS، چگالی C_{ox} از دیگر خازن‌ها بزرگتر است[۴و۵].

تا این قسمت هر چه بیان شد استفاده از خازن ساختار MOS برای مصارفی بود که نیاز به ظرفیت خازنی غیر متغیر بود که خود دو عیب بزرگ داشت، اول اینکه در فرکانس های بالا کیفیت خازن افت کرده و مطلوب نیست و دوم، مقدار ظرفیت خازنی وابسته به ولتاژ اعمالی بین دو پایه است که علاوه بر تغیرات بسیار زیاد مقدار ظرفیت خازنی، رابطه غیر خطی مقدار ظرفیت نسبت به ولتاژ اعمالی نیز مشکل‌ساز و بسیار مهم است.

می توان این تغییر مقدار ظرفیت خازنی نسبت به ولتاژ را به عنوان یک مزیت هم برای خازن MOS در نظر گرفت. اصطلاحا از این رفتار به عنوان خازن متغیر با ولتاژ استفاده می‌شود که به آن ورکتورMOS

گفته می‌شود. ورکتورMOS ها یک عیب بزرگ دارد و آن هم غیر خطی بودن تغییرات خازن نسبت به ولتاژ اعمالی است و یا به عبارتی کوچک بودن ناحیه خطی تغییرات آن است. بحث اصلی پایان نامه هم استفاده از ناحیه خطی ورکتورMOS و افزایش ناحیه خطی است که در ادامه توضیح داد خواهد شد.

۲-۳- خازن‌های متغیر

همانطور که در فصل بعد توضیح داده خواهد شد، «خازن‌های متغیر[۱]» عناصر ضروری در VCOهای سلفی-خازنی می‌باشند. همچنین خازن‌های متغیر را می‌توان برای تنظیم فرکانس تشدید تقویت‌کنند-های باند باریک نیز استفاده کرد.

یک خازن متغیر در حقیقت یک خازن وابسته به ولتاژ است. دو مشخصه خازن‌های متغیر در طراحی نوسان ساز بسیار مهم خواهند بود: (۱) محدوده ظرفیت خازنی، به عبارت دیگر نسبت حداکثر و حداقل ظرفیت خازنی نسبت به ولتاژ کنترل که خازن متغیر می‌تواند فراهم کند و (۲) ضریب کیفیت خازن متغیر که توسط مقاومت‌های سری پارازیتی داخلی ساختار محدود می‌شود. جالب توجه آن‌که، این دو پارامتر در بعضی حالت‌ها با یک‌دیگر تقابل دارند.

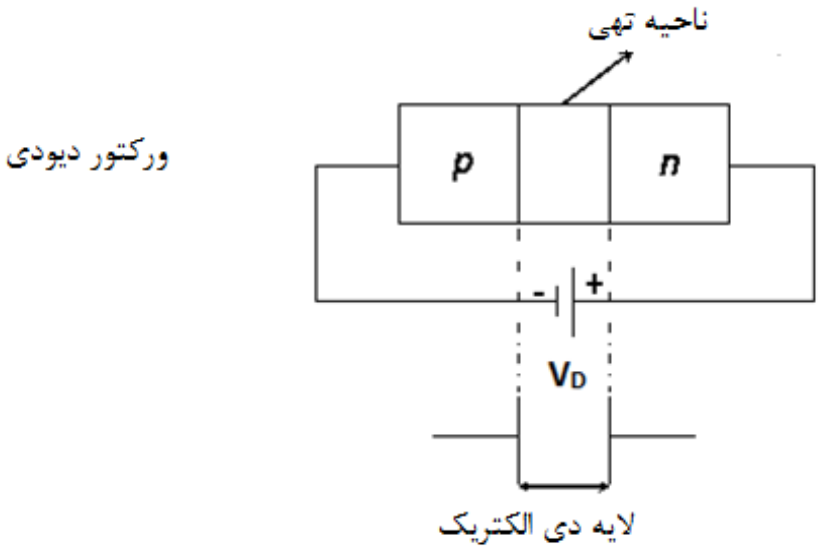
در نسل‌های قدیمی‌تر IC های RF، خازن متغیر به صورت پیوند pn بایاس معکوس پیاده‌سازی می‌شدند. همانطور که در شکل (۲-۳) به عنوان یک مثال شرح داده شده است، بستر P ، آند و اتصال N کاتد را ایجاد می کند. در بایاس مستقیم مدار شکل(۲-۳) مانند یک دیود معمولی عمل می‌کند و در بایاس معکوس متناسب با ولتاژ اعمالی به دوسر پلاریته آن، ظرفیت خازنی از خود نشان می‌دهد.

در بایاس معکوس V_D، خازن پیوند (C_j) توسط معادله زیر به‌دست می‌آید:

۱Varactor

(۲-۲)

$$C_j = \frac{C_{j0}}{\left(1+\frac{V_D}{V_0}\right)^m}$$



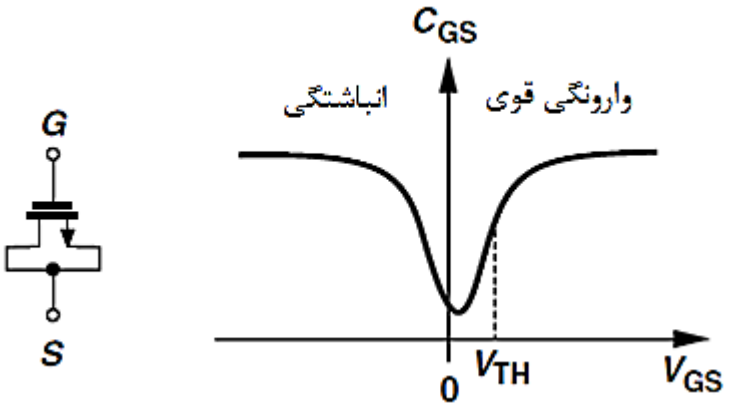
شکل (۲-۳) خازن متغیر پیوند pn [۶].

که در آن C_{j0} خازن در بایاس صفر، V_0 پتانسیل درون ساخته[۱] و m توانی در حدود ۰/۳ در ساختارهای مجتمع می‌باشد. مشاهده می‌کنیم که C_j وابستگی ضعیفی به V_D دارد. از آنجا که $V_0 = 0.7 - 0.8$ و V_D به دلیل ولتاژ منابع تغذیه امروزی، کمتر از یک ولت است، عبارت $1+V_D/V_0$ تقریبا بین ۱ و ۲ تغییر می‌کند. علاوه بر آن، m در حدود ۰/۳ نیز این تغییرات را ضعیف‌تر می‌کند که منجر به محدوده ظرفیت $(C_{j_0 \max} / C_{l_0 \min})$ خازنی در حدود ۱/۳۲ می‌شود. در عمل ممکن است اجازه دهیم که خازن متغیر مقداری بایاس مستقیم داشته باشد(۰/۲ تا ۰/۳ ولت) تا به محدوده بزرگتری دست یابیم [۶و۷].

در طراحی RFIC مدرن، خازن‌های متغیر MOS جای همتایان پیوند pn خود را گرفته‌اند. یک MOSFET معمولی دارای خازن وابسته به ولتاژ می‌باشد (شل۲-۴). اما رفتار غیریکنوای آن انعطاف-پذیری طراحی را محدود می‌کند. برای مثال، فرکانس خروجی یک نوسان ساز کنترل شده با ولتاژ

[۱] Builh-in

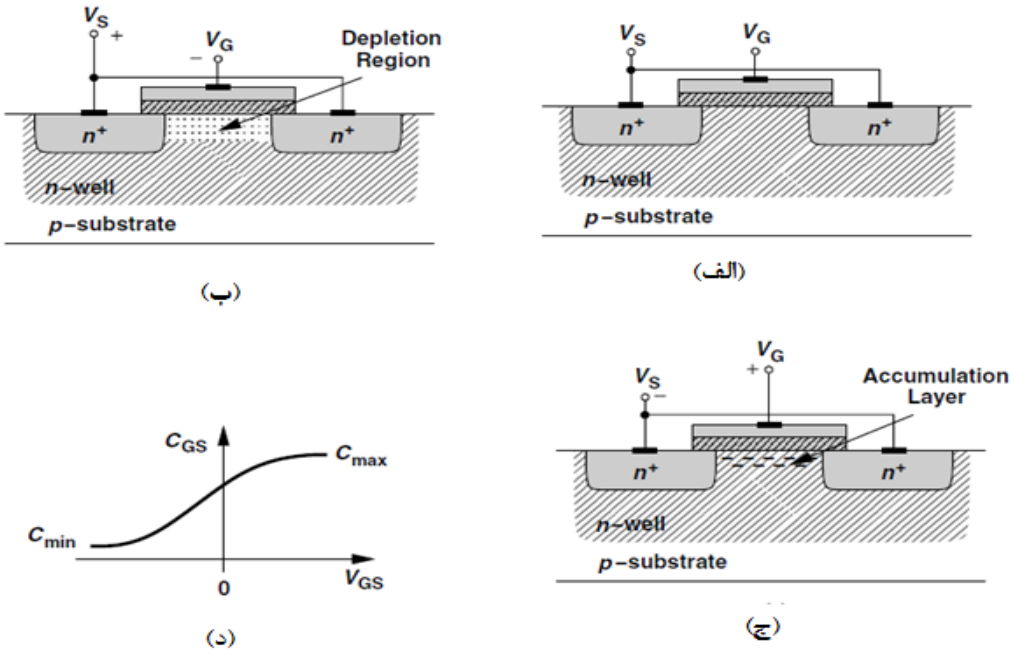
(VCO) که از چنین خازن متغیری استفاده می‌کند. هنگامی که (میانگین) V_{GS} از مقادیر منفی به مقادیر مثبت تغییر می‌کند. بالا و پایین می‌رود. این رفتار فرکانسی غیر یکنواخت در طراحی حلقه‌های قفل فاز مشکل ساز می‌شود[۵].



شکل (۲-۴) تغییرات خازن گیت با V_{GS}[۵].

یک اصلاح ساده در افزاره MOS جلوی مشکلات بالا را می‌گیرد. این ساختار «خازن متغیر حالت انباشتگی[۱] MOS» نامیده می‌شود و در شکل ۲-۵ (الف) نشان داده شده است که با قرار دادن یک ترانزیستور NMOS در داخل یک چاه n به‌دست می‌آید[۸].

[۱] Accumulation-mode MOS varactor



شکل (۲-۵) (الف) خازن متغیر MOS، (ب) عملکرد با ولتاژ گیت – سورس منفی، (ج) عملکرد با ولتاژ گیت سورس منفی، (د) مشخصه C-V حاصل[۵].

اگر $V_G<V_S$، آنگاه الکترون‌های داخل چاه n از فصل مشترک سیلکون - اکسید دفع می‌شوند و یک ناحیه تخلیه[۱] ایجاد می‌شود (شکل ۱-۶(ب)). تحت این شرایط، خازن معادل توسط ترکیب سری خازن اکسید و خازن تخلیه به‌دست می‌آید. اگر V_G از V_S بزرگتر باشد، فصل مشترک، الکترون‌ها را از درگاه-های n^+ سورس/ درین جذب کرده و یک کانال ایجاد می‌کند (شکل (۱-۶(ج)). بنابراین خازن کلی زیاد می‌شود و به خازن اکسید می‌رسد و مانند شکل(۱-۶(د)) رفتار می کند.

مشخصه C-V خازن های متغیر MOS با نسل‌های مختلف تکنولوژی CMOS به خوبی تطبیق یافته و به سطوح اشباع شده C_{max} و C_{min} برای $V_{GS}=\pm 0.5V$ در افزاره‌های $65nm$ می رسد. بنابراین خازن متغیر با منابع تغذیه پایین بهتر از همتایان پیوند pn خود کار می‌کند.

[۱] Depletion region

مزیت دیگر خازن‌های متغیر MOS حالت انباشتگی آن است که بر خلاف پیوند pn می‌توانند هم ولتاژ مثبت و هم ولتاژهای منفی را تحمل کند.در حقیقت، مشخصه شکل(۱-۶(د)) نشان می دهد که خازن متغیر MOS باید با بایاس‌های مثبت و منفی کار کند تا بتواند حداکثر محدوده تنظیم[۱] را فراهم نماید [۵].

همانطور که بیان شد یکی از کاربردهای اساسی ورکتورMOS در نوسان‌سازهای LC و حلقه‌های قفل فاز است که در ادامه به شرح مختصری از آن می‌پردازیم.

۲-۴- نوسان سازها

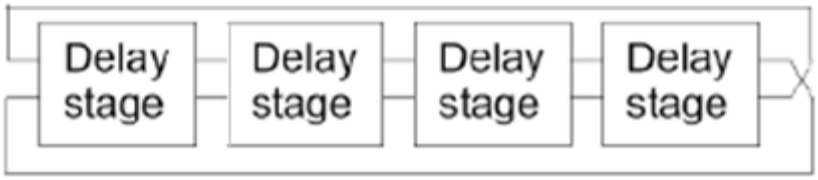
نوسان سازها بلوک‌های اساسی در بسیاری از سیستمهای ارتباطی امروزی هستند. برای مثال در مدارات فرکانس رادیویی، نوسان‌سازها ترجمه کننده فرکانس از اطلاعات سیگنال بوده و نیز بمنظور انتخاب کانال به کار می‌روند. همچنین نوسان‌سازها در مدارات دیجیتالی که برای همزمان‌سازی[۲] نیاز به یک مرجع زمانی مانند سیگنال کلاک می‌باشد، وجود دارند.

نوسان‌سازها به طور گسترده‌ای در مدارهای فرستنده گیرنده نیز استفاده می شوند. به همین منظور هیچگاه از توجه طراحان RF دور نمی‌مانند.کیفیت سیگنال نوسان‌سازهای محلی در مدارهای فرستنده گیرنده، کیفیت داده‌های دریافتی را تحت تاثیر قرار می‌دهد بنابراین یکی از نگرانی‌های اصلی برای طراحانRF بدست آوردن یک سیگنال دقیق و پایدار بر روی تراشه است. نوسان‌سازهای حلقوی[۳] و نوسان‌سازهای تانک LC دو نمونه از نوسان‌سازهای پرکاربرد در این زمینه می‌باشند. یک نوسان‌ساز حلقوی را می توان در ابعاد کوچکتری نسبت به نوسان‌سازهای تانک LC ساخت زیرا نوسان‌سازهای تانک LC برای پیاده سازی سلف‌های روی تراشه به فضایی بیش از ترانزیستورها نیاز دارند. با توجه به مسائل شبیه سازی و اندازه‌گیری، عملکرد یک نوسان ساز حلقوی در مقایسه با عملکرد یک نوسان‌ساز

[۱] Tuning range
[۲] Synchronization
[۳] Ring osillator

تانک LC قابل پیش بینی‌تر است، زیرا مدلسازی نوسان‌ساز LC به دلیل دارا بودن چندین سلف و خازن دشوارتر به نظر می‌رسد.

نوسان‌ساز حلقوی، از حلقه‌هایی تشکیل شده است که شامل تعدادی تقویت‌کننده می‌باشد. این مدارها نمونه‌ای از مدارهای کلاسیک نوسان‌ساز هستند. در صورتی که کل شیفت فاز در حلقه برابر 360 درجه گردد، مدار نوسان خواهد کرد. نمونه‌های از نوسان‌سازهای حلقوی در شکل (۲-۶) نمایش داده شده است. عیب اصلی این مدارها، نویز فاز بالا می‌باشد. اخیرا مدارهای نوسان‌ساز حلقوی با نویز فاز مناسب طراحی شده‌اند ولی مشکل مصرف توان بالای آنها نسبت به نوسان سازهای LC هنوز به طور کامل حل نشده است و با توجه به اینکه مصرف توان مساله بسیار مهمی است، نوسان‌سازهای LC ترجیح داده می‌شوند [۹-۱۱].



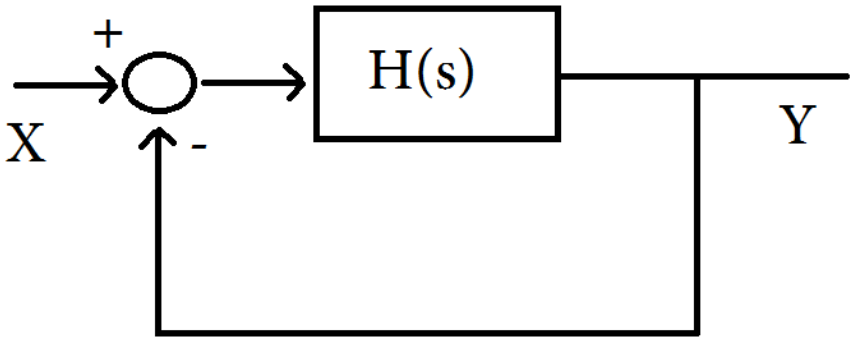
شکل (۲-۶) نمونه ای از مدارهای نوسان‌ساز حلقوی.

۲-۴-۱ قواعد پایه‌ای

یک نوسان‌ساز شکل موج متناوب تولید می‌کند. به این دلیل، مدار باید دارای یک ساز و کار خودگردان باشد تا به وسیله نویز خود مدار رشد کرده و به مرور تبدیل به یک سیگنال شود. یک نوسان گر را می‌توان به صورت یک تقویت کننده با پسخورد منفی (که بد طراحی شده است) در نظر گرفت. این طراحی آنقدر بد است که مدار دارای حاشیه فاز منفی یا صفر است. اگر چه هنر طراحی نوسان ساز بیش از فقط یک تقویت کننده ناپایدار است، این دیدگاه نقطه شروع خوبی برای بررسی فراهم می‌سازد.

$$\frac{Y}{X}(S)=\frac{H(S)}{1+H(S)} \qquad (۲-۳)$$

اگر در یک فرکانس سینوسی، ω_1، $H(S=J\omega_1)$ برابر با ۱- شود بهره از ورودی تا خروجی بی نهایت می‌شود، در نتیجه مدار را مجاز می‌سازد تا مولفه نویز در ω_1 را به طور نامحدود تقویت کند. این بدان معناست که مدار می‌تواند یک خروجی در ω_1 ایجاد کند. از منظر دیگر سیستم حلقه-بسته دارای دو قطب موهومی برابر با $\pm\omega_1$ است.



شکل (۲-۷) سیستم پسخورد منفی

از آن‌جا که H(S) یک تابع مختلط است، شرط $H(J\omega_1)=-1$ را می‌توان به طور معادله به صورت

$$|H(S=j\omega_1)|=1 \qquad (۴-۲)$$

$$\angle H(S=J\omega_1)=180 \qquad (۵-۲)$$

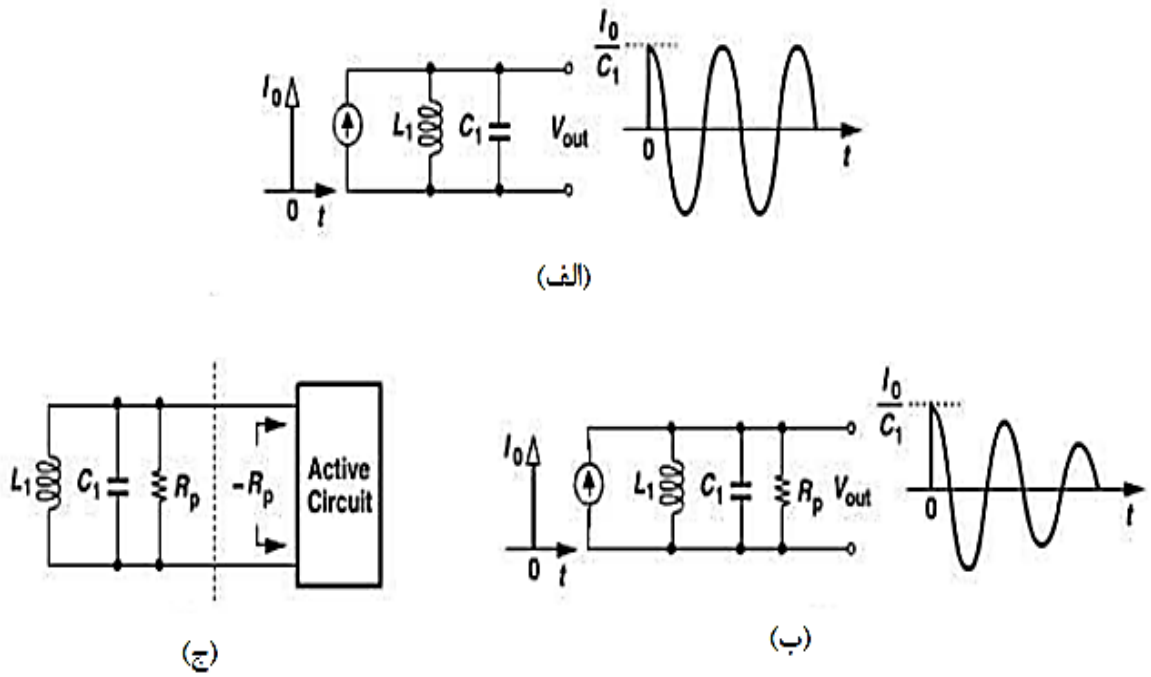
بیان کرد که به شرط « بارک هاوزن»[۱] معروف است. لازم به ذکر است که هر نوسان‌ساز برای نوسان باید شرط بارک هاوزن را داشته باشد.

۲-۴-۲ دیدگاه تک دهانه‌ای

در بخش قبل نوسان‌گرها را به صورت یک سیستم پسخورد در نظر گرفتیم. در نگاهی دیگر، نوسان‌گرها به صورت دو عنصر تک دهانه، یعنی یک تشدیدگر تلفاتی و یک مدار فعال که تلفات را خنثی می‌کند،

[۱] Barkhausen criteria

در نظر گرفته می‌شود. این نگاه بینش بیشتری را در مورد نوسان‌گرها می‌دهد که در این بخش توضیح داده می‌شود.



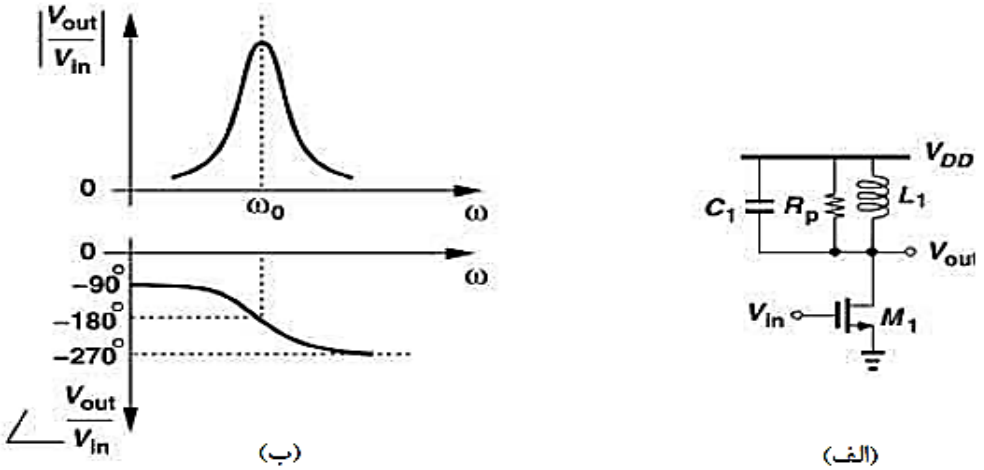
شکل (۲-۸) (الف) پاسخ یک تانک ایده آل به یک ورودی ضربه، (ب) پاسخ یک تانک تلفاتی به ضربه، (ج) خنثی سازی تلفات توسط مقاومت منفی [۱۲].

فرض کنید، همانطور که در شکل ۸-۲(الف) نمایش داده شده است یک ضربه جریان $I_0\delta(t)$، به یک تانک بدون تلفات اعمال شده است. ضربه به طور کامل توسط C_1 جذب می‌شود و منجر به تولید ولتاژی برابر با I_0/C_1 می‌شود. بار موجود بر روی C_1 سپس از طریق L_1 جریان می‌یابد و در نتیجه ولتاژ خروجی کاهش می یابد. هنگامی که V_{out} به صفر می رسد، C_1 حاوی انرژی نیست اما L_1 دارای جریانی برابر با $L_1 dV_{out}/dt$ است، که خازن C_1را در جهت معکوس شارژ می‌کند، در نتیجه V_{out} را به سمت قله منفی می‌برد. این دست به دست شدن متناوب انرژی میان C_1 و L_1 به طور نامحدود ادامه می‌یابد و دامنه آن را می توان با قدرت ضربه‌ی اول محاسبه کرد.

اکنون، یک تانک تلفاتی را در نظر می‌گیریم. چنین مداری، که در شکل ۲-۸(ب) نمایش داده شده است، به‌طور مشابه عمل می‌کند فقط R_p بخشی از انرژی خازن را که در هر دوره دریافت کرده را تلف می‌کند و منجر به افت نمایی دامنه می‌شود. بنابراین فرض می‌کنیم اگر یک مدار فعال انرژی از دست رفته در هر دوره را جبران کند آنگاه نوسان ادامه پیدا می‌کند. در حقیقت پیش بینی می‌کنیم که یک مدار فعال که دارای مقاومت $-R_p$ است را می‌توان به دو سر تانک اعمال کرد تا اثر R_p را خنثی سازد تا حالت ایده‌آل نشان داده شده در شکل ۲-۸ (الف) را بازسازی کند. پیکره بندی حاصل، که در شکل۲-۸(ج) نمایش داده شده است را «نوسان گر تک دهانه ای» می نامند.

حال سوال اساسی این می‌باشد که این مقاومت منفی را چطور به وجود بیاوریم. همانطور که از قبل میدانیم می‌توان با یک ترانزیستور و استفاده از g_m ترانزیستور به منظور مورد نظر رسید. که در ادامه به نحوه استفاده از g_m پرداخته خواهد شد.

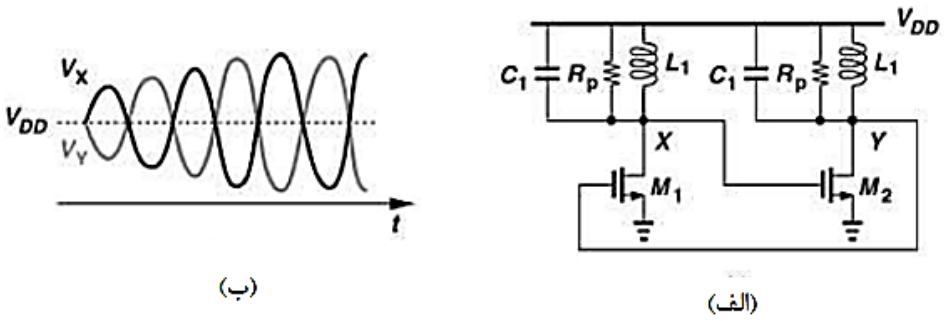
تانک شکل (۲-۸) را به صورت شکل (۲-۹) در کنار یک ترانزیستور برای تولید مقاومت منفی بسته شده است آیا مدار نوسان می‌کند؟ آن چنان که منحنی‌های دامنه و فاز حلقه باز در شکل ۲-۹ (ب) نشان می‌دهند، هیچ فرکانسی شرط بارک هاوزن را ارضا نمی‌کند و کل جابه جایی فاز در هیچ فرکانسی به 360^0 نمی‌رسد.



شکل (۲-۹) (الف)تقویت کننده تنظیم شده، (ب) پاسخ فرکانسی[۱۲].

با بررسی بیشتر، در می‌یابیم که مدار با بهره‌ی کافی ($-g_m R_p$) در ω_0 می‌تواند جابه جایی فازی برابر با 180^0 تولید کند. فقط باید جابه‌جایی فاز را، احتمالا با افزودن یک طبقه دیگر در حلقه، تا 360^0 افزایش دهیم این ایده که در شکل ۲-۱۰(الف) نشان داده شده است، آن چنان است تا یک طبقه‌ی سلفی خازنی تنظیم شده مشابه را به صورت سری با طبقه اول قرار دهیم تا در فرکانس تشدید، کل جابه‌جایی فاز پیرامون حلقه برابر با 360^0 شود. مدار در صورتی نوسان می‌کند که بهره‌ی حلقه برابر یا بزرگتر از واحد باشد:

$$(g_m R_p)^2 \geq 1 \qquad (۶-۲)$$

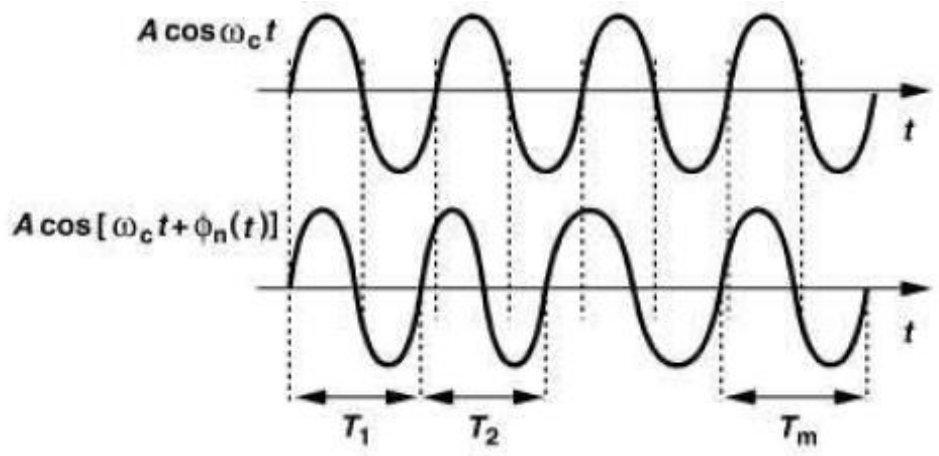


شکل (۲-۱۰) اتصال زنجیره ای دو تقویت کننده تنظیم شده در حلقه پسخورد[۱۲].

۲-۵- نویز فاز

طراحی VCO باید با تقابل‌هایی میان محدوده تنظیم، نویز فاز و تلفات توان مقابله کند. یک نوسان‌گر ایده‌ال یک خروجی کاملا تناوبی به صورت $x(t) = A\cos\omega_c t$ ایجاد می‌کند. نقاط گذر از صفر دقیقا در ضرایب صحیح $T_c = 2\pi/\omega_c$ رخ می دهند. اما در واقعیت، نویز ترانزیستورهای نوسان‌ساز به صورت تصادفی محل‌های گذر از صفر را جابه‌جا می‌کند. برای آن که این اختلال را مدل کنیم، می‌نویسیم: $x(t) = A\cos[\omega_c t + \phi_n(t)]$، که در آن $\phi_n(t)$ کمیت فاز تصادفی است که منجر به انحراف نقاط گذر

از صفر از ضرایب صحیح T_c می‌شود. شکل ۲-۱۲ این دو شکل موج را در حوزه‌ی زمان نشان می‌دهد. $\phi_n(t)$، «نویز فاز» نامیده می‌شود.



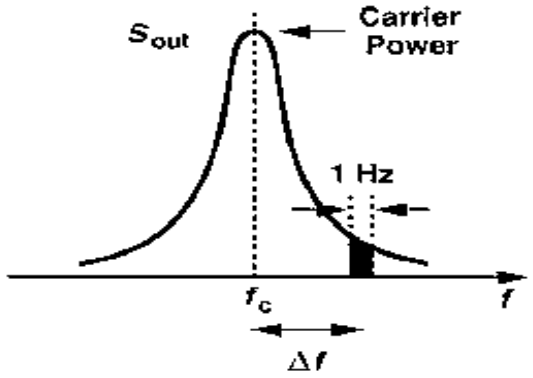
شکل (۲-۱۱) شکل موج‌های خروجی برای یک نوسان‌ساز ایده‌آل و یک نوسان‌ساز با نویز فاز[۵].

شکل موج های نمایش داده شده در شکل(۲-۱۱) را می‌توان از منظر متفاوتی برر سی کرد. می‌توان گفت که دوره‌ی تناوب ثابت اســت اگر $x(t)=A\cos\omega_c t$ باشــد اما اگر $x(t)=A\cos[\omega_c t+\phi_n(t)]$ با شد به‌طور تصادفی تغییر می‌کند (چنان که با $T_1,.....,T_m$ در شکل ۲-۱۱ نمایش داده شده است). به بیان دیگر، فرکانس شکل موج در حالت اول ثابت ا ست در حالی که در حالت دوم به طور ت صادفی تغییر می‌کند. این مشاهده به طیف خروجی نوسان‌گر می‌انجامد. با فرض $x(t)=A\cos\omega_c t$، طیف از تک ضربه در ω_c تشکیل یافته ا ست، در حالی که با فرض $x(t)=A\cos[\omega_c t+\phi_n(t)]$ فرکانس دارای تغیرات ت صادفی ا ست، یعنی، گاه بیگاه از ω_c فا صله می‌گیرد. در نتیجه ضربه را می‌توان برای نمایش این فاصله گرفتن تصادفی «پهن» کرد.

تاکیدی که بر روی نویز در گذر از صـفرها به جای نویز در دامنه داریم ناشـی از این فرض می‌شـود که نویز دامنه را می توان با فیلترهای معمول در طبقات بعد نوســان گر حل کرد اما حذف نویز فاز به این راحتی و سادگی نمی‌باشد.

برای تعیین کمیت نویز فاز، از آن‌جا که نویز فاز در فرکانس‌های دورتر از ω_c کاهش می‌یابد، باید در یک «فاصله[1] فرکانسی» معین یعنی فاصله مشخصی نسبت به ω_c بیان شود.

همانطور که در شکل ۲-۱۲ نشان داده شده است، یک پهنای باند 1HZ از طیف را در فاصله فرکانسی Δf در نظر می‌گیریم، توان خروجی را در این پهنای باند محاسبه می‌کنیم و حاصل را به «توان حامل» نرمالیزه می‌کنیم. توان خروجی را می توان به صورت قله‌ی طیف در نظر گرفت. به‌طور مثال، نویز فاز یک نو سان ساز برای کاربردهای GSM باید کمتر از 115dBC/Hz- در فا صله 600kHz با شد. واحد dBC، که به آن «dB نسبت به حامل» گفته می‌شود، برنرمالیزه کردن توان نویز به توان حامل تاکید می‌کند [۱۲-۱۳].



شکل (۲-۱۲) طیف فرکانس خروجی یک نوسان‌ساز.

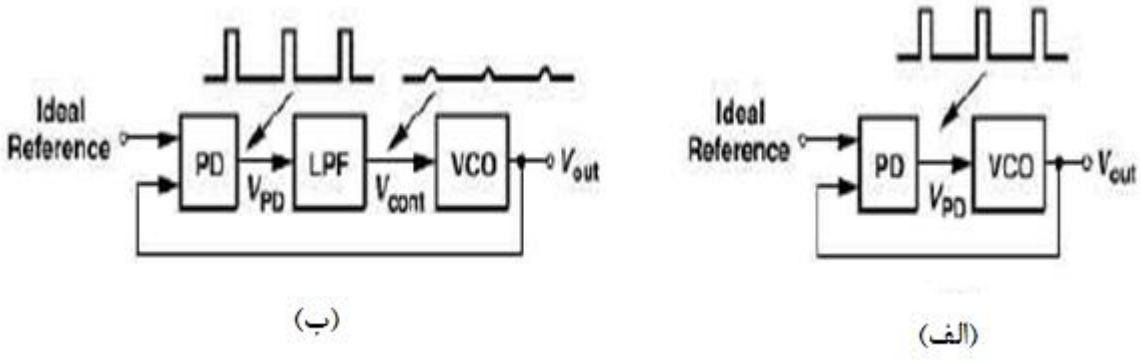
۲-۶- حلقه قفل فاز

مدار شکل ۲-۱۳ یک حلقه قفل فاز نام دارد اما ابتدا لازم است که مفاهیم «قفل شدن» و «قفل فاز» را بررسی کنیم. ابتدا یک مدار آشناتر در حوزه ولتاژ که در شکل ۲-۱۳(الف) نشان داده شده است را در نظر بگیرید. اگر بهره حلقه باز بافر بهره واحد نسبتا بزرگ باشد، ولتاژ خروجی، ولتاژ ورودی را دنبال خواهد کرد. به طور مشابه PLL شکل ۲-۱۳(ب) اطمینان حاصل می‌کند، زمانی که $\phi_{out}(t)-\phi_{in}(t)$ با

[1] Offset

زمان ثابت باشـــد، $\phi_{out}(t)$ مقدار $\phi_{in}(t)$ را دنبال کند. هم چنین برای تاکید بر ویژگی دنبال کردن می‌گوئیم که فاز خروجی به فاز ورودی اصطلاحا «قفل» شده است.

یک اثر مهم و یکتای قفل فاز این اســـت که فرکانس موج‌های ورودی و خروجی PLL دقیقا یکســـان می‌شوند [۱۴].



شکل (۲-۱۳) یکPLL ساده، (ب) افزودن یک فیلتر پایین گذر برای حذف فرکانس‌های بالا که توسط آشکار ساز فاز تولید می‌شود [۵و۱۴].

فصل ۳:

مروری بر کارهای انجام شده در گذشته

۳-۱- مقدمه

رشد روزافزون در ارتباطات بی‌سیم منجر به افزایش تقاضا برای محصولات بی‌سیم شده است که دارای کمترین هزینه و توان مصرفی و فضای اشغالی باشند. به همین علت استفاده از تکنولوژی CMOS برای پیاده‌سازی مدارات RF مانند LNA ، نوسان‌سازهای کنترل شونده با ولتاژ (VCO) و غیره مورد علاقه قرار گرفته است که علاوه بر مزایایی مانند توان مصرفی و هزینه پایین قابل پیاده سازی به صورت یکپارچه و مجتمع است در VCOها برای ایجاد نوسان‌سازی از ترانزیستور به عنوان مقاومت منفی و یک تانک LC استفاده شده است که تانک LC برای انتخاب فرکانس مورد نظر با توجه به رابطه $f_{osc}=\frac{1}{2\pi\sqrt{LC}}$ و تنظیم L و C می‌باشد.

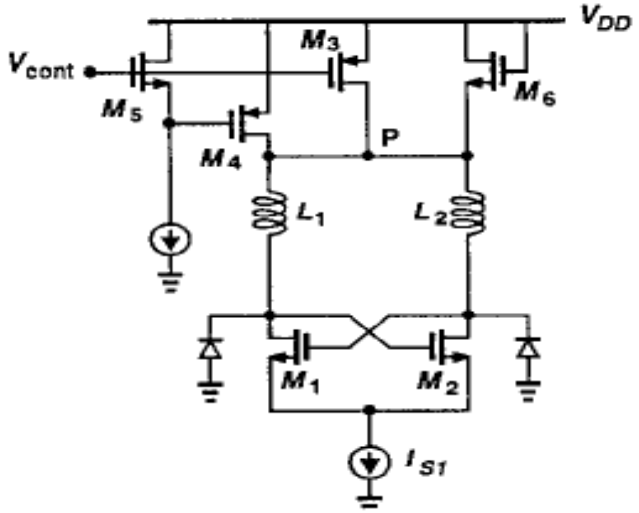
حال برای تحقق یکپارچه‌سازی نیاز است که سلف و خازن که هر کدام فضای زیادی را در مدارات RF اشغال می‌کنند بهبود پیدا کنند. البته روش های متعددی برای ساخت خازن در تکنولوژی CMOS وجود دارد که در مورد هر کدام بحث و معایب و مزایا آنها طی مقالات و مطالعات متعدد بررسی شده است[۱۶و۱۷]

در مطالعات و پژوهش‌ها روش های جدید و متنوعی برای بهبود خازن های موجود در تکنولوژی CMOS ارائه شده است. همانطور که در فصل گذشته گفته شد خازن‌های قابل پیاده سازی در تکنولوژی CMOS به سه دسته MIM و PIP و MOS تقسیم می‌شوند که از خود خازن MOS، به صورت خازن ثابت و خازن متغیر با ولتاژ نیز می‌توان استفاده کرد. در این فصل ابتدا مقالات و کارهایی که به ساخت و بهسازی خازنMOS اشاره کرده است مورد بررسی قرار داده شده است. سپس ساخت انواع نوسان‌سازها و مزایا و معایب هر کدام و نتیجتا اینکه در یک نوسان ساز چه مسائلی برای یک طراح مهم است پرداخته خواهد شد. همچنین به بررسی اینکه تکنیک اصلاح گستره خطی ورکتورMOS که موضوع اصلی پایان

نامه می‌باشد چه بهبودهایی ایجاد می‌کند نیز مورد بحث قرار گرفته شده است در پایان فصل به بررسی نویز فاز و روش های ارائه شده برای کاهش نویز فاز در نوسان‌سازها اشاره شده است و در نهایت کاهش نویز فاز با استفاده از کاهش بهره VCO که نتیجه افزایش گستره خطی است پرداخته شده است.

۳-۲- دیود ورکتور

همانطور که گفته شد در اکثر مدارات، مخصوصا مدارات مخابراتی نیاز به المان‌هایی قابل کنترل ضروری و مورد نیاز است یکی از این المان ها، خازن متغیر است که ظرفیت خازنی آن متناسب با ولتاژ اعمالی به دو سر آن تغییر کند. برای طراحی گزینه‌های متعددی برای تحقق المان قابل تنظیم وجود دارد. اولین المانی که در گذشته از آن استفاده می‌شد استفاده از دیود ورکتور بود، که در محل اتصال P-N، خازن متغییری متناسب با ولتاژ اعمالی به دو سر آن به وجود می‌آید. دیودهای ورکتور در بایاس معکوس کار می‌کنند بنابراین جریانی از دیود نخواهد گذشت. ولی زمانی که پهنای ناحیه تخلیه بر اثر ولتاژ بایاس دیود، تغییر کند، میزان ظرفیت خازنی دیود نیز تغییر می‌کند. عموماً پهنای ناحیه تخلیه به جذر ولتاژ اعمالی بستگی دارد و ظرفیت خازنی دیود نسبت معکوسی با پهنای ناحیه تخلیه دارد. بنابراین ظرفیت خازنی دیود با جذر ولتاژ ورودی نسبت معکوس دارد[۱۵].



شکل (۳-۱) یک نمونه نوسان ساز LC که در تانک نوسان ساز از دیود ورکتور استفاده شده است[۱۵].

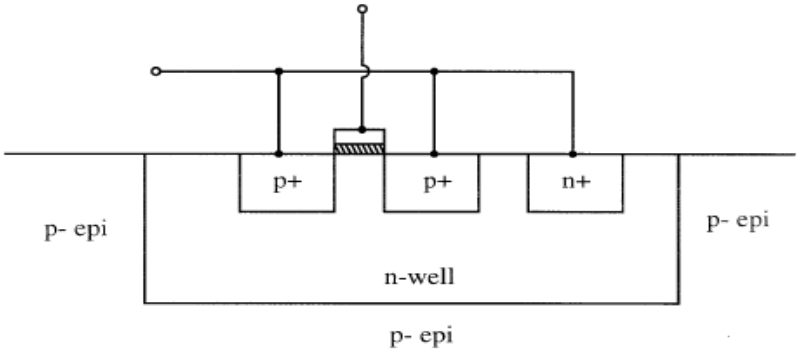
استفاده از ساختار بالا چندین عیب بزرگ داشت: اول اینکه با این ساختار امکان دست‌یابی به ظرفیت‌های بالای خازنی امکان پذیر نیست و دوما برای استفاده از حالت خازنی، باید حتما دیود بایاس معکوس شود و امکان اینکه دیود ورکتور در هر دو ولتاژ منفی و مثبت رفتار خازنی داشته باشد وجود ندارد از طرفی محدودیت ولتاژ اعمالی در بایاس معکوس برای اینکه پیوند به شکست نرسد نیز وجود دارد.

۳-۳- ورکتور MOS

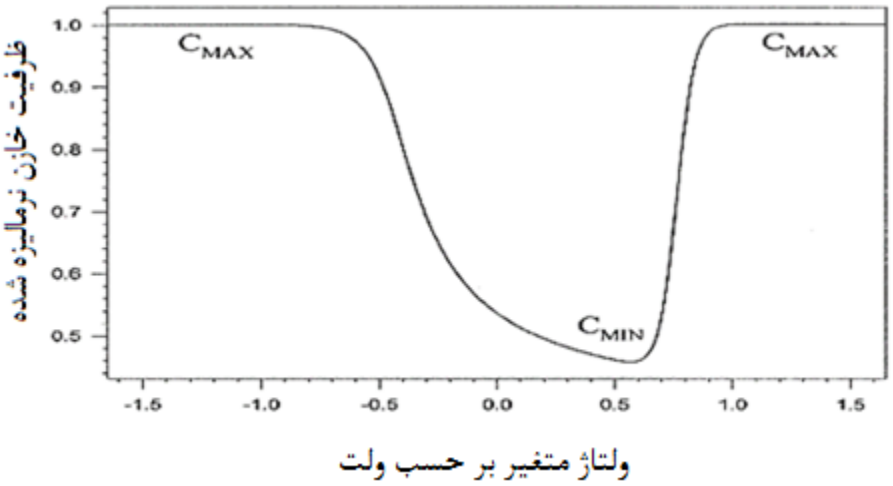
همانطور که گفته شده یکی دیگر از انواع خازن‌های قابل پیاده سازی در فناوری CMOS، خازن‌های MOS و نوع متغیر آن یعنی ورکتورMOS است. همانطور که در قسمت ۳-۲ گفته شد استفاده از دیود ورکتورها معایب زیادی را به دنبال دارد. برای برطرف کردن عیب‌های دیود ورکتور، استفاده از ورکتور MOS که با استفاده از خازن‌های MOS قابل پیاده سازی است پیشنهاد می‌شود.

تغییرات و ساختارهای متفاوتی بر روی بایاس ورکتور MOS برای دست یافتن به یک ورکتور با بالاترین کیفیت ارائه شد است. یکی از کاملترین مقالات برای بررسی ورکتور مقاله ANDREANI است که یک ورکتور را برای یک نوسان ساز RF مورد بررسی قرار داده است[۱۶].

اولین ساختار شکل(۳-۲)، یک PMOS با اتصال پایه‌های درین، سورس و بالک به یکدیگر به عنوان یک گره از خازن و گیت پالی سیلیکون به عنوان گره دیگر خازن است. این ساختار دارای یک خازن غیر یکنواخت است، چرا که ورکتور می‌تواند در هر سه ناحیه تخلیه، وارونگی و انباشتگی بایاس شده باشد. شکل (۳-۳) منحنی مشخصه DC این ساختار را نشان می‌دهد که با توجه به منحنی در هر دو حالت وارونگی و انباشتگی حداکثر ظرفیت خازنی وجود دارد. همچنین با توجه به منحنی می‌توان پی برد که به ازای تغیرات اندک V_{gs} ناحیه کاری ورکتور شدیدا عوض می‌شود، که یک عیب به شمار می‌آید.



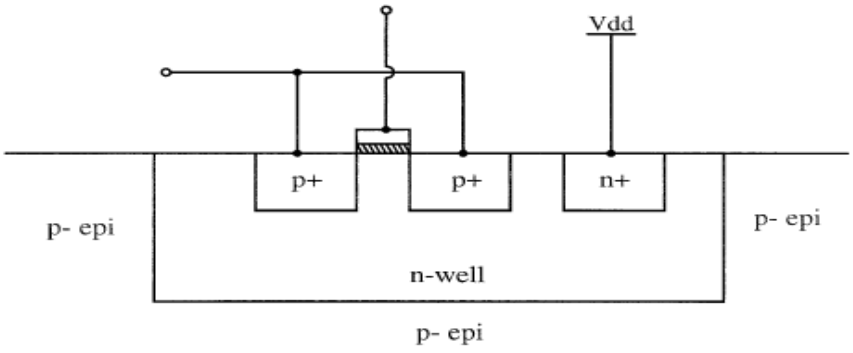
شکل (۳-۲) یک PMOS با اتصال پایه‌های درین، سورس و بالک به یکدیگر[۱۷].



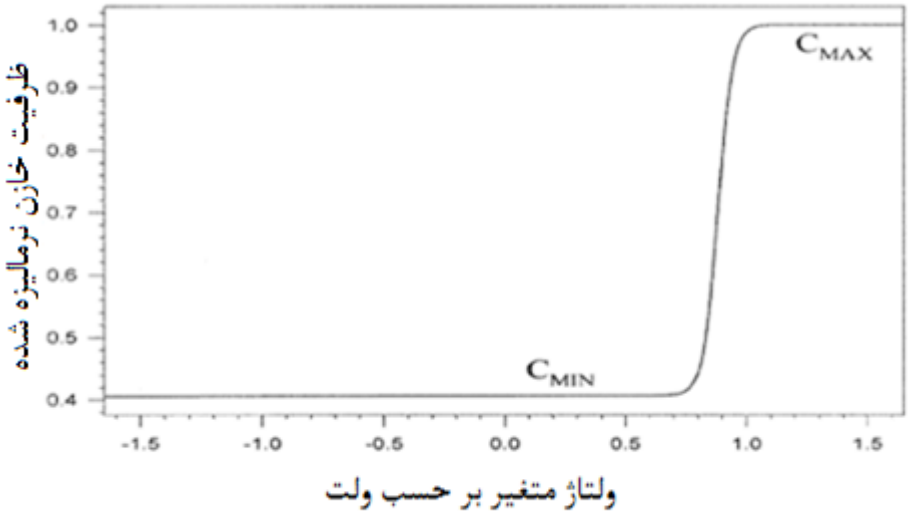
شکل (۳-۳) منحنی مشخصه خازن بر حسب ولتاژ در ساختار شکل (۳-۲)[۱۷].

یکی دیگر از ساختار های موجود، ساختار وارونگی(I-MOS[۱]) است (شکل (۳-۴)) که در این حالت با توجه به بایاس متفاوت نسبت به حالت قبلی و عدم اتصال بالک به درین و سورس، ورکتور در ناحیه وارونگی بایاس شده است. شکل (۳-۴) مانند ساختار اول(S=D=B) از یک ترانزیستور PMOS استفاده شده است که درین و سورس با هم اتصال کوتاه شده و یک گره خازن و گیت گره دوم خازن را تشکیل می‌دهد. تفاوت این ساختار S=D=B با این ساختار فقط در بایاس بالک ترانزیستور است. اگر بخواهیم یک ورکتور در ناحیه وارونگی باشد برای نوع p، باید بالک را به بالاترین ولتاژ و برای نوع n باید بالک را به پایین‌ترین ولتاژ متصل شود. شکل (۳-۵) منحنی مشخصه DC این ساختار را نشان می‌دهد [۱۶].

[۱] inversion-mode MOS



شکل (۳-۴) یک ورکتور با بایاس متفاوت برای کار در ناحیه وارونگی [۱۶].

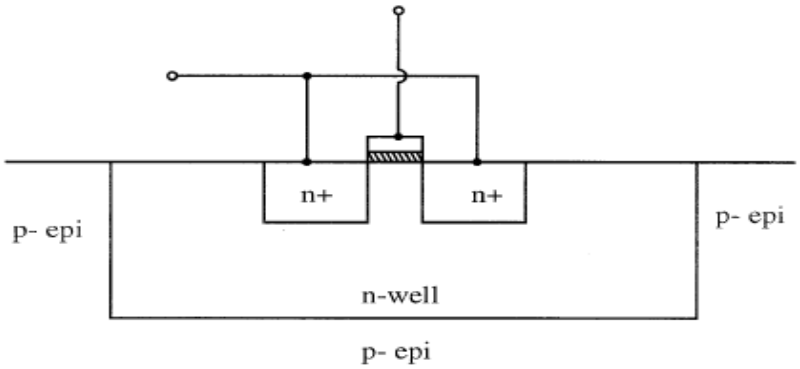


شکل (۳-۵) منحنی مشخصه خازن بر حسب ولتاژ ساختار شکل (۳-۴)[۱۶].

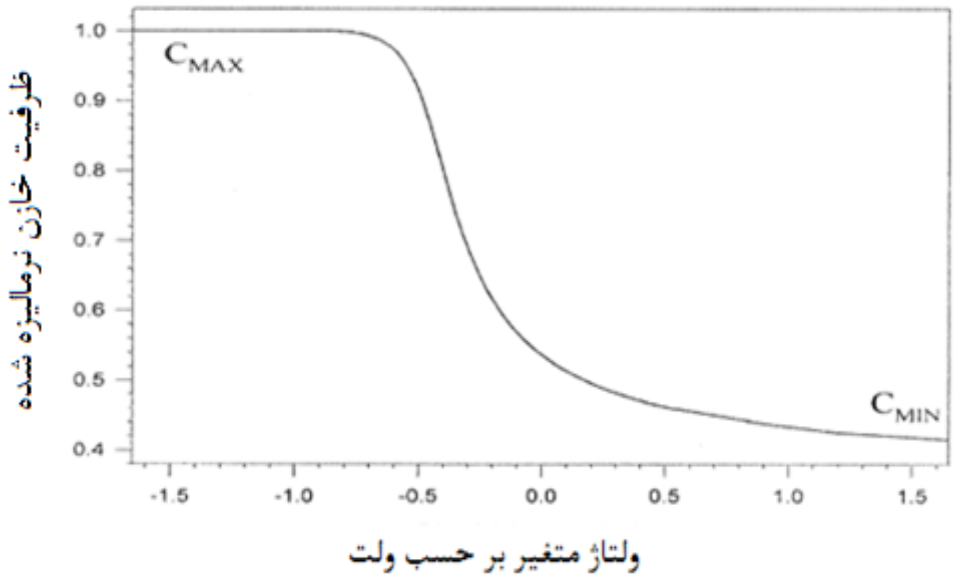
نکته بسیار مهم در مورد این ساختار اینکه منحنی مشخصه غیر خطی(بازه آن بسیار باریک است) و نزدیک به حالت یکنواخت است و انتقال منحنی از C_{max} به C_{min} بسیار تند و با شیب زیاد است. این ساختار مشکل ساختار اول یعنی عدم یکنواختی در مشخصه را بر طرف کرده است اما باز هم دارای مشکلاتی است. به عنوان مثال استفاده از این ورکتور در یک VCO که دارای نوسانات بزرگ سیگنال است باعث می‌شود که با تغییرات واقعی نوسان‌ساز که مقدار بزرگی دارند، مقدار ظرفیت خازنی، دچار انحراف قابل توجهی شود که مناسب و مطلوب نمی‌باشد.

همچنین علاوه بر دو ساختار گفته شد می‌توان از ساختار سوم که در شکل شکل (۳-۶) نشان داده شده است از خازن MOS در ناحیه تجمع(A-MOS[1]) است.

اگر ولتاژ متغیر اعمالی به گیت و سورس در حداکثر مقدار خود کوچکتر از ولتاژ آستانه باشد ورکتور در ناحیه انباشتگی بایاس می‌شود. در این ناحیه کاری مشخصه خروجی یکنواخت و نزدیک به خطی است. شکل (۳-۷) مشخصه خروجی ساختار سوم را نشان می‌دهد [۱۷].



شکل (۳-۶) استفاده از خازن MOS در ناحیه تجمع(A-MOS)[۱۷].



شکل (۳-۷) منحنی مشخصه خازن بر حسب ولتاژ ساختار A-MOS[۱۷].

[1]Accumulation mode (A-MOS)

سه ساختار بالا هر کدام معایب و مزایا خاص خود را دارند. همانطور که گفته شد در ساختار A-MOS منحنی غیر خطی و یکنوا است و عیب ساختار اول که غیر یکنوا بود را برطرف کرده است، در ساختار I-MOS نیز منحنی نزدیک به یکنوا است و رفتار خطی تری نسبت به ساختار A-MOS دارد اما مشکل شیب بسیار تند منحنی این ساختار بسیار مهم است که اثر مخرب خود را در یک VCO دارد.

در جدول زیر فرکانس وگستره تنظیم برای سه ساختار دیود ورکتور، I-MOS و A-MOS نوشته شده است. در مقایسه تفاوتی در اعداد حاصل از هر ساختار دیده نمی‌شود. با توجه به خروجی جدول می‌توان گفت که هر سه ساختار نهایتا تا حدودی خواسته طراح را برآورده می‌کنند ولی در عمل برای پیاده سازی و مجتمع سازی، عیب دیود ورکتورها دیده می‌شود که توسط دو ساختار بعد عیوب ذکر شده اصلاح شده است [۱۷].

جدول (۳-۱) گستره تنظیم فرکانس یک VCO برای سه حالت استفاده از دیود ورکتور، I-MOS و A-MOS[۱۷].

ورکتور	f_L-f_H	f_C	گستره تنظیم فرکانس
Diode	1.73-1.93	1.83	10.9%
I-MOS	1.71-1.91	1.81	11.0%
A-MOS	1.70-1.89	1.80	10.67%

۳-۴- استفاده از A-MOS در یک نوسان ساز LC

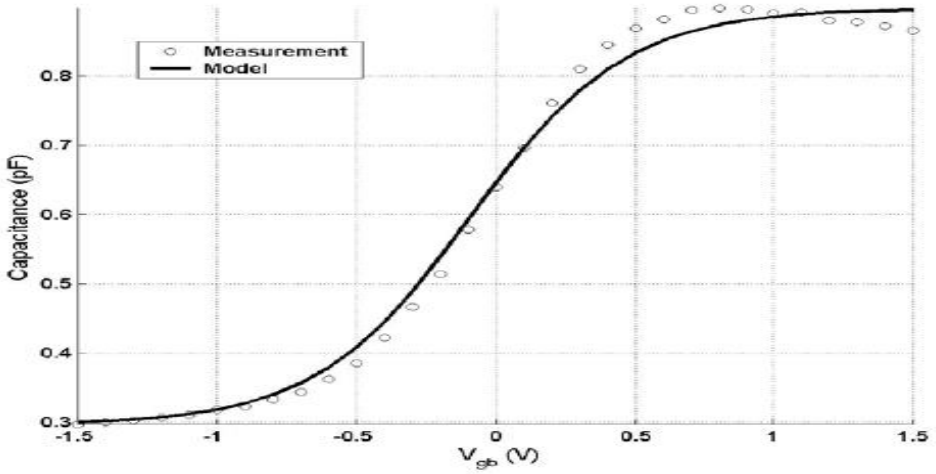
همانطور که در قسمت ۳-۳ گفته شد یکی از سه ساختار استفاده از خازن MOS ،ساختار A-MOS یا استفاده از خازن MOS در حالت انباشتگی است. در این ساختار پایه‌های درین و سورس اتصال کوتاه شده و یک گره خازن و پایه گیت، گره دوم خازن را تشکیل می‌دهند، پایه بالک نیز در نوع PMOS به بزرگترین ولتاژ و در نوع NMOS به کمترین ولتاژ باید متصل باشد که در هر دو حالت شرط $V_G \succ V_B$

برقرار باشد که ورکتور در ناحیه انباشتگی بایاس شده باشد. ماکزیمم مقدار خازن در این ناحیه تقریبا برابر است با:

$$C_{OX} = \varepsilon_{ox} S / t_{ox} \qquad (۱-۳)$$

که در آن S و t_{ox} به ترتیب مساحت کانال و ضخامت اکسید است [۱۸].

خازن A-MOS برتری هایی نسبت به دو ساختار دیگر داشت، اول اینکه منحنی مشخصه کاملا یکنواخت داشت و دوم رفتار نزدیک به خطی دارد. در [۱۸] یک ورکتور MOS که در ناحیه انباشتگی بایاس شده است را در یک نوسان ساز LC استفاده کرده است. هدف مقاله طراحی یک VCO در بازه فرکانسی 5- 6 GHZ با استفاده از تکنولوژی $0.13\ \mu m$ بوده است. شکل(۳-۸) نمودار فرکانس خروجی بر حسب ولتاژ کنترل را نشان داده است. همانطور که از شکل پیداست اولا بر خلاف دیود ورکتور در هر دو ولتاژ مثبت و منفی ورکتور کار می‌کند و ثانیا رفتار یکنواخت در نمودار خروجی نمایان است ولی خطی بودن فقط در بازه ۰/۳- ولتی تا ۰/۳ ولتی وجود دارد و گستره خطی نسبتا بزرگی ندارد که یکی از عیوب آن محسوب می‌شود.



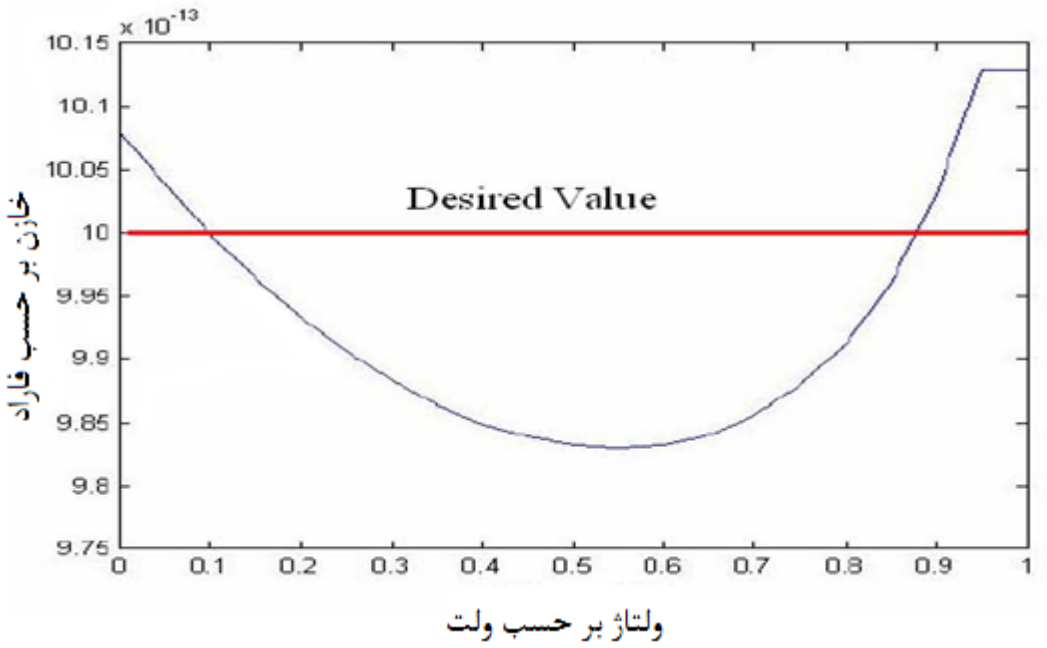
شکل (۳-۸) خروجی یک VCO با استفاده از A-MOS[۱۸].

۳-۵- بهبود منحنی خروجی ورکتورهای MOS

همانطور که در بخش ۲-۲ توضیح داده شد استفاده از خازن‌های MOS به دو صورت امکان پذیر است. در حالت اول استفاده از خازن‌های MOS به عنوان خازن ثابت، که به MOS Cap معروف هستند و حالت دوم که خازن متغیر یا ورکتورMOS که در توضیح داده شد گفته می‌شود. MOS Cap ها دارای چگالی بسیار بزرگ در واحد سطح و ضریب کیفیت[۱] بالایی هستند. عیب این خازن تغییر مقدار ظرفیت خازنی آن نسبت به ولتاژ است. تلاش‌های زیادی برای خطی سازی MOS Cap ها ارائه شده است. دو تکنیک جبران ساز سری(SCDM) و جبران ساز موازی(PCDM) برای یک خازن با بازه تغیرات ولتاژی از صفر تا یک ولت به ترتیب توانسته حدود ۸/۶ درصد و ۳۴ درصد تغییرات خازنی را کم و منحنی مشخصه را خطی‌تر کند اما باز هم این درصد تغییر زیاد بوده و قابل قبول نیست [۱۹].

در[۲۰] با استفاده از یک الگوریتم بهینه سازی طراح توانسته است ابعاد ترانزیستور را بهینه کند و به بهترین خازن با کمترین میزان تغییرات نسبت به ولتاژ دست پیدا کند در عمل تکنیک این مقاله یک روش بهینه‌سازی است و باز هم نتوانسته نتیجه مطلوبی بدست آورد. شکل(۳-۹) منحنی مقدار تغیرات یک خازن 1pF را در بازه صفر تا یک ولت رسم کرده است [۲۰].

[۱] Quality factor

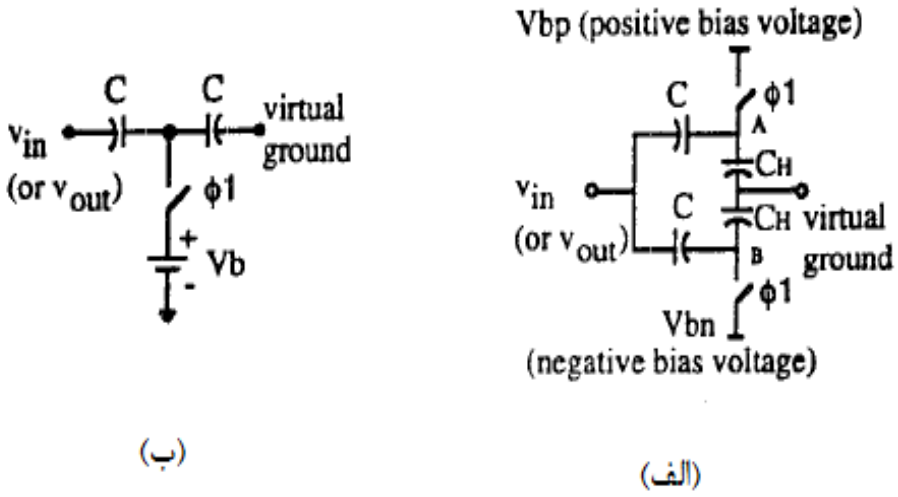


شکل (۳-۹) منحنی مقدار تغیرات یک خازن 1pF را در بازه صفر تا یک ولت[۲۰].

علاوه بر تکنیک های ذکر شده بالا، Andriani در مقاله خود توضیح داده‌اند[۱۶] که اگر گیت یک NMOS را به عنوان یک ترمینال خازن و بالک NMOS را به عنوان ترمینال دوم خازن در نظر بگیریم و پایه‌های درین و سورس شناور باشند، می‌توان به یک خازن با کمترین وابستگی نسبت به تغیرات به ولتاژ دو سر آن دست یافت که علاوه بر دارا بودن منحنی بسیار خطی تر نسبت به تکنیک‌های دیگر، دارای کمترین مقاومت انگلی نیز می‌باشد باشد. اما یک ایراد اساسی آن، یعنی حساسیت به نویز این ساختار به خاطر وجود دو پایه شناور، مانع استفاده از این ساختار در عمل شده است.

تکنیک هایی که مطرح شد همگی برای بهبود MOS Cap یا همان خازن‌های ثابت خازن MOS بود. در نوع دوم خازن MOS، یعنی ورکتورMOS تکنیک‌های متعددی برای بهبود منحنی مشخصه این دسته از خازن‌ها ارائه شده است که در آنها موضوع خطی‌سازی و افزایش گستره خطی و یکنوایی مطرح است. همانطور که گفته شد بسته به بایاس، MOSFET می‌تواند در سه ناحیه انباشتگی، وارونگی و تخلیه کار کند که این تغییر ناحیه کاری باعث عدم یکنوایی در منحنی خازن بر حسب ولتاژ می شود.

در پژوهش‌های انجام شده چندین تکنیک برای خطی سازی سازی و بهبود منحنی مشخصه و نتیجتا استفاده از یک ورکتور MOS در یک مدار قابل استفاده پیشنهاد شده است. بیشتر تکنیک‌ها تکیه به استفاده از مدارات سویچ‌های خازنی[1] دارد. شکل(۳-۱۰) دو تکنیک سری و موازی خازن ورکتور با خازن‌های سویچ کننده را نشان می‌دهد. با تکنیک سوئیچ خازنی، تقریبا نتیجه مطلوب حاصل شده است اما به دلیل اینکه خود مدارات خازنی نیاز به مدار کنترل کننده و نیاز به خازن‌های اضافی دارد، عملا نیاز به طراحی مدارات پیچیده است در نتیجه مصرف حجم زیادی از سطح تراشه و به دنبال آن افزایش هزینه را در پی دارد [۲۱-۲۳].

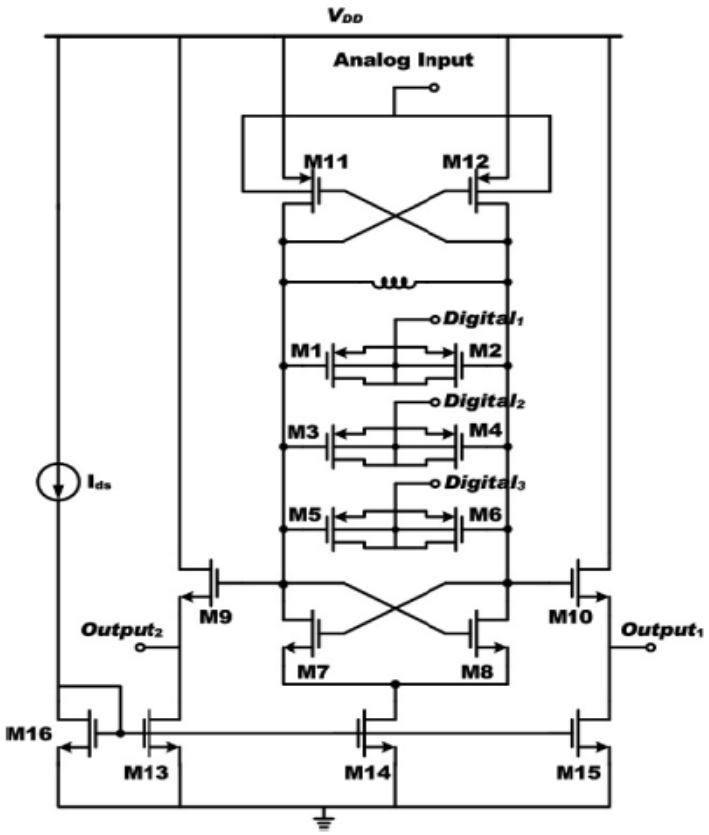


شکل (۳-۱۰) بایاس خازن MOS در حالت موازی (ب)، بایاس خازن MOS در حالت سری[۲۳]

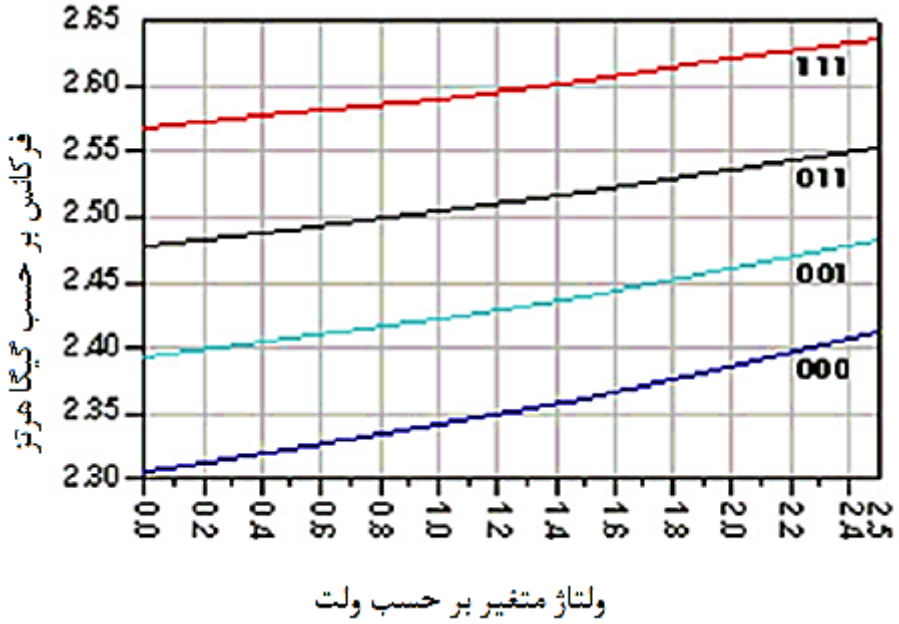
در [۲۴] برای استفاده از ورکتور PMOS تکنیک متفاوتی ارائه شده است در این پژوهش هدف طراحی، یک نوسان ساز در بازه فرکانسی 2.3GHz تا 2.64GHz با گستره فرکانسی (گستره تنظیم) بالا و خطی است. ساختار اصلی مدار یک نوسان ساز LC است که در تانک مدار از ورکتورMOS برای کنترل ولتاژ استفاده شده است. تکنیک پیشنهادی مقاله برای افزایش رنج خطی فرکانس و افزایش گستره ولتاژ کنترل، استفاده از سه جفت ورکتورMOS ، با اتصال موازی است که اتصال بالک، سورس، درین با هم

[1] Switched-Capacitor Circuits

هر کدام جداگانه به سه خروجی مدار کنترل دیجیتال متصل است. شکل(۳-۱۱) شماتیک مدار نوسان-ساز را نشان می‌دهد. با توجه با آن که ورکتورMOS فقط در بازه ولتاژی خاصی رفتار خطی از خود نشان می‌دهند. در این مقاله طراح با استفاده از موازی کردن ورکتورهایMOS ابتدا تیونینگ رنج فرکانسی را افزایش داده است سپس برای داشتن بازه خطی از ورکتور در ناحیه انباشتگی استفاده کرده است. حال بسته به اینکه خروجی چه مقدار فرکانس باید داشته باشد، با استفاده از مدار کنترل، یک کد سه بیتی به مدار داده می‌شود در نتیجه متناسب با کد کنترلی ورکتورهای MOS فعال شده و در خروجی فرکانس متناسب با هر کد تولید می‌شود. شکل(۳-۱۲)گستره خطی رنج فرکانس خروجی را نشان می‌دهد [۲۴].



شکل (۳-۱۱) نوسان ساز LC با استفاده ازورکتور MOS [۲۴].



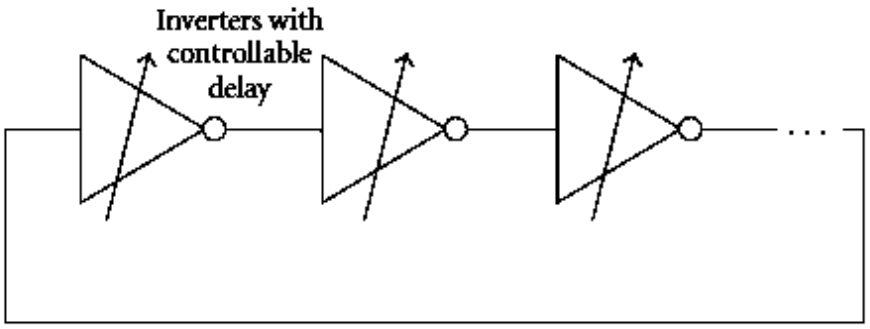
شکل (۳-۱۲) گستره خطی رنج فرکانس خروجی[۲۴]

۳-۶- ساختارهای معمول در VCO

برای ساخت VCOها دو نوع ساختار معروف LC VCO **و** Ring VCO مورد استفاده قرار می‌گیرد. هر کدام معایب و مزایایی دارند. در جدول (۳-۲) معایب و مزایا هر کدام نوشته شده است.

جدول (۳-۲) بررسی ساختار Ring و LC [۱۱و۲۵].

مشخصات	Ring VCO	LC VCO
نویز فاز	زیاد	کم
گستره تنظیم	وسیع	کوچک
توان مصرفی	کم	زیاد
مساحت مصرف شده	کوچک	بزرگ
شکل سیگنال خروجی	مربعی	سینوسی

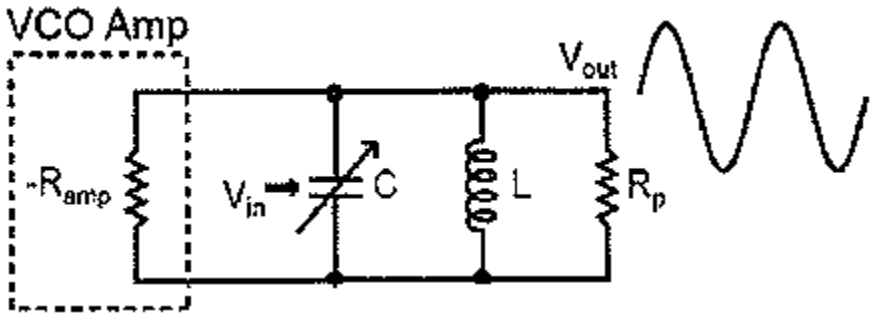


شکل (۳-۱۳) ترکیب Ring VCO .

۳-۷- ساختار های مختلف LC - VCO

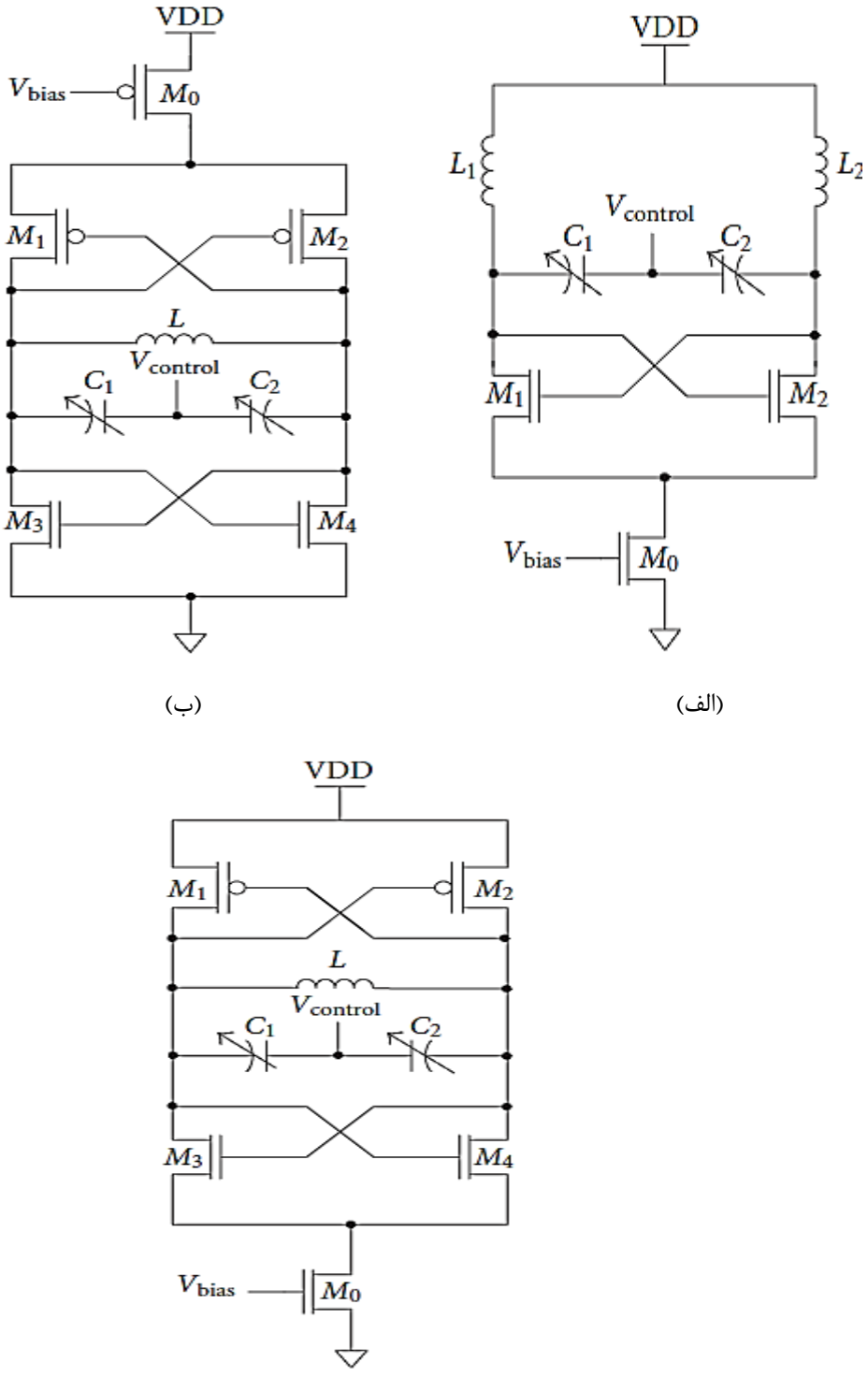
۳-۷-۱ g_m مقاومت منفی

این نوع از ساختار VCO، متداول‌تر از انواع دیگر می‌باشد. همانطور که در بخش ۲-۴ توضیح داده شد، اگر یک ضربه به یک سلف و خازن که به صورت موازی با هم بسته شده‌اند وارد شود در صورت ایده‌آل بودن سلف و خازن، دست به دست شدن انرژی اولیه حاصل از ضربه، باعث به‌وجود آمدن سیگنال متناوب می‌شود. مقاومت‌های ذاتی خازن و سلف باعث اتلاف انرژی و در نتیجه میرا شدن سیگنال متناوب بعد از گذشت زمان می‌شود. برای خنثی کردن مقاومت ذاتی سلف و خازن از یک المان که دارای مقاومت منفی است استفاده می‌شود (بخش ۲-۴-۲ کامل توضیح داده شده است).



شکل (۳-۱۴) ترکیب LC VCO.

شکل (۳-۱۴) ساختار LC VCO و شکل (۳-۱۵) چندین شماتیک مداری رایج ساختار LC VCO را نشان می‌دهد.



(ب) (الف)

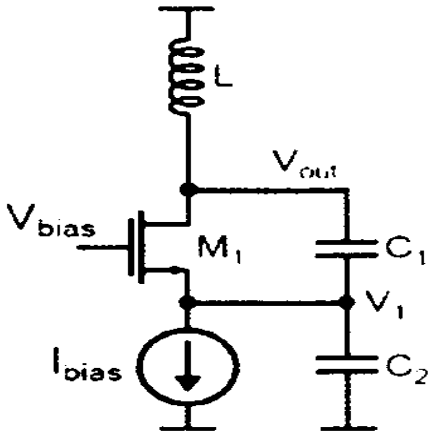
(ج)

شکل (۳-۱۵) (الف) یک LC VCO ساده، (ب) یک LC VCO با منبع جریان PMOS، (ج) LC VCO با منبع جریان

.[۲۵]NMOS

۳-۷-۲ Colpits

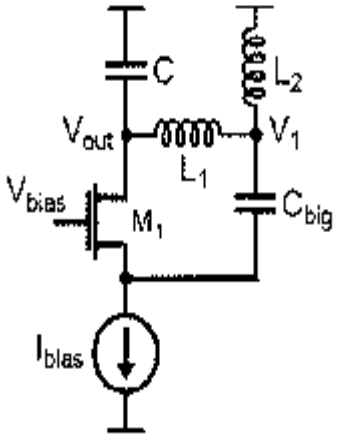
دومین نوع ،LC-VCO ساختار کولپیتس است این ساختار دارای نویز فاز پایین و توان خروجی و مصرف توان DC بالا است. نمونه ای از ساختار در شکل(۳-۱۶) نشان داده شده است.



شکل (۳-۱۶) نمونه‌ای از یک Colpitss VCO[۲۵].

۳-۷-۳ Hartly

همانند نوسان‌ساز Colpits، دارای نویز فاز پایین و توان خروجی و مصرف توان DC بالا است. شکل (۳-۱۷) نمونه ای از این نوع نوسان‌ساز را نشان می‌دهد.



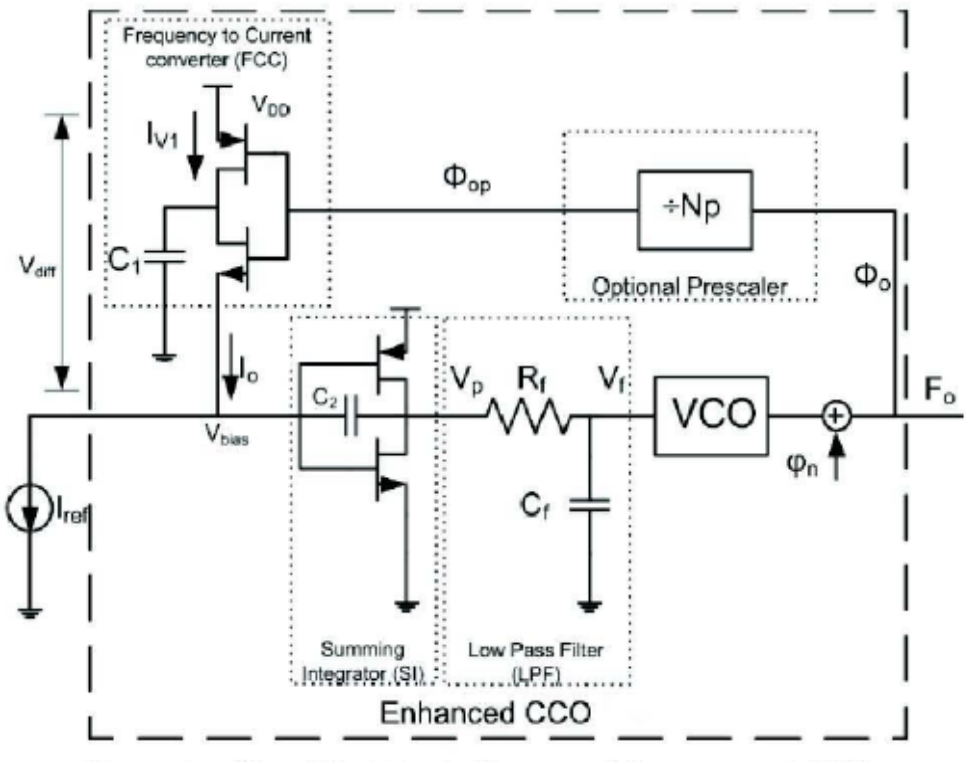
شکل (۳-۱۷) نمونه ای از یکHartly VCO[۲۵].

۳-۸- نویز فاز

در نوسان‌سازها پارامترهای زیادی برای طراحی خوب و بهترین عملکرد باید در نظر گرفته شود. نویز فاز در مدارات فرکانس بالا اهمیت بخصوصی دارد. یک نوسان‌ساز ایده‌ال یک خروجی کاملا تناوبی به صورت $x(t) = A\cos\omega_c t$ ایجاد می‌کند. نقاط گذر از صفر دقیقا در ضرایب صحیح $T_c = 2\pi/\omega_c$ رخ می‌دهند. اما در واقعیت، نویز ترانزیستورهای نوسان‌ساز به صورت تصادفی محل‌های گذر از صفر را جابه‌جا می‌کند به این نویز، نویز فاز[۱]گفته می‌شود. تاکیدی که بر روی نویز در گذر از صفرها به جای نویز در دامنه داریم ناشی از این فرض می‌شود که نویز دامنه را می توان با فیلترهای ساده در طبقات بعد نوسان‌گر حل کرد. اما برای داشتن کمترین نویز فاز، از ابتدای طراحی باید بهترین راهکار و تکنیک در نظر گرفته شود. مثلا در[۲۶] تکنیکی ارائه شده است که نویز فاز VCO را کاهش دهد و در نهایت بتواند از این VCO برای یک مدار حلقه قفل فاز[۲] پایدار استفاده کرد.

در PLL ها مهمترین فاکتور پایداری است از طرفی نویز فاز نقش به سزایی در پایداری یک PLL دارند (بخش۳-۹). بنابراین با کاهش نویز فاز می‌توان بهترین عملکرد را داشت. در [۲۶] برای کاهش نویز فاز از یک مدار فیدبک منفی استفاده شده است. ساختار تکنیک پیشنهادی [۲۶] در شکل(۲-۱۸) نشان داده شده است. در این روش فاز خروجی به عنوان نمونه توسط آشکار ساز فاز استخراج شده سپس با استفاده یک سیستم مشتق گیر(CCO) اختلاف فاز خروجی ناشی از وجود نویز فاز، به ولتاژ تبدیل شده و به عنوان پیام خطا به VCO داده می‌شود که فاز خروجی را تغییر بدهد و تغییر فاز ناشی از نویز فاز در خروجی اصلاح میگردد. با این تکنیک تغییر فاز ناشی از نویز فاز ترانزیستور ها در یک بازه وسیع جبران می‌شود [۲۶].

[۱] Phase noise
[۲] Phase Locked Loop (PLL)



شکل (۳-۱۸) بلوک دیاگرام ساده شده از CCO [۲۶].

۳-۹- کاهش بهره VCO (K_{VCO}) و تاثیر آن در کاهش نویز فاز و پایداری در PLL[۱]

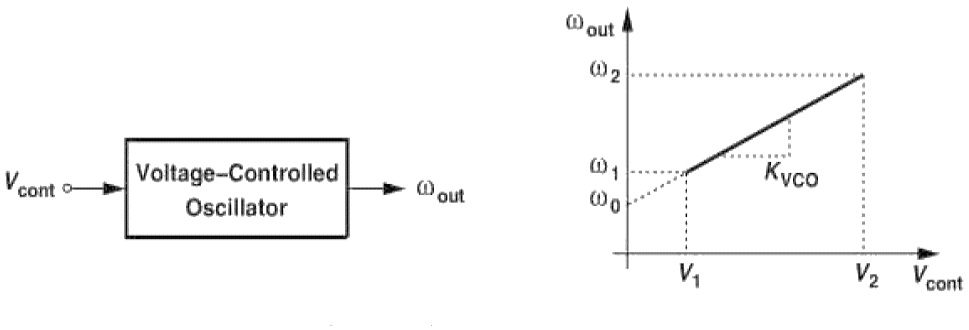
بیشتر نوسان‌سازها را باید در طول یک گستره‌ی فرکانسی معین تنظیم کرد. بنابراین باید نوسان‌سازهایی بسازیم که فرکانس آن‌ها را بتوان به صورت الکترونیکی تغییر داد که نیاز به ورکتورها نقش خود را پر رنگ می‌کنند.

شکل (۳-۱۹) به‌صورت مفهومی رفتار مطلوب یک VCO را نشان می‌دهد. تغییر ولتاژ کنترل، V_{cont}، از V_1 تا V_2، فرکانس خروجی از ω_1 تا ω_2 (گستره تنظیم مورد نظر) تغییر می‌کند. شیب مشخصه، K_{vco}،«بهره» یا «حساسیت» VCO نامیده می‌شود. این مشخصه را به صورت زیر می‌توان به فرمول درآورد:

[۱] Phase Locked Loop

$$\omega_{out} = K_{vco} V_{cont} + \omega_0 \qquad (۲-۳)$$

که در آن ω_0 نمایان‌گر نقطه‌ی تقاطع بر روی محور عمودی است. حال اگر این مشخصه خطی باشد یعنی K_{vco} در طول گستره تنظیم به صورت قابل توجهی تغییر نکند و یا تغییرات آن کوچک باشد برای ما مطلوب است و در بسیاری از فاکتورهای VCO از جمله نویز فاز اثر مثبت دارد [۲۷ و ۵].



شکل (۳-۱۹) مشخصه VCO[۵].

همانطور که گفته شـــد از مباحث مهم در طراحی VCO ها افزایش دامنه تنظیم و کاهش نویز فاز است.

بالا بودن بهره vco یا (K_{vco}) به علت تند بودن شـیب مشـخصـه C-V در ورکتورMOS طبق رابطه لیسون سبب افزایش نویز فاز می‌شود. بنابراین با کاهش شیب مشخصه C-V و به تبع آن کاهش K_{vco} می‌توان نویز فاز را بهبود بخشید. با توجه به فرمول نویز فاز لیسون (۳-۳)، افزایش K_{vco} باعث افزایش نویز فاز می شود[۲۷]

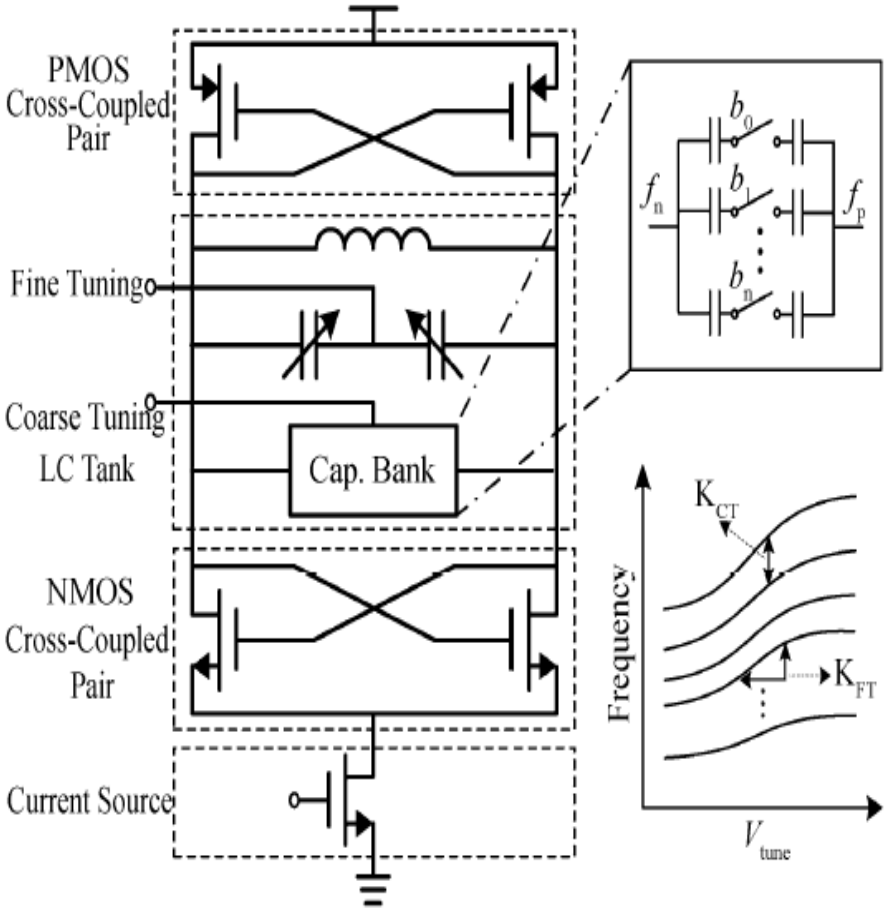
$$L(fm, kvco) = 10\log\{(\frac{f_0}{2Qf_m})^2[\frac{FKT}{2p_s}(1+\frac{f_c}{f_m})]+\frac{1}{2}(\frac{KvcoVm}{2f_m})^2\} \qquad (۳-۳)$$

که در آن f_0 فرکانس حامل، fm فرکانس آف ست از f_0 ، f_c فرکانس گو شه نویز فلیکر، Q ضریب کیفیت، p_s توان سیگنال حامل، F ضریب نویز، K ثابت بولتزمن و T درجه حرارت، Vm دامنه نویز

فرکانس پایین اســـت. حال اگر بتوان بهر VCO را کم کرد می‌توان به مقدار قابل قبولی نویز فاز را کاهش داد.

در [۲۷] یک VCO در بازه فرکانسی 2.23GHZ تا 2.69GHZ طراحی شده است. در این پژوهش، خطی ســازی و کاهش نویز فاز VCO مد نظر طراح بوده اســت. برای خطی ســازی ورکتور و افزایش گستره خطی از بانک خازنی و مدار کنترل خازنی استفاده کرده است که با استفاده از بانک خازنی، ابتدا حدود فرکانس مد نظر تنظیم می‌شود که به تنظیم درشت[۱] VCO معروف است سپس با استفاده از ورکتور مقدار دقیق فرکانس VCO تنظیم می‌شـــود که به آن تنظیم ریز[۲] گفته می‌شـــود. عملا استفاده از بانک خازنی باعث افزایش گستره تنظیم شده است و دوم استفاده از ورکتور و بایاس آن در ناحیه انباشـــتگی باعث ایجاد محدوده خطی تر و در نتیجه کاهش K_{VCO} و به دنبال آن کاهش نویز فاز شده است. شکل (۳-۲۰) شماتیک مداری تکنیک ارائه شده را نشان می‌دهد.

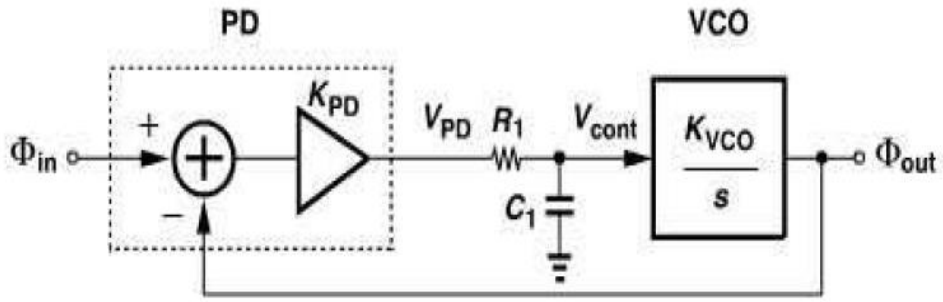
[۱] Coarse tuning
[۲] Fine tuning



شکل (۳-۲۰) یک VCO با بانک خازنی و ورکتور [۲۷].

مطالب بالا به ضرورت کاهش K_{VCO} برای کاهش نویز فاز اشاره داشت. اما کاهش K_{VCO} در PLL نیز برای طراح دارای اهمیت است.

حال برای آنکه تاثیر K_{VCO} را در PLL ببینیم با توجه به شکل (۳-۲۱) تابع انتقال حلقه باز را به صورت فرمول(۳-۴) می‌توان نوشت.



شکل (۳-۲۱) مدل حوزه فاز PLL نوع یک

$$H(s)=\frac{K_{PD}K_{VCO}}{R_1S^2C_1+S+K_{PD}K_{VCO}} \qquad (۴-۳)$$

از آنجایی که تابع انتقال حلقه باز یک در قطب مبدا دارد این سیستم به «PLL نوع یک» معروف است. تابع انتقال درجه دوم داده شده توسط معادله(۳-۴) می‌تواند رفتار فرامیرا، میرای بحرانی یا فرو میرا داشته باشد. برای بدست آوردن شرایط هر کدام از این حالات باید مخرج معادله (۳-۴) را به صورت آشنای $S^2+2\xi\omega_nS+\omega_n^2$ که در سیستم‌های کنترلی مطرح است، نوشت که در آن ξ «ضریب میرایی» و ω_n «فرکانس طبیعی» است. بنابراین داریم:

$$H(s)=\frac{\omega_n^2}{S^2+2\xi\omega_nS+\omega_n^2} \qquad (۵-۳)$$

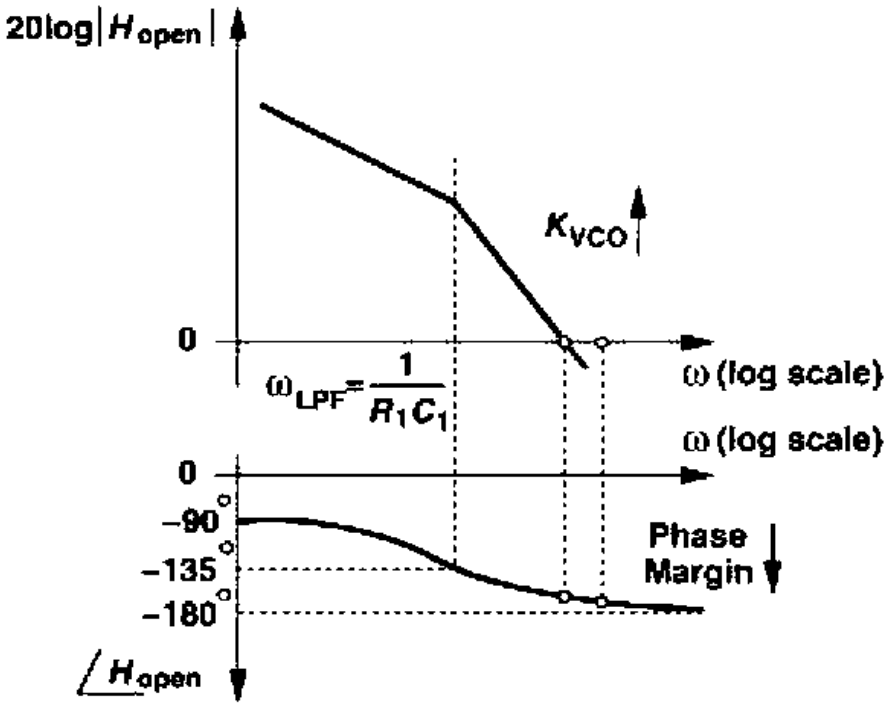
که در آن

$$\xi=\frac{1}{2}\sqrt{\frac{\omega_{LPF}}{K_{PD}K_{VCO}}} \qquad (۶-۳)$$

$$\omega_n=\sqrt{K_{PD}K_{VCO}}\,\omega_{LPF} \qquad (۷-۳)$$

و $\omega_{LPF} = \frac{1}{(R_1 C_1)}$ است. ضریب میرایی معمولا $\frac{\sqrt{2}}{2}$ یا بزرگتر در نظر گرفته می‌شود تا رفتار مناسب یک سیستم (میرای بحرانی یا فرا میرا) را تضمین نماید [۵].

حال شکل (۳-۲۲) رفتار تابع انتقال حلقه باز (H_{OPEN}) را برای مقدار مختلف K_{VCO} نشان می‌دهد. وقتی که K_{VCO} زیاد شود، فرکانس بهره واحد زیاد می‌شود بنابراین حاشیه فاز[۱](PM) کاهش می‌یابد. این رفتار به مدارهای پسخورد ولتاژ (یا جریان) شبیه است که بهره حلقه بالاتر به پایداری کمتر منجر می‌شود[۵ و ۲۸].



شکل (۳-۲۲) نمودار بود برای PLL نوع یک، که اثر K_{VCO} بزرگتر را نشان می‌دهد [۵].

[۱] Phase margin

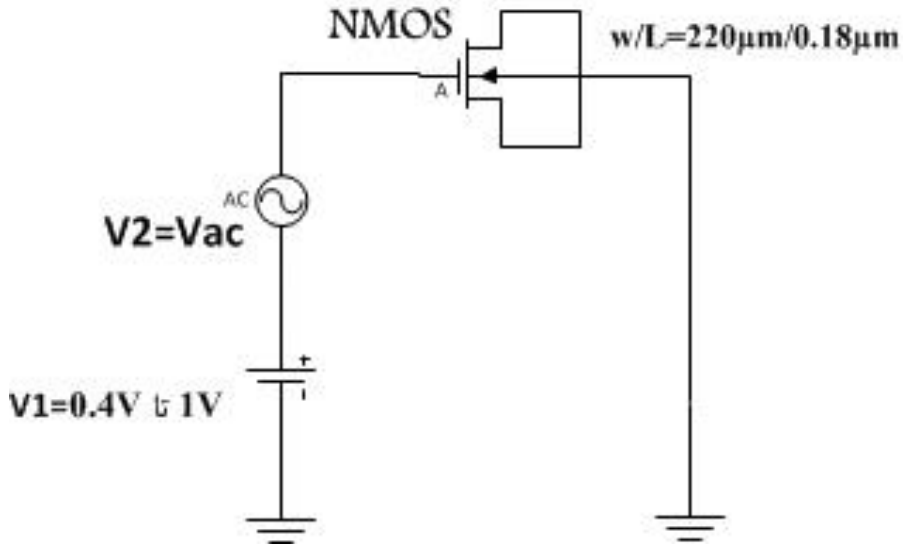
فصل ۴:
تکنیک پیشنهادی و شبیه سازی‌ها

۴-۱- مقدمه

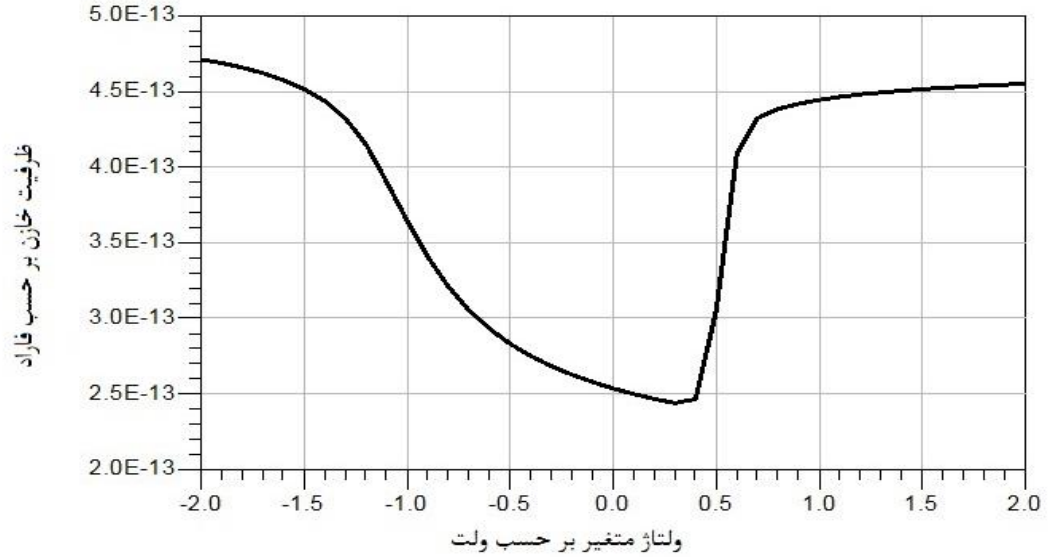
همانطورکه در مقالات و کارهای انجام شده گذشته دیده شد کاهش بهره VCO و کاهش حساسیت تغییرات فرکانس نسبت به ولتاژ کنترل، مسئله بسیار مهمی است که کاهش بهره باعث کاهش نویز فاز و کاهش حساسیت تغییرات فرکانسی نسبت به ولتاژ کنترل یا افزایش قابلیت تنظیم ریز فرکانس می شود و یا در PLL با کاهش بهره، پایداری مدار تضمین شده و در نتیجه PLL می‌تواند به خوبی در فاز مورد نظر قفل شود. عنصر فیزیکی که می تواند مستقیما در میزان بهره VCO تاثیرگذار باشد ورکتور MOSمی باشد که به علت باریک بودن محدوده خطی آن و شیب بسیار زیاد تغییرات خازن نسبت به ولتاژ کنترل، بهره یا همان K_{vco} بزرگ دارد. در این فصل ابتدا منحنی مشخصه و رفتار خروجی ورکتور MOSدر حالت معمول با شبیه ساز ADS استخراج شده است. و در قسمت بعد تکنیک پیشنهادی پایان نامه، یعنی افزایش گستره خطی ورکتورMOS ، مطرح و توضیح داده شده است سپس خروجی‌ها و منحنی مشخصه‌های هر کدام استخراج و با نتایج در حالت متداول مقایسه شده است. ورکتورMOS در حالت معمول و ورکتورMOS اصلاح شده با تکنیک پیشنهادی در دو VCO استفاده گردید و نهایت تغییرات و بهبود حاصل در پارامترهایی مانند گستره تنظیم ریز و نویز فاز بررسی شده است. در پایان نویز فاز بهبود یافته در VCO با چندین کار که هدف آن‌ها بهبود نویز فاز بوده است مقایسه گردید.

۴-۲- بررسی و رسم منحنی مشخه ورکتور MOS در حالت متداول در شبیه ساز

همانطور که در فصل دوم و سوم گفته شد استفاده از ورکتور در مداراتی که خواسته شود مقدار ظرفیت خازن نسبت به ولتاژ تغییر پیدا کند کاربرد زیادی دارد. یک نوع آن ورکتورMOS است که کاربرد بسیار زیادی در طراحی مدارات پیدا کرده‌اند، شکل (۴-۱) بایاس حالت S=D=B و شکل (۴-۲) منحنی شبیه‌سازی شده در تکنولوژی 0.18µm، مقدار ظرفیت خازنی بر حسب ولتاژ آن را نشان می‌دهد.



شکل (۴-۱) یک ورکتورMOS با بایاس حالت (S=D=B)

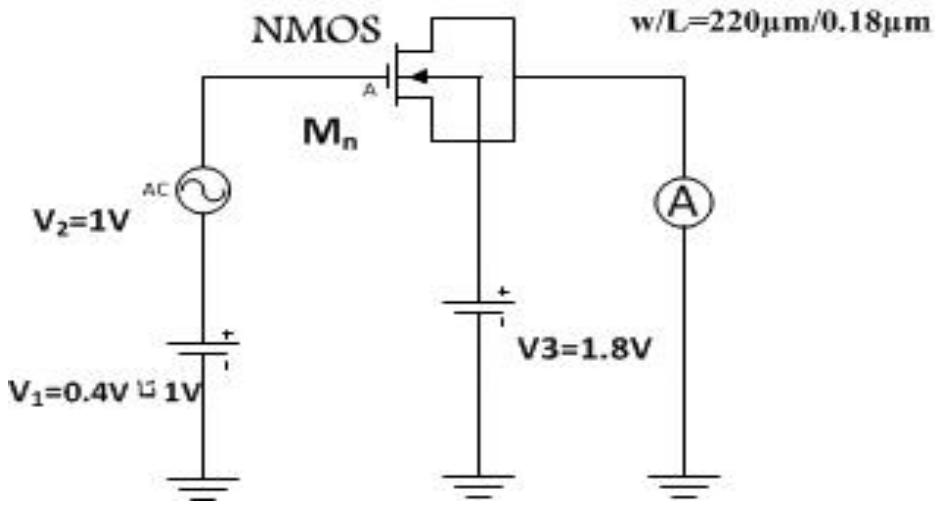


شکل (۴-۲) منحنی مقدار ظرفیت خازن بر حسب ولتاژ، با بایاس حالت (S=D=B)

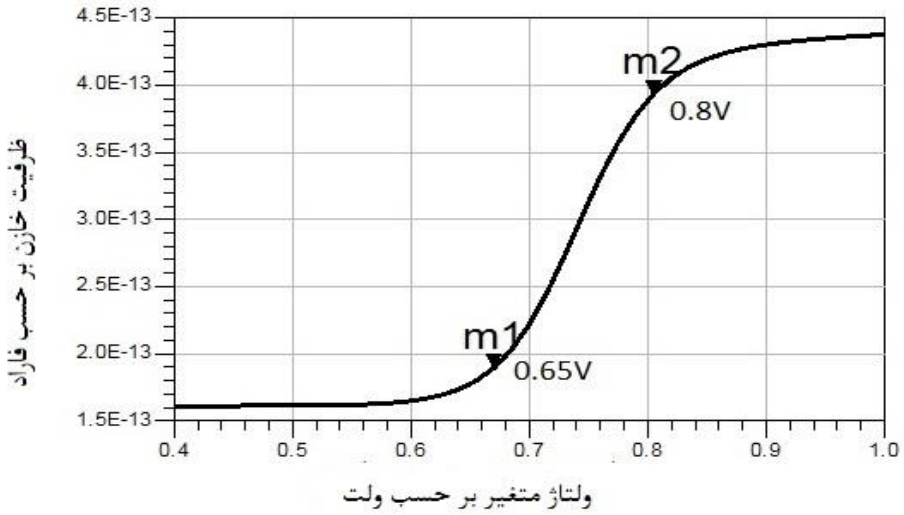
همانطور که در بخش ۳-۴ توضیح داده شد، ورکتورMOS بسته به اینکه چه بایاسی داشته باشد می‌تواند در سه ناحیه کاری انباشتگی، وارونگی و تخلیه کار کند. شکل (۴-۱) پیکره‌بندی اول ورکتورMOS را نشان می‌دهد که منحنی مشخصه خروجی متناظر با آن در شکل(۴-۲) نشان داده شده است. این حالت بایاس به دلیل اینکه پایه‌های درین، سورس، و بالک به یکدیگر متصل است و یک پایه خازن را تشکیل می‌دهند به ساختار S=D=B معروف است. در این ساختار به دلیل اینکه ورکتورMOS در هر سه ناحیه

کاری انباشتگی، وارونگی و تخلیه، با توجه به ولتاژ متغیر قرار می‌گیرد، منحنی خروجی غیر یکنوا و غیر خطی است که از معایب این نوع پیکره‌بندی است.

عیب یکنوا نبودن ساختار شکل(۴-۱) را می‌توان با پیکره‌بندی متفاوتی نسبت به حالت قبل بر طرف کرد. اگر پایه درین و سورس را به عنوان یگ گره خازن، پایه گیت به عنوان پایه دوم خازن و پایه بالک به بالاترین ولتاژ (در نوع PMOS) متصل گردد ورکتورMOS فقط در ناحیه وارونگی کار می‌کند و منحنی نزدیک به یکنوا می‌شود. شکل(۲-۵) پیکربندی مذکور ورکتورMOS در شبیه ساز ADS و شکل(۲-۶) منحنی مشخصه C-V را نشان می‌دهد.



شکل (۴-۳) بایاس ورکتورMOS در حالت وارونگی.



شکل (۴-۴) منحنی مشخصه C-V ورکتورMOS در ناحیه وارونگی.

منحنی مشخصه شکل (۴-۴) یکنواخت و در محدوده m_1 تا m_2 خطی است، پس در نتیجه پیکره‌بندی دوم و اتصال بالک به ولتاژ مثبت توانسته است عیب ساختار S=D=B را بر طرف کند. در منحنی بالا m_1=0.65V و m_2=0.8V است در نتیجه گستره خطی، بازه 0.15V ولتی را به خود اختصاص داده است که خود نشان دهنده شیب تند منحنی و حساسیت بالای مقدار ظرفیت خازنی نسبت به ولتاژ متغیر است.

۴-۳- تکنیک پیشنهادی: افزایش گستره خطی ورکتورMOS در ناحیه وارونگی

همانطور که در بخش(۳-۳) و بخش(۴-۲) توضیح داده شد استفاده از ورکتورMOS به خاطر چگالی زیاد در واحد سطح مد نظر طراحان است. ولی عدم یکنوایی و غیر خطی بودن منحنی دو عیب آن به شمار می‌آید. در [۱۸] برای یکنوایی و خطی شدن منحنی استفاده از ورکتورMOS در ناحیه انباشتگی پیشنهاد شد است. در ناحیه انباشتگی منحنی یکنواخت شده ولی تنها در بازه کوچکی خطی بودن منحنی مشخصه وجود دارد. در [۱۷] برای یکنوایی و خطی بودن منحنی، استفاده از ورکتورMOS در ناحیه وارونگی مد نظر قرار گرفت. در ناحیه وارونگی منحنی خطی تر و یکنوا است اما شیب تند منحنی و حساسیت بالای تغییر مقدار ظرفیت خازن نسبت به ولتاژ متغیر خود یک ایراد اساسی است که اثر مخرب خود را در نویز فاز VCOها و PLL ها نشان می‌دهد.

در این پایان‌نامه هدف افزایش گستره خطی ورکتورMOS در ناحیه وارونگی است که از دو فاکتور خطی بودن و یکنوایی در ناحیه وارونگی استفاده شده است و از طرفی با تکنیکی پیشنهادی ایراد شیب تند و حساسیت زیاد تغیرات خازن نسبت به ولتاژ متغیر بهبود می‌یابد.

مشخصه یک ورکتورMOS در ناحیه وارونگی در شکل(۴-۴) نشان داده شده است. همانطور که از شکل پیدا است، بازه‌ای که منحنی خطی است در محدوده 0.65 V تا 0.8 V قرار داشت یعنی در ولتاژی حدود 0.15 V منحنی رفتار خطی ولی با شیب بسیار زیاد دارد. حال اگر خواسته شود این گستره خطی حدود یک ولت تغییرات داشته باشد می‌توان با موازی کردن تعداد مشخصی ورکتورMOS به خواسته

مورد نظر رسید. می‌دانیم برآیند چند منحنی با هم، به صورت یک منحنی کلی به دست می‌آید که هر قسمت از منحنی کل حاصل جمع قسمت های روی هم قرار گرفته منحنی‌های جزء است. حال اگر هر ورکتورMOS دارای گستره‌ای 0.15 ولتی باشد برای داشتن گستره یک ولتی باید حدود شش عدد ورکتورMOS ($\frac{1V}{0.16V} = 6.6$) با هم موازی شوند که برآیند کل منحنی‌ها، منحنی خروجی مطلوب، که دارای گستره بیشتر و شیب کمتر است را بسازد. برای اینکه منحنی حاصل دارای گستره خطی وسیع و شیب خطی و مناسب باشد باید قسمت خطی هر ورکتورMOS پشت سر قسمت خطی ورکتورMOS بعدی هم قرار گیرد، طوری که پایان گستره خطی ورکتور اول شروع قسمت خطی ورکتور بعد باشد در نتیجه با جمع قسمت خطی هر کدام از ورکتورها با دیگر قسمت‌های غیر خطی، نمودار حاصل خطی و در حالت کلی گستره کل افزایش می‌یابد.

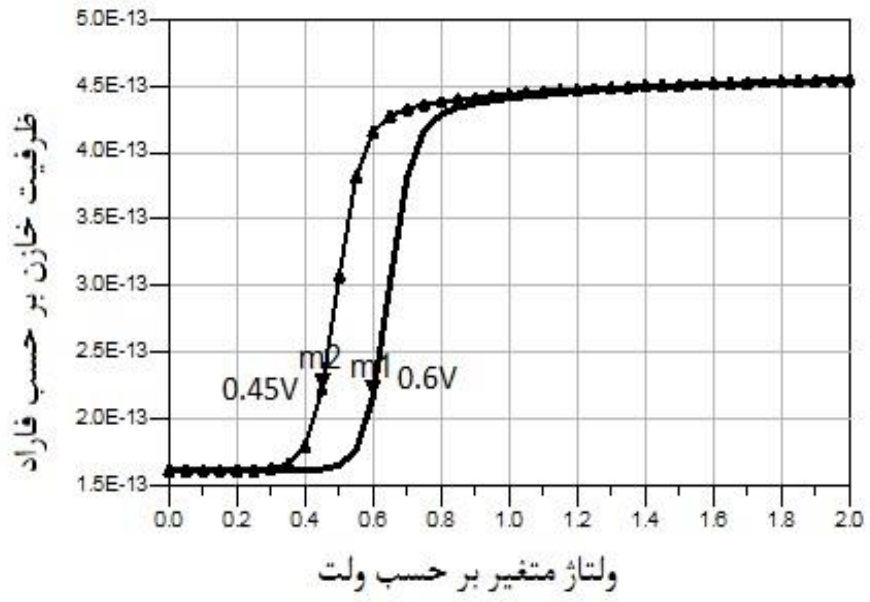
برای جمع قسمت خطی منحنی هر ورکتور، همانطور که گفته شد می‌توان از موازی کردن ورکتورها استفاده کرد اما برای اینکه قسمت خطی هر کدام از ورکتورها پشت سر هم قرار بگیرند باید از تغییر ولتاژ آستانه(V_{th}) متناسب با فرمول(۴-۱) استفاده کرد (۲۹-۳۰).

$$V_{th} = V_{th0}\Big|_{V_{SB=0}} + \gamma(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|} \qquad (۱-۴)$$

که در آن γ ضریب اثر بدنه، V_{th} ولتاژ آستانه، V_{SB} ولتاژ سورس نسبت به بالک می‌باشد و $|2\phi_F|$ که مقداری برابر 0.6V دارد. با توجه به رابطه بالا و شکل(۴-۵)، اگر V_{BS} مقداری برابر صفر داشته باشد V_{th} در منحنی مکان نشان داده شده قرار دارد اما اگر V_{BS} تغییر پیدا کند، متناسب با مقدار V_{BS}ولتاژ آستانه نیز تغییر و بنابراین متناسب با آن منحنی به سمت راست جابه‌جا می‌َشود.

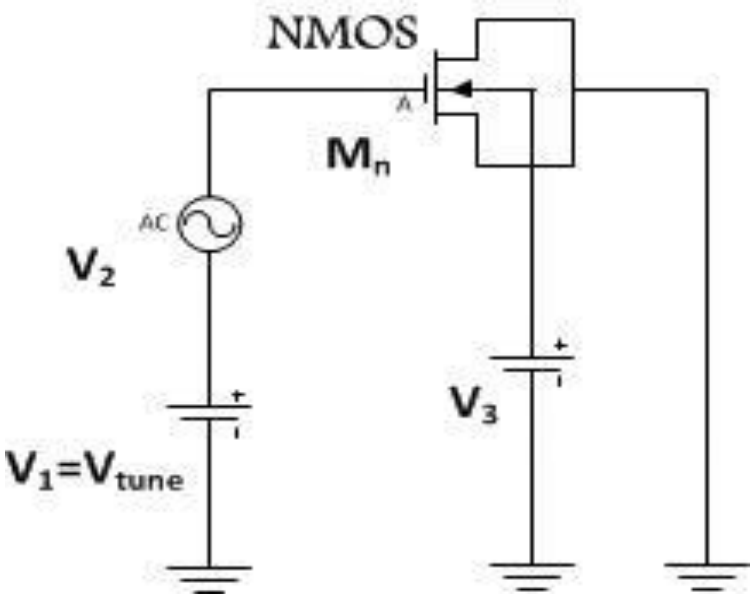
در شکل(۴-۵) نمودار دو ورکتور با دو ولتاژ بالک متفاوت نشان داده شده است. در اولین نمودار بالک دارای ولتاژ 0.6V- است که ولتاژ آستانه در نقطه m_1 مقداری برابر 0.45V دارد. با تغییر ولتاژ بالک به 0.1V- ولتاژ آستانه با توجه به فرمول (۴-۱) تغییر پیدا کرده و باعث جابه جایی منحنی به سمت راست

شده است که همانطور که در شکل (۴-۵) دیده می‌شود ولتاژ آستانه با 0.5v تغییر ولتاژ بالک، 0.15V تغییر پیدا کرده است.



شکل (۴-۵) منحنی مشخصه یک ورکتورMOS در ناحیه وارونگی برای دو مقدار ولتاژ بالک 0.6V- و 0.1V-.

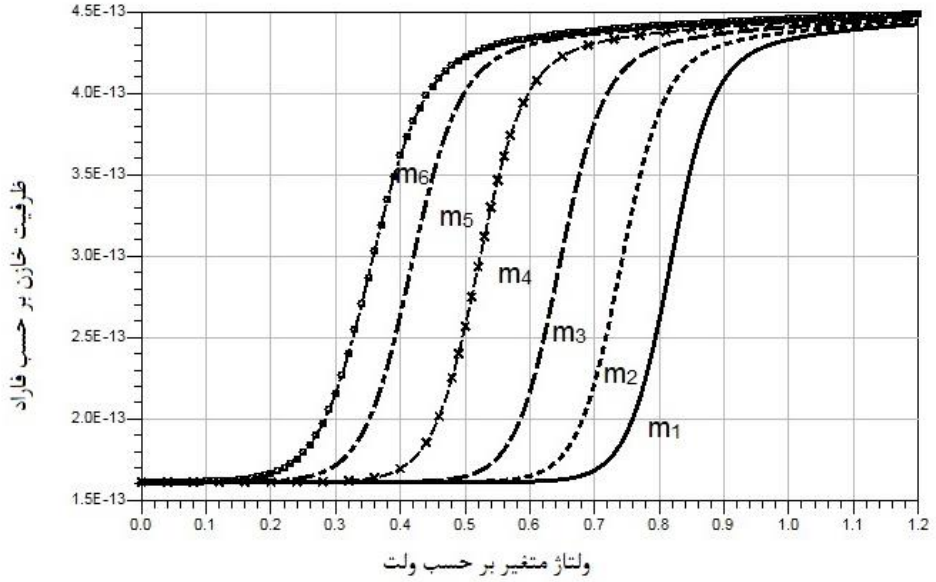
منحنی مشخصه‌های شکل(۴-۷) نشان دهنده تعداد مشخصی از ورکتورهایMOS می‌باشند که با تغییر V_{BS}، مقدار ولتاژ آستانه هر کدام تغییر پیدا کرده و در نتیجه منحنی مشخصه‌ها به سمت راست جابه‌جایی پیدا کرده‌اند. با مقدار دهی مناسب بالک هر ورکتورMOS در عمل جابه‌جایی و پشت سر هم قرار گرفتن قسمت خطی هر ورکتور اتفاق افتاده است که حال با موازی کردن، ورکتورهای اصلاح شده می‌توان منحنی خطی‌تر با گستره بیشتر را بدست آورد. شکل(۴-۶) پیکربندی پیشنهادی یک ورکتورMOS در شبیه ساز برای رسم منحنی مشخصه C-V است که متناسب با مقادیر جدول(۴-۳) هر بار المان‌ها و ولتاژ بالک مقدار دهی شده است و متناسب با مقادیر داده شد مشخصه هر ورکتور با مقدار جابه‌جایی مد نظر بدست آمد و به صورت یک‌جا در شکل(۴-۷) نشان داده شده است.



شکل (۴-۶) مدار بایاس یک ورکتور MOS.

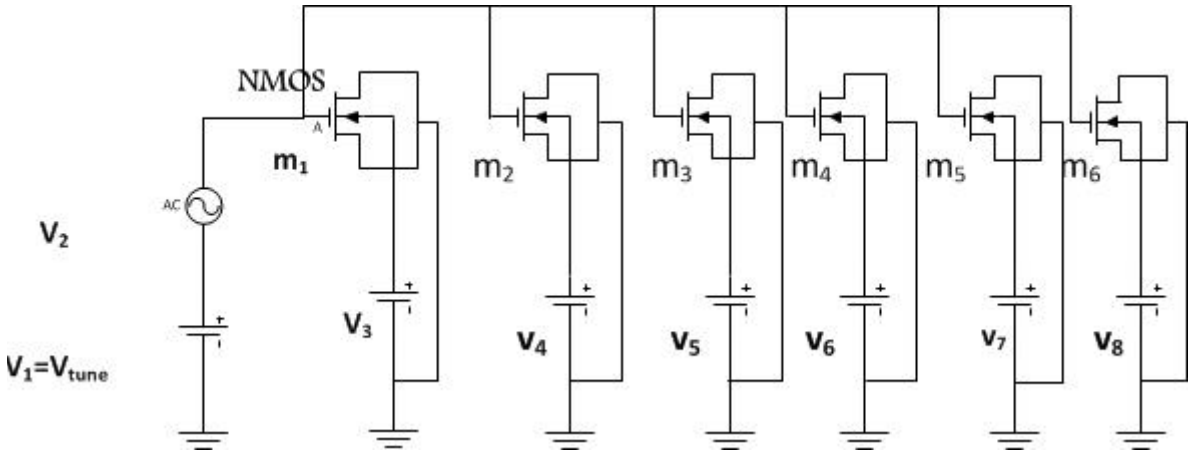
جدول (۴-۱) مقادیر متناسب با منحنی مشخصه‌های شکل(۴-۷) برای مدار شکل(۴-۶)

مقادیر برای شبیه سازی ورکتورهای MOS	V_1	V_2	V_3	W/L_{Mn}
ورکتور m_1	1.2V تا 0V	1V	-1.5V	w/L=37µm/0.18µm
ورکتور m_2	1.2V تا 0V	1V	-1V	w/L=37µm/0.18µm
ورکتور m_3	1.2V تا 0V	1V	-0.5V	w/L=37µm/0.18µm
ورکتور m_4	1.2V تا 0V	1V	0	w/L=37µm/0.18µm
ورکتور m_5	1.2V تا 0V	1V	0.5V	w/L=37µm/0.18µm
ورکتور m_6	1.2V تا 0V	1V	1V	w/L=37µm/0.18µm



شکل (۴-۷) منحنی مشخصه های مربوط به ورکتورهای جدول(۴-۳) که متناسب با ولتاژ بالک جابه‌جایی پیدا کرده است.(منحنی m_1 تا m_6 متناظر با ورکتور m_1 تا m_6 در جدول(۴-۳) است.

با توجه به منحنی مشخصه‌های شکل(۴-۷) می‌توان گفت که حال اگر تعداد مشخصی ورکتورMOS، را با هم موازی کنیم به شرط آنکه با ولتاژ بالک مناسب منحنی هر ورکتور به مقدار لازم و مناسب جابه‌جایی پیدا کرده باشد می‌توان منحنی بهبود یافته مد نظر را به دست آورد. شکل(۴-۸) ساختار کلی مدار با ورکتور MOS اصلاح شده و شکل(۴-۹) منحنی مشخصه خروجی مربوط به آن را نشان می‌دهد.

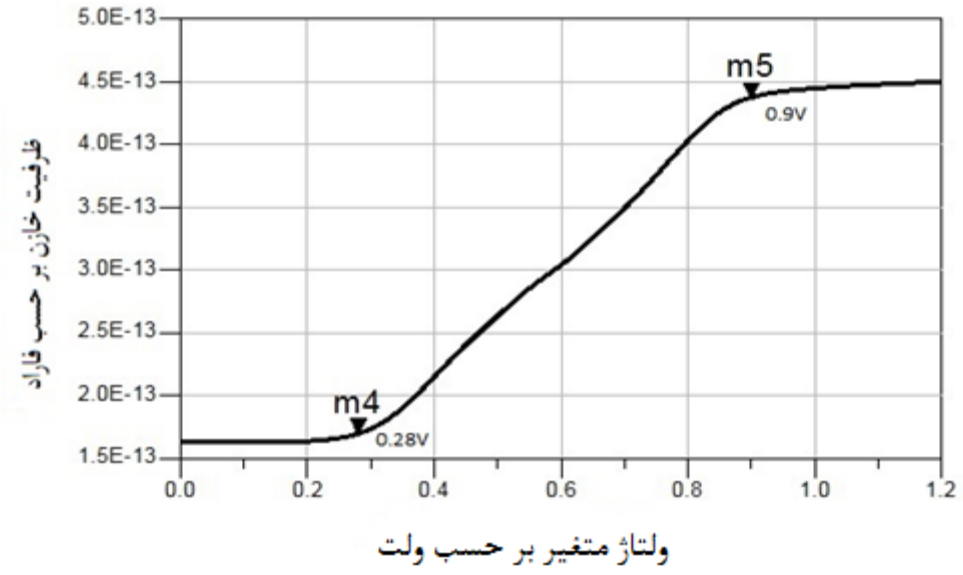


شکل (۴-۸) ساختار کلی مدار با چندین ورکتور MOS اصلاح شده که منحنی کل مدار مانند یک ورکتورMOS با گستره بیشتر و شیب کمتر است.

در شکل (۴-۸) ولتاژ متغیر V_1،در بازه صفر تا یک ولت تغییر می‌کند و V_2 نیز دارای یک ولت دامنه و فرکانس یک گیگاهرتز برای محاسبه مقدار ظرفیت خازن در نظر گرفته شده است. عرض و طول ترانزیستورها به ترتیب $w=37\mu m$ و $L=0.18\mu m$ انتخاب شده است. به دلیل اینکه در شبیه‌سازی نیاز است ورکتورMOS اصلاح شده با ورکتورMOS حالت متداول مقایسه شود لذا لازم است که هر دو ورکتور دارای حداقل و حداکثر ظرفیت یکسان باشند بنابراین چون شش ورکتورMOS در حالت اصلاح شده با هم موازی شده‌اند، عرض کانال ورکتورMOS متداول یعنی مقدار $220\mu m$ را بر شش تقسیم کرده که عرض هر کدام از ورکتورها در حالت اصلاح شده بدست آید. در جدول(۴-۴) مقادیر ولتاژ هر یک از منابع برای تولید ولتاژ بالک مناسب نوشته شده است.

جدول (۴-۲) مقادیر ولتاژهای بالک برای شکل(۴-۸)، که متناسب با آن منحنی هر ترانزیستور به مقدار تعیین شده جابه جایی پیدا کرده است

منابع	V_3	V_4	V_5	V_6	V_7	V_8
ولتاژ(ولت)	-1.5	-1	-0.5	0.1	0.5	1



شکل (۴-۹) منحنی مقدار ظرفیت خازن بر حسب ولتاژ متغیر با ورکتورMOS اصلاح شده.

در حالت متداول تغییر مقدار ظرفیت خازن از 0.15 pF تا 0.45 pF در محدوده 0.15 ولتی از ولتاژ متغیر یعنی از 0.65 V ولت تا 0.8 V اتفاق افتاد اما با استفاده از ورکتور اصلاح شده، بازه تغییر ظرفیت خازنی از 0.15 pF تا 0.45 pF به ازای 0.6V ولت تغییر ولتاژ متغیر، یعنی از 0.28 V تا 0.9 V اتفاق افتاد که گستره رنج خطی ۴۰۰ درصد افزایش یافته است (شکل(۴-۱۰)).

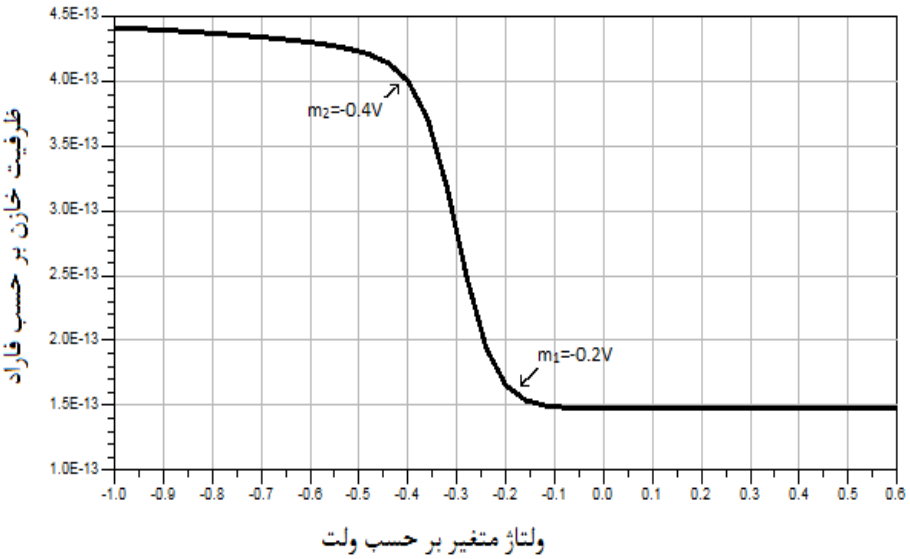
عملا با افزایش گستره خطی شیب منحنی کم شده است که این بهبود شیب در مدارات کاربردی مانند نوسان سازها اهمیت به خصوصی در کم کردن نویز فاز دارد و یا افزایش گستره خطی باعث کم شدن حساسیت در تنظیم دقیق فرکانس می‌شود.

در فیلتر LC یا یک تانک LC، المانی که برای کنترل به کار می‌رود خازن متغیر یا همان ورکتورها هستند. حالا مثلا اگر از ورکتورMOS که دارای گستره خطی بیشتر است در یک فیلتر استفاده کنیم، با تغییر مقدار ولتاژ می‌توانیم مقدار خازن متغیر و فرکانس متناسب با آن را با دقت بیشتر انتخاب و یا فیلتر کنیم. ولی اگر ورکتور استفاده شده دارای شیب تند باشد عملا با مقدار کمی تغییر در ولتاژ مقدار زیادی خازن و متناسب با آن فرکانس تغییر می‌کند که این عیب برای مواردی که نیاز باشد که تنظیمات ریز با دقت زیاد انجام دهیم مناسب نیست. افزایش گستره خطی در کاهش نویز فاز و پایداری PLL ها نیز تاثیر دارد که در ادامه مفصلا به این دو پرداخته می‌شود [۲۷-۲۸].

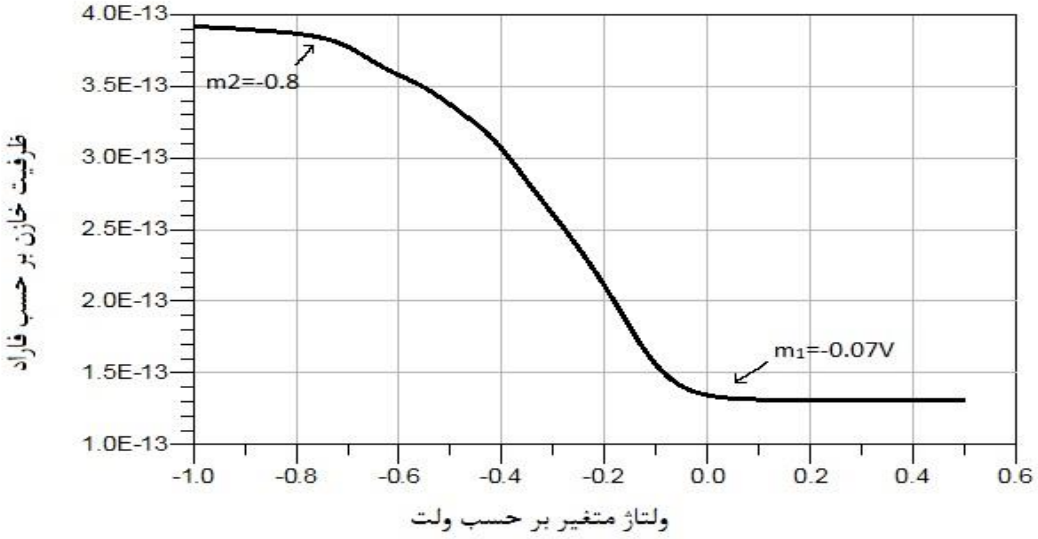
۴-۴- ورکتورMOS اصلاح شده برای نوع PMOS

تا کنون هر چه که بیان شد در مورد ورکتور NMOS بود. شکل زیر منحنی خروجی ورکتورMOS اصلاح شده نوع PMOS را نشان می‌دهد. در این نوع ساختار نیز مانند حالت قبل با اعمال ولتاژ مناسب به بالک می‌توان منحنی را جابه‌جا کرد. در نوع PMOS با اعمال ولتاژ به بالک، منحنی به سمت چپ جابه‌جا می‌شود و ناحیه انباشتگی و وارونگی نسبت به نوع NMOS برعکس است. شکل(۴-۱۱) منحنی ورکتورMOS متداول نوع PMOS و شکل(۴-۱۲) منحنی ورکتورMOS اصلاح شده نوع

PMOS را نشان می‌دهد.



شکل (۴-۱۰) منحنی ورکتورMOS متداول نوع PMOS.

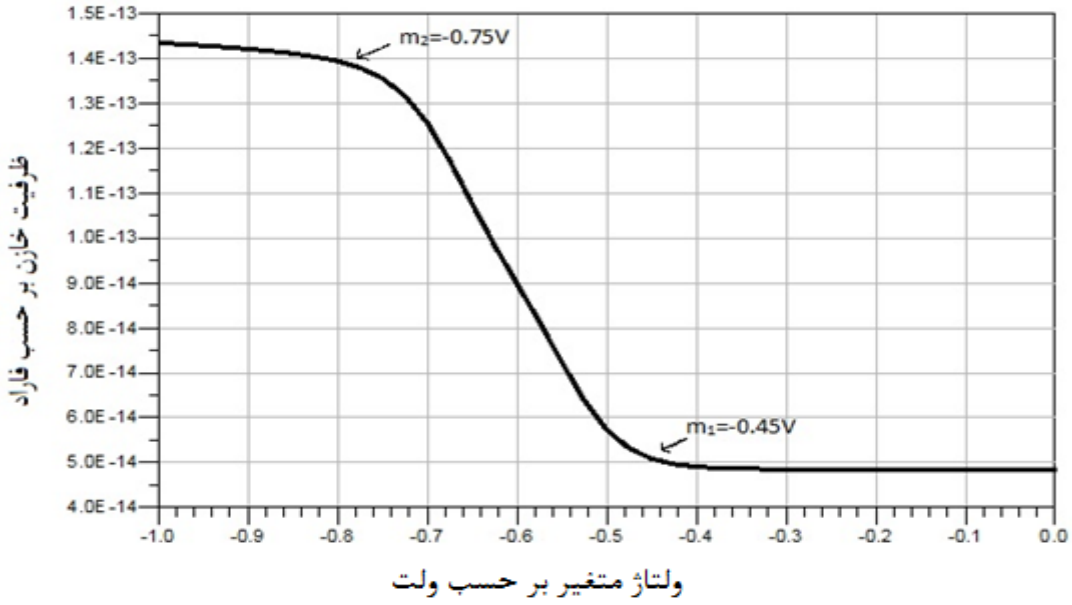


شکل (۴-۱۱) منحنی ورکتورMOS اصلاح شده نوع PMOS.

ورکتور اصلاح شده نوع PMOS نیز مانند نوع NMOS دارای گستره بیشتر نسبت به حالت متداول در بازه ظرفیت خازنی یکسان است. در حالت متداول گستره خطی از 0.2V- تا 0.4V- قرار دارد، یعنی بازه‌ای حدود 0.2 ولت، اما درمنحنی ورکتور اصـلاح شـده با همان مقدار تغییرات خطی ظرفیت خازن

گستره تغیرات از 0.07V- تا 0.8- ولت کشیده شده است به عبارتی گستره خطی حدود400 در صد افزایش یافته است.

در شکل(۴-۱۱) بازه وسیعتر شده است اما منحنی کمی از حالت خطی فاصله گرفته است. شکل(۴-۱۲) با تعداد ورکتورMOS های بیشتر و ولتاژ بالک‌های نزدیک به هم مجددا اصلاح و شبیه‌سازی شده است. که نشان دهنده این امر است که اگر بخواهیم منحنی خطی‌تری داشته باشیم می‌بایست ولتاژ بالک و آستانه با دقت بیشتری انتخاب شود.



شکل (۴-۱۲) منحنی ورکتورMOS اصلاح شده نوع PMOS با استفاده از ۷ ورکتور موازی و منحنی خطی تر.

جدول(۴-۳) مقادیر ولتاژهای بالک برای برای هفت ورکتور موازی شده با هم را نشان می‌دهد. در شبیه ساز، انتخاب مقادیر ولتاژ به روشی که گفته شد، یعنی تقسیم بازه 0.7 ولتی بر 0.15 ولت که گستره هر ورکتورMOS در حالت متداول است نیاز به پنج ورکتور را نشان داد($\frac{0.7V}{0.15V} = 4.66$). منحنی خروجی با این تعداد کمی انحنا داشت که با کمی تغییر دستی و اضافه کردن دو ورکتور دیگر ، منحنی به شکل مطلوب نزدیکتر شده است.

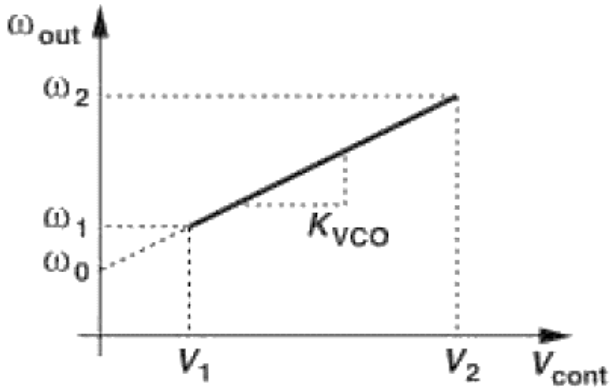
جدول (۴-۳) جدول مقادیر ولتاژ بالک برای گستره خطی 0.7V در نوع PMOS.

منابع	V_3	V_4	V_5	V_6	V_7	V_8	V_9
ولتاژ(ولت)	-1.5	-1	-0.5	0.1	0.5	1.5	1.8

۴-۵- بررسی عملکرد ورکتورMOS متداول و اصلاح شده در یک VCO

بیشتر نوسان‌سازها برای یک گستره‌ی فرکانسی معین طراحی می‌شوند. در مدارات نیاز است که به صورت الکترونیکی فرکانس کاری نوسان سازها تنظیم شود. در نوسان سازهای LC تعیین فرکانس توسط تانک LC و با استفاده از تغییر مقدار ظرفیت خازن ورکتور انجام می‌شود. در این بخش ورکتورMOS به عنوان خازن متغیر با ولتاژ، برای تانک LC نوسان‌ساز استفاده شده است. دو فاکتور گستره تنظیم و نویز فاز برای حالت متداول توسط شبیه ساز اندازه گیری شده است. سپس ورکتور اصلاح شده به عنوان خازن متغیر تانک نوسان ساز مورد استفاده قرار گرفته و مجددا گستره تنظیم فرکانس و نویز فاز استخراج و با حالت متداول مقایسه شده است.

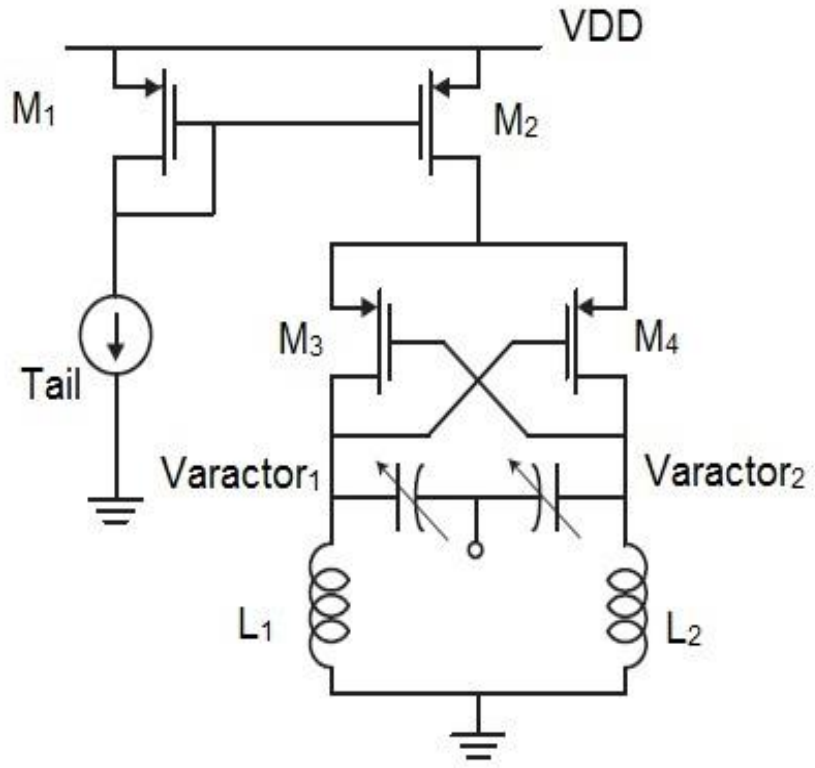
شکل (۴-۱۳) به صورت مفهومی رفتار مطلوب یک VCO را نشان می‌دهد. در عمل با افزایش گستره تنظیم ورکتور، بهره یا همان K_{VCO} بهبود پیدا کرده است. با افزایش گستره تنظیم عملا شیب منحنی مشخصه ورکتور کاهش پیدا کرده است و متناسب با آن چون شیب مشخصه ورکتور کاهش یافته، بهره یا همان K_{VCO} کاهش پیدا کرده است. در قسمت ۳-۹ کامل توضیح داده شد، که کاهش بهره VCO با توجه به فرمول لیسون(فرمول ۳-۳) باعث کاهش نویز فاز می‌شود [۱۱].



شکل (۴-۱۳) مشخصه VCO[۱].

۴-۵-۱نوسان ساز با ورکتورMOS متداول

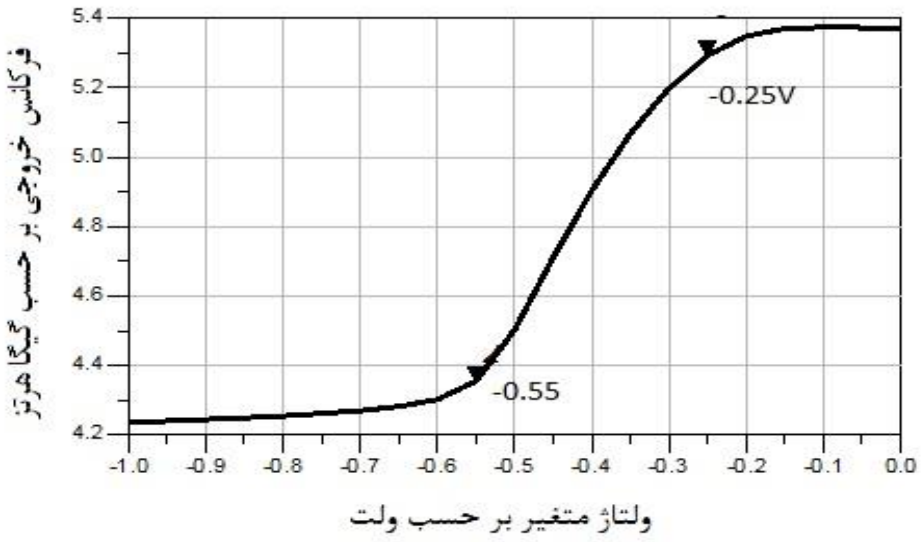
در این بخش vco شـــکل (۴-۱۴) با ورکتورMOS متداول رســـم و نویز فاز خروجی آن با پارامترهای جدول (۴-۴)شبیه‌سازی شده است.



شکل (۴-۱۴) مدار یک LC-VCO ساده.

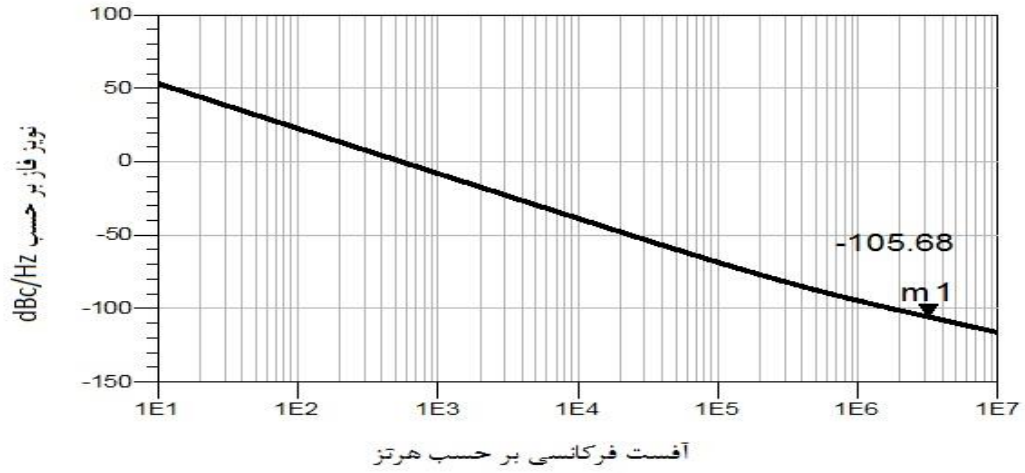
جدول (۴-۴) مقادیر المان‌های شکل (۴-۱۳)

M_1	M_2	M_3	M_4
$\frac{W}{L}=\frac{7.5\mu m}{0.18\mu m}$	$\frac{W}{L}=\frac{15\mu m}{0.18\mu m}$	$\frac{W}{L}=\frac{22.5\mu m}{0.18\mu m}$	$\frac{W}{L}=\frac{22.5\mu m}{0.18\mu m}$
$Varctor_{1,2}$	VDD	Tail	L_1,L_2
$\frac{W}{L}=\frac{300\mu m}{0.18\mu m}$	0.7V	100µA	$2nH$



شکل (۴-۱۵) منحنی مشخصه فرکانس خروجی نوسان ساز بر حسب ولتاژ متغییر با ورکتور حالت متداول

مشخصه خروجی نوسان‌ساز شکل(۴-۱۳)، به دلیل اینکه دارای ورکتورMOS متداول است بازه تغیرات فرکانس نسبت به ولتاژ کنترل در ولتاژ 0.4 ولتی اتفاق افتاده است. که دارای شیب تند و حساسیت بالا است. با توجه به نتایج شبیه سازی بهره VCO با ورکتور متداول 3.36 GHz/V است.



شکل (۴-۱۶) منحنی نویز فاز

یک پارامتر مهم در هر نوسان‌ساز همانطور که گفته شد نویز فاز می‌باشد. مقدار نویز فاز فرکانس نوسان

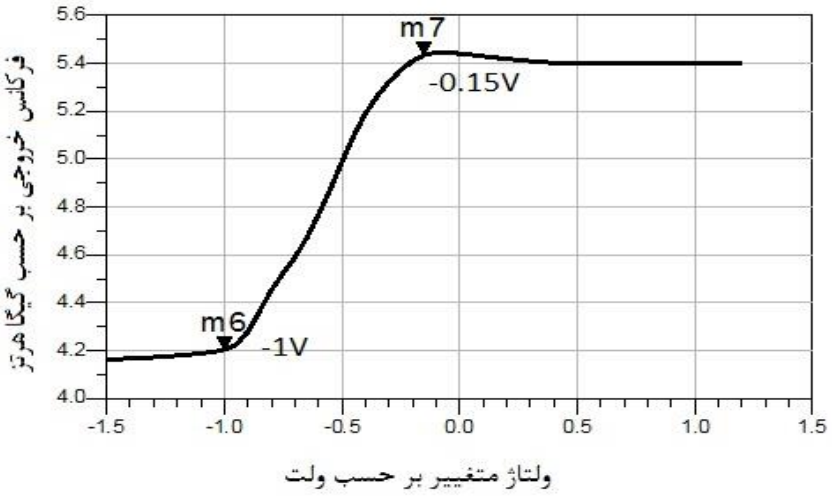
ساز در نوسان‌ساز مذکور با ورکتور متداول برابر با 105 dBc/Hz-، در آفست فرکانسی 3.162 MHz از فرکانس مرکزی 5GHz است. همچنین نوسان ساز دارای منبع تغذیه 0.7 ولت و جریان 146µA است.

۴-۵-۲ نوسان ساز با ورکتورMOS اصلاح شده

در این قسمت مشخصه VCO شکل (۴-۱۴) با ورکتورMOS متداول رسم و نویز فاز خروجی آن با شبیه ساز اندازه‌گیر شده است. در بخش ۴-۵-۱ هدف نشان دادن مشخصه تغییر فرکانس خروجی بر حسب ولتاژ با ورکتورMOS متداول بود که دارای شب تند و یا بهره بالا است. در این قسمت ورکتور اصلاح شده به جای $Varactor_{1,2}$ در شکل (۴-۱۴) قرار داده شده است سپس مشخصه تغییر فرکانس خروجی و نویز فاز به ازای پارامترهای جدول(۴-۵) استخراج شده است.

جدول (۴-۵) مقادیر المان‌های شکل (۴-۱۷).

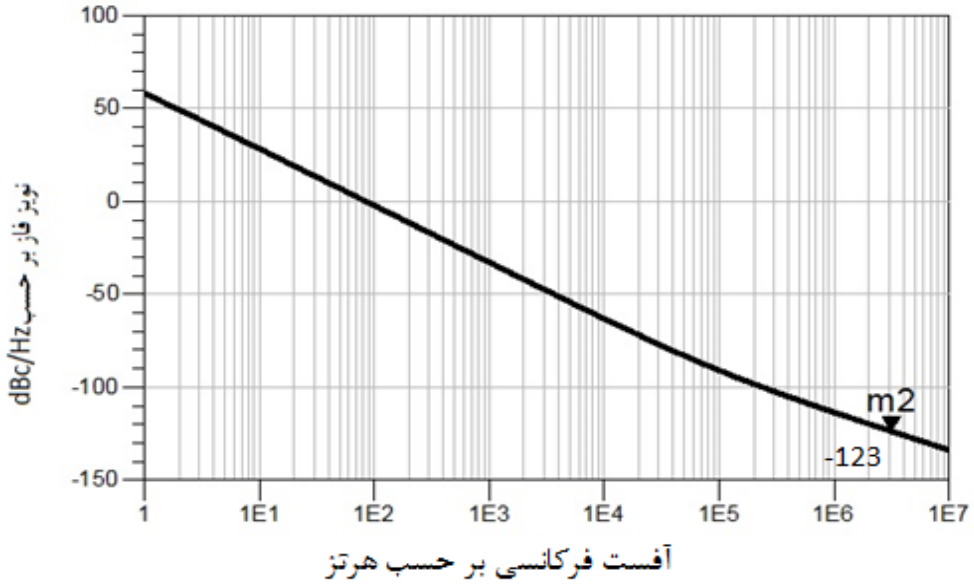
VDD	**M_1**	**M_2**	**M_3**	**M_4**	**L_1,L_2**	**$Varctor_{1,2}$**	**I_{tail}**
0.7V	L=0.18µm w=7.5µm	L=0.18µm w=15µm	L=0.18µm w=22.5µm	L=0.18µm w=22.5µm	2nH	L=0.18µm w=300µm	100µA



شکل (۴-۱۷) منحنی مشخصه فرکانس خروجی نوسان ساز بر حسب ولتاژ تنظیم.

استفاده از ورکتورMOS متداول بازه تغییراتی در حدود0.4V به ازای تغییر فرکانس از 4.2 تا 5.2 گیگا هرتز داشت که همانطور که گفته شد دارای شیب تند و در نتیجه حساسیت زیاد تغیرات فرکانس نسبت به ولتاژ کنترل است. اما در ورکتور MOS اصلاح شده این بازه تغیرات به ازای همان مقدار بازه فرکانسی به یک ولت رسید که تقریبا دوبرابر حالت متداول بهبود داشته است. با توجه به شکل (۴-۱۸) بهره VCO در این حالت 2.15 GHz/V است. که نسبت به حالت متداول 1.21 GHz کمتر، تغییرات فرکانس در ازای یک ولت تغییر ولتاژ داریم که نشان دهنده بهبود تنظیم ریز است.

در قسمت‌های قبل مفصل توضیح داده شد که یک پارامتر بسیار مهم در نوسان سازها نویز فاز است و گفته شد که با کاهش بهره VCO در فرمول لیسون منجر به کاهش نویز فاز خواهد داد. حال با ورکتور اصلاح شده مقدار نویز فاز در آفست فرکانسی 3.162MHz از فرکانس مرکزی 5GHz به 123.78- رسیده است و نسبت به حالت متداول و با همان توان مصرفی و آفست فرکانسی حدود19dB بهبود را نشان می دهد (شکل(۴-۱۸)).



شکل (۴-۱۸) منحنی نویز فاز.

برای مقایسه عادلانه کارایی نوسان‌ساز بهبود یافته با ورکتور MOS اصلاح شده و نوسان ساز با

ورکتورMOS حالت متداول، می توان از ضریب شایستگی[1] استفاده نمود:

$$FOM = PN(\Delta f) - 20\log(\frac{f_{osc}}{\Delta f}) + 10\log(P_{VCO}) \quad (۲-۴)$$

که در آن $PN(\Delta f)$ نویز فاز در آفست فرکانسی Δf، f_{osc} فرکانس مرکزی و P_{VCO} ، توان مصرفی بر حسب میلی وات می‌باشد [۳۱].

مقدار توان کشیده شده از منبع برای هر دو نوسان‌ساز با ورکتور اصلاح شده و متداول 0.07mw است که بعد از جایگذاری در فرمول ۲-۴ مقدار ضریب شایستگی برای نوسان ساز با ورکتور متداول، 180- و برای نوسان ساز با ورکتور اصلاح شده 199- بدست آمد که نشان دهنده بهبود عملکرد نوسان‌ساز در اثر کم کردن بهره نوسان‌ساز است. لازم به ذکر است همانطور که در فصل سوم توضیح داده شد هر چقدر مقدار نویز فاز در نوسان‌ساز، یک PLL کاهش یابد، پایداری PLL بیشتر می‌شود در نتیجه تضمین می‌شود که مدار در فاز تعیین شده قفل شود.

جدول (۴-۸) نویز فاز چندین نوسان‌ساز را با نوسان ساز دارای ورکتور اصلاح شده را نشان می‌دهد.

در[۱۶] طراح ورکتورMOS حالت متداول را در یک VCO قرار داد است و سپس با پیکربندی‌های متفاوت ورکتور را در سه ناحیه انباشتگی، وارونگی، و تخلیه بایاس کرده است در نهایت بهترین ناحیه کاری را برای ورکتورMOS حالت وارونگی معرفی کرده است. که در نهایت یک VCO با نویز فاز -137dBc/Hzدر آفست فرکانسی 3MHz از فرکانس مرکزی 1.8GHz طراحی کند.

در [۲۶] فاز خروجی به عنوان نمونه توسط آشکار ساز فاز استخراج شده سپس با استفاده یک سیستم مشتق گیر اختلاف فاز خروجی ناشی از وجود نویز فاز، به ولتاژ تبدیل شده و به عنوان پیام خطا به VCO داده می‌شود که فاز خروجی را تغییر بدهد و تغییر فاز ناشی از نویز فاز در خروجی اصلاح میگردد. با این تکنیک تغییر فاز ناشی از نویز فاز ترانزیستور ها در یک بازه وسیع جبران گردیده است.

در [۳۲] و[۳۳] هدف طراحی یک VCO با فرکانس بالا با کمترین نویز فاز در خروجی بوده است که

[1] Figure of Merit(FOM)

طراح برای کاهش اثر نویز فاز ترانزیستور را در زیر ولتاژ آستانه بایاس کرده است.

در [۳۴] برای کاهش نویز فاز VCO از بایاسی مستقیم زیر لایه استفاده کرده است. در تحقیقات گسترده شدت وابستگی نویز $\frac{1}{f}$ تحت تاثیر سیگنال بزرگ MOSFET به خوبی شناخته شده است. لذا در این پژوهش کاهش نویز فاز را با استفاده از کاهش نویز $\frac{1}{f}$ ترانزیستور، با بایاس مستقیم زیر لایه صورت گرفت است.

جدول (۴-۶) مقایسه ضریب شایستگی چند نوسان‌ساز با نوسان‌ساز دارای ورکتور اصلاح شده.

CMOS VCO	Technology [μm]	Frequency [GHz]	Power [mW]	Phase-noise [dBc/Hz]	FOM [dBc]
[۱۶]	0.65	1.8	102	-137 [@3MHz]	-172
[۲۶]	0.18	1	5.28	-125 [@3MHz]	-167.78
[۳۲]	0.25	1.99	20	-143 [@3MHz]	-185.5
[۳۳]	0.18	10.49	0.34	−107.8 [@1MHz]	-193.8
[۳۴]	0.18	14	16	-123 [@5MHz]	-180
این کار	**0.18**	**5**	**0.102**	**-123 [@3MHz]**	**-197.01**

فصل ۵:
نتیجه‌گیری و پیشنهادها

امروزه وسایل الکتریکی نقشی پر رنگ و مهمی در زندگی بشر دارند و روز به روز با گذشت زمان وسایل الکتریکی و متناسب با آن، مدارات الکترونیکی در حال پیشرفت و پیچیدگی هستند که قاعدتا این پیشرفت و پیچیدگی نیاز به المان‌های بیشتر را درپی دارد. المان‌های بیشتر، نیاز به مصرف توان و سطح اشغالی بیشتر دارد. از این رو کوچک سازی و بهبود المان‌های مورد استفاده، علاقه پژوهشگران و طراحان را برانگیخته است.

یکی از مداراتی که با پیشرفت زیاد خود پیچیدگی زیادی پیدا کرده، مدارات مخابراتی هستند که همراه با این پیچیدگی، طراحی و کوچک سازی در حالت یکپارچه نیز مد نظر است. المانی که در مدارات مخابراتی کاربرد زیاد و غیر قابل حذف دارد، خازن‌های هستند که برای ارضاء خواسته، بهترین کیفیت در کمترین سطح اشغالی چندین گزینه مطرح است. در این میان خازنMOS ها به دلیل اینکه قابل پیداه سازی در فناوری CMOS بوده و از طرفی دارای چگالی بالا در واحد سطح هستند بیشتر مورد بحث و استفاده قرار گرفته اند. در این پایان نامه نوع متغیر آن، یعنی ورکتورMOS مورد بحث قرار گرفت که در حالت متداول به دلیل عدم یکنوایی و غیر خطی بودن دارای عیب بود. در مقالات تکنیک-های متعددی مانند استفاده ار ورکتورMOS در حالت وارونگی یا انباشتگی مطرح شد که رفتار غیر یکنواخت و نزدیک به خطی را برای طراح فراهم می‌کرد اما به دلیل شیب زیاد منحنی مشخصه و حساسیت زیاد تغیرات خازن نسبت به تغییر ولتاژ کنترل مورد انتقاد قرار گرفت.

در این پایان نامه پیشنهاد شد که اگر مشخصه چند ورکتور که در ناحیه وارونگی بایاس شده‌اند را با ولتاژ بالک مناسب شیفت بدهیم و برآیند منحنی‌های شیفت یافته را از طریق موازی کردن ورکتورهای-MOS بدست آوریم، منحنی خروجی یکنوا و دارای گستره تنظیم بیشتری یا به بیان دیگر منحنی مشخصه دارای شیب کمتر ومتناسب با آن حساسیت کمتری نسبت به ولتاژ متغیر دارد.

یک استفاده از ورکتورMOS به طور گسترده در نوسان‌سازها است. کاهش بهره یا K_{VCO} طبق فرمول لیسون باعث کاهش نویز فاز نوسان‌ساز می‌شود. کاهشK_{VCO} همچنین اثر مثبت خود را در PLL برای

پایداری بیشتر و تضمین قفل شدن نشان می‌دهد.

از این رو استفاده از ورکتورMOS اصلاح شده به خاطر چگالی بالا در واحد سطح و همچنین گستره تنظیم بالا در VCOها پیشنهاد می‌گردد. که از مزایای استفاده از ورکتورMOS اصلاح شده بهبود و کاهش نویز فاز در VCOها است. که در حالت مقایسه بین دو VCO همسان با ورکتورهای متداول و اصلاح شده، کاهش 19dBc/Hz نویز فاز را شاهد بودیم.

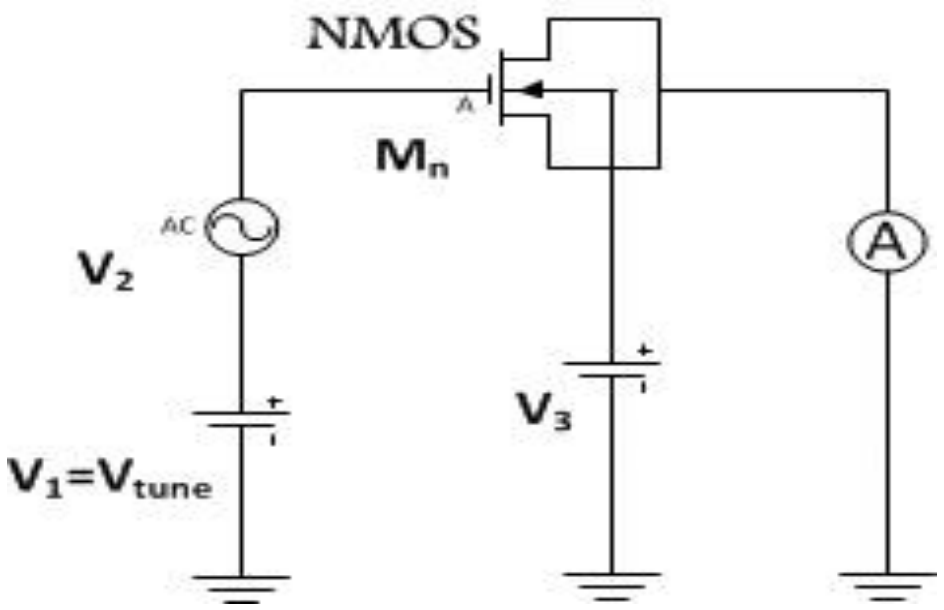
به‌طور خلاصه ابتدا مشخصه C-V ورکتورMOS متداول با شبیه سازADS در تکنولوژی 0.18µmرسم شد، سپس با موازی کردن تعداد مشخصی ورکتورMOS که با تغییر ولتاژ بالک آنها، نمودار خروجی جابه‌جایی پیدا کردند، به یک منحنی خطی با گستره تنظیم بیشتر دست پیدا شد. در پایان دو ورکتور حالت متداول و اصلاح شده در یک VCO یکسان مورد استفاده قرار گرفت که VCO با ورکتور اصلاح شده، دارای بهره کمتر و نویز فاز کمتر نسبت به VCO با ورکتور متداول بود.

پیشنهاد می‌شود برای ادامه این کار، ورکتورMOS اصلاح شده در مدار PLL و فیلتر های قابل تنظیم مورد بررسی قرار گیرد. همانطور که در پایان نامه توضیح داده شد، کاهش نویز فاز در VCO یک PLL، باعث پایداری بهتر حلقه می شود از این رو می‌توان با شبیه سازی و ا ستفاده از ورکتورMOS اصلاح شده نتیجه پایداری PLL و قفل شدن بهتر حلقه را بررسی نمود. همچنین در فیلتر های مخابراتی که تنظیم ریز و دقیق مد نظر است از وکتورMOS اصلاح شده استفاده شود.

پیوست

۵-۱- محاسبه و رسم مقدار خازن ورکتورMOS در ADS

در نرم افزار ADS امکان محاسبه و رسم ظرفیت خازنی بر حسب ولتاژ متغیر به صورت مستقیم وجود ندارد. لذا برای محا سبه و ر سم نمودارها باید از یک روش ا ستفاده شود. از قبل می دانیم که در یک شـاخه که خازن وجود دارد اگر ولتاژ گره را به جریان عبوری از آن تقسـیم شـود مقدار X_C یا همان امپدانس خازنی به دسـت می آید. در شـکل (۶-۱) با تقسـیم ولتاژ ac گیت ترانزیسـتور (گرهA) به جریان گیت، مقدار امپدانس خازنی ورکتورMOS، (X_C) محاسبه می‌شود از طرفی مقدار فرکانس به صورت د ستی در نرم افزار روی 2 GHz مقدار دهی می شود سپس در معادله (۸-۲) با مقداردهی و محاسبه هر یک از پارامتر ها، مقدار خازن محاسبه می‌شود.



شکل (۵-۱) مدار بایاس یک ورکتور برای محاسبه خازن آن

$$XC = \frac{1}{2\pi * f * c} \rightarrow C = \frac{1}{2\pi * f * \mathrm{XC}} \qquad (۱-۵)$$

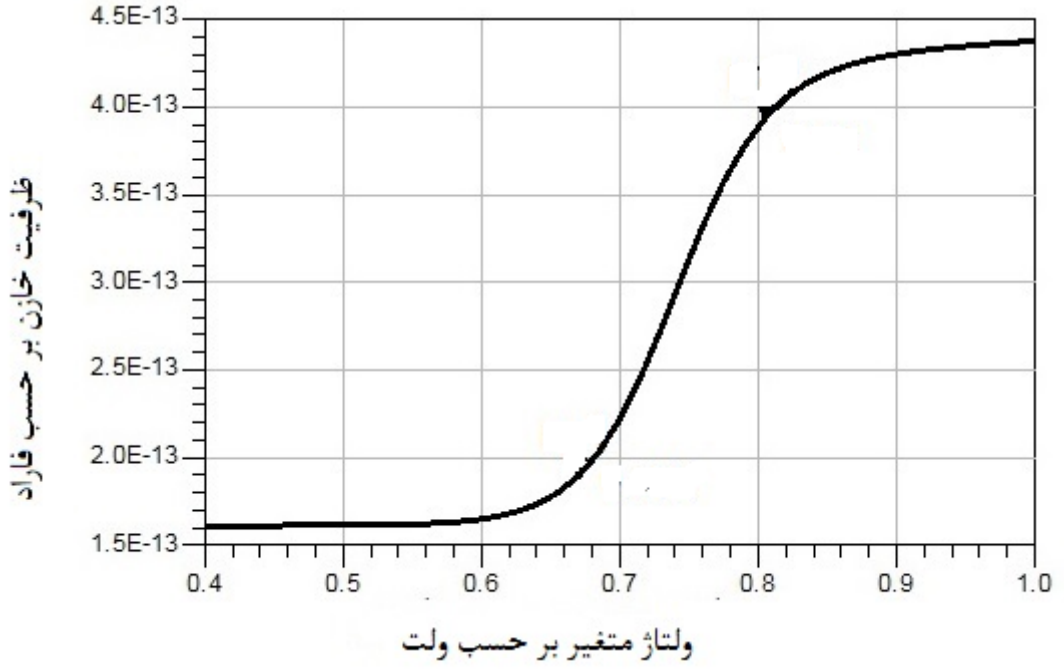
که در رابطه (۶-۱)، f، مقدار فرکانس منبع ac، C ظرفیت خازنی ورکتورMOS و X_C امپدانس خازنی ورکتورMOS که برابر است با:

$$X_C = \frac{\text{AC.a}}{\text{AC.I_Probe1.i}} \qquad (۵-۲)$$

حال برای ر سم نمودار و دیدن نمودار خروجی ابتدا معادله زیر را که روش محا سبه C ا ست در غالب یک Equation در ADS می‌نویسیم:

$$\text{Eqn} \rightarrow \text{C}= \frac{1}{(2*\text{pi}*\text{freq}*\text{abs}(\frac{\text{AC.a}}{\text{AC.I_Probe1.i}})} \qquad (۵-۳)$$

ســپس برای رســم، محور افقی را برای ولتاژ متغیر یا همان V_{tune}، مقدار دهی و محور عمودی را برای ظرفیت خازنی که در قالب یک Eqn نوشــتیم تنظیم می‌کنیم. نمودار مقدار ظرفیت خازنی بر حســب مقادیر متفاوت ولتاژ متغیر به صورت شکل ۸-۳ رسم می شود.



شکل (۵-۲) نمودار مقدار ظرفیت خازنی بر حسب مقادیر ولتاژ متغیر

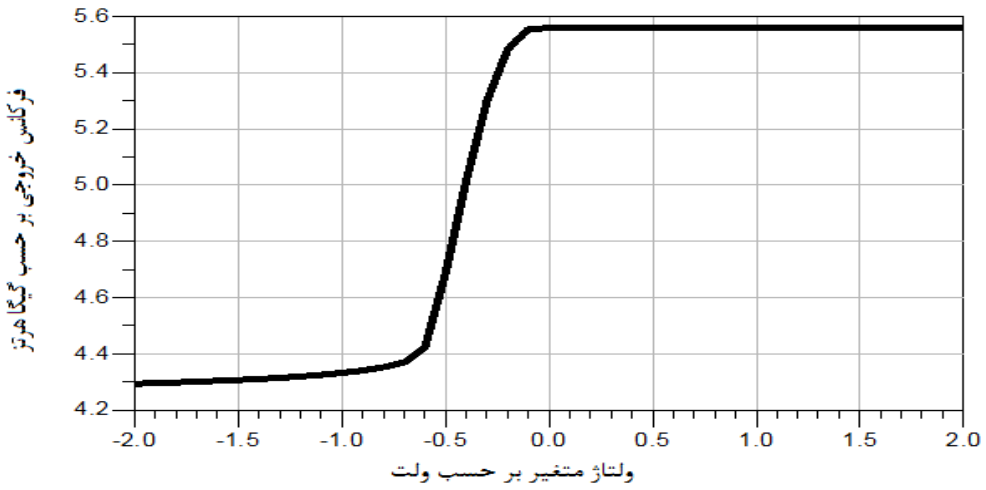
۵-۲- رسم منحنی مشخصه فرکانس نوسان‌ساز بر حسب ولتاژ متغیر

همانطور که در ابتدا گفته شد در نرم افزار امکان مستقیمی برای رسم فرکانس یک نوسان ساز بر حسب ولتاژ متغیر(V_{tune}) وجود ندارد. لذا مانند روش قسمت ۵-۱ باید از تکنیک دیگر برای رسم نمودار استفاده شود. در مرحله اول بعد از رسم شماتیک مدار نوسان‌ساز، گره خروجی نام گذاری می شود سپس با استفاده از شبیه سازی Harmonic Balance مدار اجرا و شبیه سازی باید شود.

در زبانه تنظیمات متغیری که جاروب می‌شود انتخاب می‌گردد که در این شبیه سازی مقدار V_{tune} به عنوان متغیر تنظیم شده است، برای V_{tune} حالت خطی و بازه از ۲- ولت تا ۲+ ولت در نظر گرفت شده است.

با اجرای نرم افزار و انجام شبیه‌سازی برای رسم مشخصه فرکانس، محور عمودی برای فرکانس تولید شده و محور افقی برای ولتاژ متغیر باید تنظیم گردد.

به طور مستقیم انتخاب محور عمودی برای فرکانس امکان پذیر نمی باشد. برای دیدن نمودار خروجی ابتدا یک Rectangular Plot انتخاب کرده سپس با انتخاب گره خروجی هارمونیک‌های خروجی بر حسب ولتاژ V_{tune} نمایش داده می‌شود. حال با باز کردن پنجره Trace Options ، به جای عبارت (dBm(HB.c[::,1)] با نوشتن عبارت (HB.freq[::,1])، پنجره نمودار خروجی مانند شکل(۶-۳) نمایش داده می شود.



شکل (۵-۳) نمودار فرکانس خروجی نوسان ساز بر حسب ولتاژ متغیر

مراجع

[1] Sh. Sanford Chu and S. Sun,"MIM Capacitor Integration forMixed-Signal/RF Applications", *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 52, PP.1399-1409, JULY 2005

[2] P. Chiu and M. Ker, "Metal-layer capacitors in the 65 nm CMOS process and the application for low-leakage power-rail ESD clamp circuit". *Microelectronics Reliability*,pp 64–70 , Hsinchu, Taiwan, September 2013.

[3] Z.chunzizng , Y . LU and m.LI, "A high performance MIM capacitor using HfO2 dielectrics". *IEEE Electr Device letters*, pp. 514–6, vol. 23 , Sept. 2002.

[4] K. Leelavattananon, C. Toumazou, and J.B. Hughes, "Bala Compensation for Highly Linear MOSFET Gate Capacitor Branch*," Electronics Letters Online*, NO. 19990992, 6 July 1999.

[5] B. Razavi, RF Microelectronics. September 2011. Second Edition. U.S. Corporate and Government Sales .Library of Congress Cataloging-in-Publication Data.

[6] A. Tombak and A. Mortazawi ," A varactor diode based predistortion circuit", Microwave Symposium Digest, *IEEE MTT-S International* ,VOL 2, PP. 689-692, June 2004.

[7] M. K. Salleh and I. Pasya, "Tuning circuit using varactor diode for tunable bandstop resonator ", *IEEE Symposium on Wireless Technology and Applications (ISWTA)* , PP. 17-20, Sept. 2011.

[8] C. Siu , K. Iniewski and S. Mirabbasi ," CHARACTERIZATION AND MODELING OF ACCUMULATION-MODE MOSVARACTORS" , *Canadian Conference on Electrical and Computer Engineering*, PP 1554 – 1557, May 2005.

[۹] مومنی م،(۱۳۹۲)،" کاهش نویز در اســـیلاتور کنترل شـــونده با ولتاژ تکنولوژی CMOS از طریق تزریق سیگنال کوچک"، موسسه غیر انتفاعی سجاد مشهد.

[۱۰] رئیسی اردلی ص،(۱۳۸۹)،"تحلیل و بررسی نویز فاز در نوسان‌ساز هارتلی،دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی.

[11] Pedram Sameni and K. Iniewski,"Modeling and characterization of VCOs with MOS Varactor for RF Transceivers", *EURASIP Journal onWireless Communications and Networking*, VOL. 2006, PP. 1-12, January 2006.

[12] A. Hajimiri and T. H. Lee, "A General Theory of Phase Noise in Electrical Oscillators*," IEEE journal of Solid State Circuits*, Vol. 33, No. 2, 1998, pp. 179-194.

[13] H.-F. Teng, S.-L. Jang and M. H. Juang, "A Unified Model for High-Frequency Current Noise of MOSFETs*," Solid-State Electronics*, Vol. 47, , pp. 2043- 2048, No. 11, 2003.

[14] J. Shin and et al., "A Wideband Fractional-N Frequency Synthesizer with Linearized Coarse-Tuned VCO for UHF/VHF Mobile Broadcasting Tuners," *IEEE Asian Solid-State Circuits Conference*, pp. 440 – 443, Jeju, Nov. 2007.

[15] B. Razavi, "A 1.8-GHz CMOS voltage-controlled oscillator," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, 1997, pp. 388–389

[16] P. Andreani , S. Mattisson, “On the Use of MOS Varactors in RF VCO’s”, *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 35, PP.905-910, JUNE 2000.

[17] R, Lee Bunch, “Large-Signal Analysis of MOS Varactors in CMOS Gm LC VCOs,” *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 38, NO. 8, pp.1325-1332, AUGUST 2003.

[18] P. Sameni, C Siu, K. Iniewski, and other, “CHARACTERIZATION AND MODELING OF ACCUMULATION-MODE MOSVARACTORS*”, IEEE CCECE/CCGEI, Saskatoon*,PP. 1554-1557, May 2005.

[19] H.Yoshizawal,G. Temesl , P.Ferguson Jr.2, and F.Krummenacher, " Novel Design Techniques for High-Linearity MQSFET-Only Switched-Capacitor Circuits,*" Digest of Technical Papers Symposium on VLSI Circuits*, pp. 152 – 153, Honolulu, HI, USA, June 1996.

[20] M.danaie, H. Aminzadeh, and S. Naseh, “On the Linearization of MOSFET Capacitors,”*IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1943 – 1946, New Orleans, LA, May 2007.

[21] H.Yoshizawal,G. Temesl , P.Ferguson Jr.2, and F.Krummenacher, " Novel Design Techniques for High-Linearity MQSFET-Only Switched-Capacitor Circuits," *Digest of Technical Papers Symposium on VLSI Circuits*, pp. 152 – 153, Honolulu, HI, USA, June 1996.

[22] H. Yoshizawa and G.C. Temes, "High-Linearity Switched-Capacitor Circuits in Digital CMOS Technology", *IEEE Int. Symp. on Circuits and Sys*., pp. 1029-1 032, 1995.

[23] A.T. Behr. M.C. Schneider, S.N. Filho and (3.G. Montoro. "Harmonic Distortion Caused by Capacitors Implemented with MOSFET Gates," *IEEE J. Solid-state Circuits*. vol. 27, pp. 1470-1475, 1992.

[24] D. Hee Lee,B. Seok Oh, H. Im and W. Jung, “Linearization of Frequency Tuning in Voltage Controlled Oscillator by Using pMOS Varactors,” *Journal of the Korean Physical Society*, pp. S941-S943, Vol. 45, December 2004,

[۲۵] لطفی نیســـتانک ع، هراتی ایرانی م، مومنی م،(۱۳۸۹)،ADS افقی نو در طراحی ســـیســـتم‌های مخابراتی، انتشارات جهد دانشگاهی، قم

[26] D. Mavridis and K. Efstathiou,” A VCO's Phase-Noise Reduction Technique”, *IEEE J. Solid State Circuits*, vol. 41, pp. 2720-2728, Dec., 2006.

[27] L. Zhenrong, Z. Yiqi, J. Gang and Other,” A 2.4 GHz high-linearity low-phase-noise CMOS LC-VCO based on capacitance compensation”, *Journal of Semiconductors*, Vol. 31, No. 7, PP. 075005-1-075005-6, July 2010

[28] Y.Chung Chiang and Y. Hsin Chang, “A Back-Gate Coupling QVCO with Kvco Linearization Technique”, *IEEE International Symposium on Radio-Frequency Integration Technology*, PP.108-110, 2009.

[29] N.C.C.Lu et al.,” modeling and optimization of monolithic polycrystalline silicon resistors,”IEEE Trans. Electron Devices, vol. ED-28, pp. 818-830,july 1981.

[30] V. Macaitis1, V. Barzdenas1 and R. Navickas, “Design of 4.48–5.89 GHz LC-VCO in 65 nm RF CMOS Technology”, *Elektronika ir elektrotechnikea, ISSN*, VOL. 20, NO. 2, PP.44-47, August 2013.

[31] J. Crols and M. S. J. Steyaert, “A single-chip 900 MHz CMOS receiver front-end with a high performance low-IF topology*,” IEEE J. Solid-State Circuits.* vol. 30, pp. 1483– 1492, Dec. 1995.

[32] M. Tiebout, “Low-Power Low-Phase-Noise Differentially Tuned Quadrature VCO Design in Standard CMOS*”, IEEE Jornal of solid-stte*, VOL. 36, NO. 7,pp. 1018-1024, JULY 2001

[33] D. Fathi , A. Gorbani Nejad, "Ultra-Low Power, Low Phase Noise 10 GHz LC VCO in the Subthreshold Regime", *Circuits and Systems*, pp. 350-355, February 2013.

[34] D. Siprak , M. Tiebout, P. Baumgartner, "Reduction of VCO Phase Noise through Forward Substrate Biasing of Switched MOSFET*", IEEE Solid-State Circuits Society*, pp. 326-329, November 2008.

Abstract:

The use of electronic systems in our lives is growing fast. With development at electronic systems, demands and is increased and new challenges in analog and digital integrated circuit design has been created.

The possibility of using a combination of analog and digital circuits to implement a system on a single chip has many advantages such as decreasing costs and size of electronic devices.

CMOS IC usually requires only a Poly-Si layer. In some special cases second layer is needed, for example to obtain linear capacitors (i.e. making PIP capacitor). This second layer causes increase in the cost and area. For solving these problems MOS varactor is suggested.

MOS varactor can be made with single poly silicon layer and is controlled by tuning voltage. The main problem in conventional MOS varactors is their nonlinear behavior of their capaciance to tuning voltage that decreases the performance circuits. The narrow bands of linearity range lead to a fast slope in the capacity to voltage curve and increase sensitivity to noise.

In this thesis a new MOS varactor configuration is proposed to decrease the nonlinearity and increase the linear range. In the proposed structure firstly the gate voltage for linear range is extracted. By applying the appropriate voltage to bulk of the varactor the threshold voltage can be changed and the C-V curve of the varactor is shifted. Using this idea and paralleling a certain number of varactors with different thereshold voltages (i.e. different bulk-source voltages), the linear parts of C-V curve of each varactor is added to the others and a vactor with wider C-V curve can be obtained.

Finally based on simulation results the linear voltage range has been increased from 0.3V in conventional structure to 0.9 V in the proposed configuration.

Keywords: MOS Varactor, integrated circuit, CMOS, Linear range, L-C VCO

Shahrood University of Technology

Faculty of Kharazmi pardis

MSc thesis in Science in Electrical Engineering

MOS Varactor Linearization Using Body Effect

BY:Ali Karimi

Supervisor:

Dr Emad Ebrahimi

September 2016